

TECHNISCHE UNIVERSITÄT MÜNCHEN
Lehrstuhl für Entwurfsautomatisierung

Verfahren zum eingebauten Selbsttest von analogen und gemischt analog-digitalen integrierten Schaltungen

Aurélien Tchegho Kamdem

Vollständiger Abdruck der von der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität München zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Vorsitzender: Univ.-Prof. Dr. sc. techn. Andreas Herkersdorf

Prüfer der Dissertation: 1. Priv.-Doz. Dr.-Ing. Helmut Gräß
2. Univ.-Prof. Dr.-Ing. Sebastian M. Sattler
Friedrich-Alexander-Universität Erlangen-Nürnberg

Die Dissertation wurde am 27.10.2010 bei der Technischen Universität München eingereicht und durch die Fakultät für Elektrotechnik und Informationstechnik am 02.02.2011 angenommen.

Tell Me and I will forget.
Show Me and I may remember.
Involve Me and I will understand.

Confucius (551 BC - 479 BC), Chinese philosopher

Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Lehrstuhl für Entwurfsautomatisierung der Technischen Universität München. Zum Gelingen dieser Arbeit trugen viele Personen auf verschiedene Art und Weise bei.

Mein Dank gilt Herrn Prof. Dr.-Ing. Ulf Schlichtmann, der mir die Möglichkeit gab, an diesem Forschungsprojekt zu arbeiten, für sein Vertrauen und für die jederzeit gewährte Freiheit bei der Anfertigung der vorliegenden Arbeit.

Mein ganz besonderer Dank gilt meinem Doktorvater, Herrn PD. Dr.-Ing. Helmut Gräß, für die exzellente Betreuung dieser Arbeit. Er hat mich während der Anfertigung dieser Arbeit stets unterstützt und durch seine stete Diskussionsbereitschaft und sein beständiges Interesse maßgeblich zum Gelingen dieser Arbeit beigetragen.

Prof. Dr.-Ing. Sebastian Sattler gebührt ebenfalls mein besonderer Dank für die Übernahme des Koreferats, für die ständige Hilfsbereitschaft in fachlichen Fragen und die kontinuierliche Unterstützung in den organisatorischen Angelegenheiten dieser Arbeit. Er hat durch seine Offenheit und seine immer währende Bereitschaft zu Fachgesprächen mein Interesse an dem Test integrierter Schaltungen nachhaltig geweckt.

Sehr zu danken habe ich auch allen aktuellen und ehemaligen Kollegen sowie allen wissenschaftlichen und nichtwissenschaftlichen Mitarbeiter des Lehrstuhls für die äußerst angenehme Arbeitsatmosphäre und gute Kollegialität.

Während meiner Zeit am Lehrstuhl hatte ich die Gelegenheit, mehrmonatige Aufenthalte bei der Firma Infineon Technologies AG in München wahrzunehmen. Für die hervorragende Zusammenarbeit, die vielfältigen Erkenntnisse und Erfahrungen, die engagierte Unterstützung und die aufmunternden Worte bin ich im besonderen Herrn Dr.-Ing. Heinz Mattes und Herrn Dipl.-Ing. Stephane Kirmser sehr dankbar.

Allen, die am Korrekturlesen meiner Arbeit beteiligt waren, gilt ebenfalls mein herzlicher Dank: Dipl.-Wirtsch.-Ing. Geraldine Tchegho, Dipl.-Wirtsch.-Inf. Edith Kouam, Dipl.-Ing. Clovis Zemko, Dipl.-Ing. Bryce Ngatchou, Dipl.-Ing. Eric Kangne.

Ein persönlicher Dank gilt meinen Eltern, Herrn Prof. Jean-Marie Tchegho und Frau Bibiane Tchegho, die mir die gesamte Ausbildung ermöglicht haben. Ohne deren unermüdliche moralische Unterstützung, Rückhalt und Verständnis wäre diese Arbeit nicht denkbar gewesen. Mein herzlichster Dank geht an meine Schwestern Edith und Geraldine, die mich immer tatkräftig und liebevoll unterstützt haben. Nicht zuletzt bedanke ich bei meinen Freunden, die mir in schwierigen Zeiten mit Rat und Tat zur Seite standen.

München, Oktober 2010

Aurélien Tchegho Kamdem

Inhaltsverzeichnis

1. Einleitung	1
1.1. Motivation	1
1.2. Beiträge der Arbeit	4
1.3. Gliederung der Arbeit	5
2. Analog- und Mixed-Signal-Test	7
2.1. Traditioneller Analog- und Mixed-Signal-Test	7
2.2. Stand der Technik	8
2.3. Eingebauter Selbsttest (BIST)	12
2.3.1. Oszillation-BIST	12
2.3.2. Translation-BIST	13
2.3.3. Histogramm-BIST	14
2.3.4. Polynom-BIST	15
2.3.5. Hybrid-BIST	16
2.3.6. Mixed-Analog-Digital-BIST	18
3. Analoge Signalgenerierung	21
3.1. Einleitung	21
3.2. Digitaler Signalgenerator	22
3.2.1. Theorie der zeitdiskreten Oszillatoren	22
3.2.2. Biquad-Oszillator	26
3.2.3. Gekoppelter Quadraturoszillator	28
3.2.4. CORDIC-basierter digitaler Synthesizer	30
3.3. Delta-Sigma-Modulator	34
3.3.1. Interpolationsfilter	35
3.3.2. Rauschformungsfilter	40
3.4. Analoger Filter	47
3.4.1. Butterworth-Filter	48
3.4.2. Tschebyscheff-Tiefpassfilter	52
3.5. Zusammenfassung	54

4. Auswertung der Testparameter	57
4.1. Einleitung	57
4.2. Performanzparameter von ADCs	58
4.2.1. Analog-Digital-Wandlung	58
4.2.2. Statische Parameter von ADCs	59
4.2.3. Dynamische Parameter von ADCs	61
4.3. Goertzel-Algorithmus	64
4.4. Goertzel-basierte Parameterauswertung	67
4.5. Genauigkeit des Goertzel-basierten Verfahrens	69
4.5.1. Eigenschaften des Rauschens	70
4.5.2. Goertzel-basierte Schätzung der Rauschleistung	72
4.5.3. Goertzel-basierte Schätzung der Signalleistung	76
4.5.4. Goertzel-basierte Schätzung der Parameter	82
4.6. Zusammenfassung	84
5. Experimentelle Ergebnisse	85
5.1. BIST-Hardware	85
5.1.1. Digitaler Synthesizer	85
5.1.2. Interpolationsfilter	86
5.1.3. Rauschformungsfilter	88
5.1.4. Analoger Tiefpassfilter	91
5.1.5. Goertzel-Filter	93
5.1.6. Leistungs- und Parameterschätzer	94
5.1.7. Ressourcenabschätzung	95
5.2. Versuchsaufbau	96
5.3. Bewertung des Signalgenerators	97
5.4. Bewertung der Auswerteeinheit	99
5.5. Messung der Testparameter des ADC	102
5.6. Messung der Testparameter eines analogen Verstärkers	103
5.7. Zusammenfassung	104
6. Zusammenfassung	107
A. Anhang	111
A.1. Chi-Quadrat-Verteilung	111
A.2. CIC-Interpolationsfilter	112
Abkürzungsverzeichnis	114

Abbildungsverzeichnis	115
Tabellenverzeichnis	119
Literaturverzeichnis	121

1 Einleitung

1.1 Motivation

Der fundamentale Unterschied zwischen dem analogen und dem digitalen Test liegt in der Natur der zu verarbeitenden Signale. Analoge Signale sind zeit- und wertkontinuierliche Signale, die durch Werte mit unendlicher Auflösung dargestellt werden, während digitale Signale zeit- und wertdiskrete Signale sind, die durch Werte mit zwei definierten Zuständen (0 oder 1) beschrieben werden können. Dadurch werden die analoge Signalgenerierung und die Messung analoger Signale in Testapplikationen extrem erschwert.

Als Beispiel betrachtet man einen analogen und einen digitalen Komparator. Beide erfüllen die gleiche Funktionalität, nämlich zwei Eingangssignale zu vergleichen und ein Ausgangssignal zu erzeugen, dessen Wert, abhängig vom Ergebnis des Vergleichs, zwei verschiedene Zustände annehmen kann. Der Test eines digitalen Komparators (z.B. Exklusives ODER mit zwei Eingängen) erfordert die Generierung von vier Teststimuli (00, 01, 10, 11), die Messung des Ausgangswerts und der anschließende Vergleich mit dem erwarteten Wert. Zusätzlich zu diesem Grundtest erfordert der Test eines analogen Komparators hingegen weitere Messungen, wie z.B. die Messung der minimalen Spannungsdifferenz zwischen den Eingängen, für die eine fehlerfreie Funktion des Komparators noch gewährleistet ist. In diesem Fall kann der Suchraum der möglichen Eingangsspannungen unendlich sein, was die Testmuster-generierung extrem erschwert. Außerdem weist das Ausgangssignal bei analogen Komparatoren hoher Auflösung eine erhöhte Empfindlichkeit gegen die Genauigkeit der Eingangssignale auf. Überschreitet z.B. der Unsicherheitsgrad der Eingangsspannungen die Auflösung des Komparators, dann verhält sich der Ausgang des Komparators zufällig, was zu einer Fehlinterpretation der Testergebnisse und somit zu *test rejects* (fehlerfreier Komparator wird als fehlerhaft klassifiziert - Verringerung der Ausbeute) oder *test escapes* (fehlerhafter Komparator wird als fehlerfrei klassifiziert - Erhöhung der Ausfallrate) führen kann.

Neben der erwähnten Auflösung wird die Performanz eines analogen Komparators, welcher einen der einfachsten gemischt analog-digitalen (*mixed-signal*) Bausteine dar-

stellt, von einer Reihe zusätzlicher Parameter wie Gleichtaktunterdrückungsverhältnis (CMRR - *common mode rejection ratio*), Rauschen, Anstiegszeit, Fallzeit, Impedanz usw. bestimmt. Beim traditionellen analogen bzw. gemischt analog-digitalen Test werden diese Spezifikationsparameter direkt gemessen und mit Referenzwerten (obere und untere Schranken) verglichen. Die Messung der Spezifikationsparameter ist jedoch eine zeitraubende Aufgabe, da verschiedene Spezifikationsparameter in der Regel verschiedene Testeinstellungen erfordern, und die Testprozedur sequenziell abläuft.

Der Transfer analoger Signale von der zu testenden Komponente (DUT - *device under test*) zu der externen automatischen Prüfeinrichtung (ATE - *automatic test equipment*) stellt eine weitere Schwierigkeit beim analogen Test dar. Die Schnittstelle zwischen dem DUT und dem ATE wird von dem Loadboard (DIB - *Device Interface Board*) bereitgestellt. Rein digitale DUTs benötigen in der Regel einfache DIBs, die lediglich die Konnektivität zwischen ATE und DUT herstellen. Analoge und gemischt analog-digitale DUTs erfordern hingegen komplexe DIBs bestehend aus einer Vielzahl von aktiven und passiven Elementen, deren Aufgabe die Erhaltung bzw. Verbesserung der Signalintegrität ist. Zur Vermeidung von Fehlinterpretationen der Testergebnisse beim analogen bzw. gemischt analog-digitalen Test ist es also von entscheidender Bedeutung in der Lage zu sein, zwischen den durch das DUT verursachten Fehlern und den während des Transfers von Testsignalen zum ATE durch das DIB hervorgerufenen Fehlern unterscheiden zu können.

Der Trend zur Entwicklung und Fertigung ganzer elektronischer Systeme, bestehend aus den verschiedensten Technologien (analog, digital, RF, MEMS, usw.), auf einem einzigen Chip (SoC - *system on chip*) bzw. in einem einzigen Gehäuse (SiP - *system in package*) führt zu einer drastischen Erhöhung der Komplexität des Testproblems eingebetteter analoger und gemischt analog-digitaler Komponenten [OO01]. Aufgrund der begrenzten Anzahl von primären Anschlüssen (Gehäusepins) können externe ATEs nicht direkt auf die Anschlüsse tief eingebetteter Komponenten zugreifen. Die Verbindung zu den einzelnen Komponenten wird meistens über analoge Schalter, Multiplexer und ausgewählte Testpunkte realisiert. Die Gesamtperformanz des Systems und die Chipfläche werden jedoch dadurch immer beeinflusst. Außerdem verschärft sich das mit dem Transfer analoger Signale zum ATE verbundene Problem. Das häufige Umschalten der analogen Multiplexer kann zu Signalverzerrungen und somit zu einer Verschlechterung der Signalintegrität führen. Daraus resultieren höhere Testkosten aufgrund der längeren erforderlichen Initialisierungs- und Einschwingzeiten.

Um dies zu vermeiden, werden immer häufiger ATE-Funktionalitäten, wie beim di-

gitalen Test, direkt in den Chip integriert. Die Integration geschieht dabei entweder durch speziell entworfene Komponenten oder durch Rekonfiguration der auf dem Chip vorhandenen analogen bzw. digitalen Komponenten. Durch die Implementierung solcher selbsttestenden analogen bzw. gemischt analog-digitalen Komponenten können die Testkosten komplexer gemischt analog-digitaler SoCs signifikant reduziert werden. Der Nachteil dieser Methode liegt in den exorbitanten Entwurfskosten, die zur vollständigen Implementierung einer traditionellen analogen Testeinrichtung auf dem Chip erforderlich wären.

Als Alternative zum traditionellen ATE-basierten analogen Test wird der signaturbasierte Test in [AK97b, NCYA98, HBC03, RA03, BC04, RCAC04, YSCA04] vorgeschlagen. Bei dieser Methode wird die Performanz eingebetteter analoger bzw. gemischt analog-digitaler Komponenten durch geeignete Teststimuli [HBC03, BC04], spezielle Schaltungen [YSCA04] oder geeignete Rekonfiguration [AK97b, RCAC04] indirekt gemessen. Dabei wird im Wesentlichen eine Reduzierung der mit den Signalgenerierung und Signalauswertung auf dem Chip verbundenen Kosten angestrebt. Wenn jedoch das zu testende gemischt analog-digitale System eine digitale Signalverarbeitungseinheit (DSP - *digital signal processing*) sowie Datenwandler enthält, dann kann mit Hilfe dieser Ressourcen eine traditionelle analoge Testeinrichtung einfach auf dem Chip implementiert werden. Analoge Teststimuli werden mit dem Digital-Analog-Wandler (DAC - *digital analog converter*) erzeugt und analoge Testantworten werden mit dem Analog-Digital-Wandler (ADC - *analog digital converter*) aufgenommen und von der DSP-Einheit weiterverarbeitet. Dieses als Loopback-Test bekannte Testschema ermöglicht den effizienten Test von analogen bzw. gemischt analog-digitalen Komponenten mit rein digitalen Verfahren.

Diese Ansätze haben allerdings bis jetzt keine weite Verbreitung erlangt, u.a. aus den folgenden Gründen. Beim signaturbasierten analogen Test sind die verwendeten Testsignaturen in der Regel mit den DUT-Fehlern stark korreliert und werden deshalb zur Fehlererkennung (defektorientierter Test) eingesetzt. Es besteht jedoch in der Regel kein direkter Zusammenhang zwischen Testsignaturen und Spezifikationsparametern. Die Auswertung von Spezifikationsparametern ist aber von entscheidender Bedeutung, da diese in weiteren Phasen der Fertigungsprüfung (z.B. Kalibrierung, Diagnose, usw.) meistens benötigt werden. Außerdem wird der Testentwurf durch die hohe Anzahl an erforderlichen Simulationen zur Bestimmung geeigneter Testsignaturen signifikant erschwert.

Die meisten Ansätze setzen in der Regel voraus, dass die den Test unterstützenden DfT-Komponenten (DfT - *design for testability*) ideal sind [Ohl91, PC95, PC96]. Dies ist meistens nicht der Fall. Verschiedene Wechselwirkungen zwischen den DfT-

Komponenten können die Testantworten des DUT beeinflussen, so dass sich die gemessene Performanz von der tatsächlichen Performanz des DUT unterscheidet.

Beim traditionellen ATE-basierten analogen Test werden komplexe Techniken eingesetzt, um eine hohe Auflösung der analogen Signale zu gewährleisten. Aufgrund der mit einer Implementierung auf dem Chip verbundenen Schwierigkeiten können diese Techniken nur begrenzt eingesetzt werden, was zu einer reduzierten Testauflösung führt. Weiterhin wird dieses Problem durch die kontinuierlich steigenden DUT-Performances verschärft, da leistungsfähigere DUTs höhere Signalaufösungen erfordern. Die reduzierte Testauflösung kann zu einer Maskierung der DUT-Fehler führen. Man betrachte zum Beispiel den Linearitätstest eines ADC. Das erforderliche analoge Testsignal wird von einem DAC auf demselben Chip generiert. Obwohl die Linearitätsinformationen des DAC bekannt sind, gibt es keinen direkten Weg sie zu kompensieren, damit die Testantworten des ADC davon unberührt bleiben, es sei denn, die Auflösung des DAC ist signifikant höher als die Auflösung des ADC. Dieses Beispiel ähnelt dem Test eines leistungsfähigen DUT mit einem kostengünstigen ATE, dessen Spezifikationen den DUT-Anforderungen nicht gewachsen sind.

1.2 Beiträge der Arbeit

Die wesentlichen Beiträge der Arbeit sind die Analyse und Untersuchung von Verfahren zum eingebauten Selbsttest (BIST - *built in self test*) von in SoCs eingebetteten analogen und gemischt analog-digitalen Komponenten. Sie können wie folgt zusammengefasst werden:

- Der traditionelle ATE-basierte analoge Test wird durch einen eingebauten Selbsttest ersetzt, welcher den Test von analogen und gemischt analog-digitalen Komponenten ausschließlich mit digitalen Ressourcen ermöglicht. Dies führt zu einem höheren Test-Durchsatz, einer besseren Genauigkeit und Reproduzierbarkeit der Testergebnisse, einer vereinfachten Kalibrierung des Tests und schließlich zu reduzierten ATE-Anforderungen.
- Im Gegensatz zu bestehenden BIST-Lösungen, welche direkte Messungen der Spezifikationsparameter durch indirekte kostengünstige Messungen von Testsignaturen (z.B. Oszillation-BIST) ersetzen, stellt die vorgeschlagene BIST-Lösung eine kostengünstigere spezifikationsbasierte Alternative dar. Dies ist von entscheidender Bedeutung, da die Spezifikationsparameter in weiteren Phasen der Fertigungsprüfung (Kalibrierung, Diagnose) gebraucht werden.

- Die Generierung des analogen Testsignals geschieht auf dem Chip mit rein digitalen Ressourcen (ausgenommen ein eventueller analoger Filter) und ist auf dem Prinzip der Delta-Sigma-Modulation basiert. Die vorgeschlagene Implementierung ist multipliziererfrei und kann deshalb sowohl in Hardware als auch in Software effizient auf dem Chip realisiert werden.
- Der Algorithmus zur schnellen Fourier-Transformation (FFT - *fast Fourier transform*), welcher standardmäßig beim traditionellen ATE-basierten analogen Test zur Auswertung von Testantworten zum Einsatz kommt, wird durch einen kompakteren DSP-Algorithmus ersetzt. Dieser lässt sich ebenfalls sowohl in Hardware als auch Software effizient auf dem Chip realisieren.
- Eine ausführliche Untersuchung der Genauigkeit des vorgeschlagenen Algorithmus zur Auswertung der Testantworten auf dem Chip wird durchgeführt. Die Ergebnisse dieser Untersuchung sind Gleichungen, die dem Testingenieur ein probates Werkzeug zur Verfügung stellen, um einen adäquaten Kompromiss zwischen der erforderlichen Testgenauigkeit (d.h. Testqualität) und der dazu benötigten Testzeit (d.h. Testkosten) zu finden.
- Die vorgeschlagene BIST-Lösung wird im Rahmen dieser Arbeit zwar ausschließlich für den Test von ADCs eingesetzt, kann jedoch im Rahmen eines Loopback-Tests auf andere analoge bzw. gemischt analog-digitale Komponenten angewendet werden.

Folgende Veröffentlichungen [TMS08a, TMS08b, TSG09a, TSG09b, TMSG09] sind im Verlauf dieser Arbeit entstanden. Die vorgestellten Algorithmen wurden in MATLAB/VHDL programmiert und im Experiment auf industrielle Schaltungen angewendet.

1.3 Gliederung der Arbeit

Kapitel 2 stellt einen kurzen Überblick der vorhandenen Methoden im Bereich des analogen bzw. gemischt analog-digitalen Tests vor. Das Ziel ist es, auf die mit den aktuellen Methoden verbundenen Schwierigkeiten hinzuweisen und somit den Bedarf an effizienteren Methoden hervorzuheben. Einige der in diesem Kapitel vorgestellten Verfahren werden in einer Vielzahl von Applikationen erfolgreich eingesetzt.

Die erste Hürde in der praktischen Implementierung von spezifikationsbasierten BIST-Lösungen liegt in der Generierung von analogen Testsignalen hoher Auflösung auf

dem Chip mit wenigen Ressourcen. Kapitel 3 widmet sich dieser Problematik und stellt eine effiziente Lösung vor, die auf dem Prinzip der Delta-Sigma-Modulation beruht.

Die zweite Hürde liegt in der präzisen Aufnahme und Auswertung der Testantworten der DUT-Komponente. Kapitel 4 stellt einen kompakten Algorithmus zur hochgenauen Extraktion der Spezifikationsparameter vor. Eine ausführliche Analyse der Genauigkeit dieses Algorithmus wird durchgeführt.

Kapitel 5 stellt zunächst die Ergebnisse der Implementierung der verschiedenen Algorithmen auf einer programmierbaren Logikschaltung (FPGA - *field programmable gate array*) vor. Damit verschafft man sich einen Überblick über den erforderlichen Ressourcenaufwand. Anschließend werden experimentelle Ergebnisse im Rahmen des Tests eines kommerziellen ADC bzw. eines analogen Verstärkers präsentiert.

Kapitel 6 fasst abschließend die wesentlichen Punkte der Arbeit zusammen.

2 Analog- und Mixed-Signal-Test

2.1 Traditioneller Analog- und Mixed-Signal-Test

Ein typischer Ansatz zum Test von analogen bzw. gemischt analog-digitalen Schaltungen besteht darin, die im Datenblatt angegebenen Performanzparameter (Spezifikationen) zu messen und auszuwerten. Diese sind in der Regel elektrische Eigenschaften, Timing-Restriktionen oder absolute Maximalnennwerte. Die Performanzparameter, die im Datenblatt aufgelistet werden, stellen die im Hinblick auf die vorgesehene Anwendung wichtigsten Parameter dar. Analoge und gemischt analog-digitale Schaltungen werden im Allgemeinen durch eine Fülle von DC- (*direct current*), AC- (*alternating current*) und transienten Parametern charakterisiert. Hinzu kommen noch etliche Betriebsparameter (z.B. Temperatur, Versorgungsspannung, usw.), die den Bereich festlegen, innerhalb dessen die Schaltung funktionieren soll. Das Datenblatt einer analogen bzw. gemischt analog-digitalen Schaltung kann aufgrund dieser Vielzahl von Parametern sehr lang ausfallen. Ein wesentliches Ziel beim Test analoger bzw. gemischt analog-digitaler Schaltungen ist es also, geeignete Testprozeduren zu entwickeln, welche die Testqualität und die Testzeit optimieren.

Bei DC-Tests werden meistens elektrische Eigenschaften wie Versorgungsspannung, Leckströme, Impedanzen, usw. und Performanzparameter wie DC-Verstärkung, DC-Offset, PSRR (*power supply rejection ratio*), usw. gemessen. Ein typischer Ansatz zur Messung dieser Parameter besteht darin, eine DC-Stromquelle bzw. -Spannungsquelle anzulegen und das Ausgangssignal mit einem Ampere- bzw. Voltmeter zu messen. Teststimuli, Messpunkte und Testkonfiguration variieren in Abhängigkeit des zu messenden Performanzparameters. Die Messung der Leerlaufverstärkung und der Kreisverstärkung eines Operationsverstärkers erfordert z.B. zwei verschiedene Testkonfigurationen.

Bei AC-Tests (auch dynamische Tests genannt) werden meistens Performanzparameter wie Verstärkung, Phase, Verzerrung, Rauschen, usw. gemessen. Die dynamischen Parameter sind von entscheidender Bedeutung in Audio- oder in High-Speed-Anwendungen. Sinusförmige Signale werden in der Regel als Teststimuli bei AC-Tests verwendet. Abbildung 2.1 zeigt eine typische DSP-basierte Testkonfiguration.

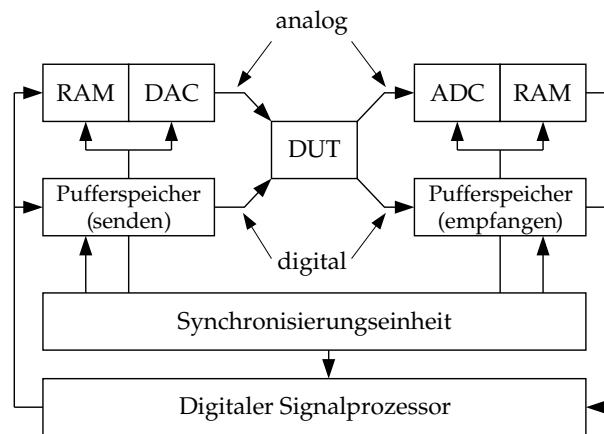


Abb. 2.1: Typische DSP-basierte Testkonfiguration [Mah87].

Ein mit Hilfe digitaler Verfahren (DSP-Algorithmen) generiertes digitales sinusförmiges Signal wird von einem DAC hoher Auflösung in ein analoges Signal umgewandelt. Die DUT-Antwort wird von einem ADC hoher Auflösung aufgenommen, digitalisiert und von der DSP-Einheit weiterverarbeitet. Aufgrund der komplexen Testkonfiguration und der erforderlichen langen Testzeiten zur Einspeisung und Messung der Signale sind die AC-Tests in der Regel viel teurer als die DC-Tests.

Analoge und digitale Komponenten in komplexen gemischt analog-digitalen ICs werden meistens getrennt getestet. Die Teilung der Schaltung in zwei getrennte Blöcke (analog/digital) mit Hilfe von *boundary cells* vereinfacht den Zugriff auf die einzelne Komponenten, die dann effizient getestet werden können. Im analogen Block wird der Zugriff auf die einzelne Komponenten mit Hilfe von analogen Multiplexern gewährt und die Testeingänge bzw. Testausgänge sind mit dem externen ATE über einen analogen Testbus verbunden. Die mit dieser Trennung der Schaltung verbundenen Performanceeinbußen und die daraus resultierenden längeren Testzeiten (Gesamttestzeit ist gleich der Summe der Testzeit der einzelnen Komponenten) sind jedoch der größte Nachteil dieses Ansatzes.

2.2 Stand der Technik

Die Testaufgabe bei analogen bzw. gemischt analog-digitalen Schaltungen ist ein breites Thema, welches unter einer Vielzahl unterschiedlicher Aspekte betrachtet wird, z.B. Software-Engineering (Testprogrammentwicklung und -verifikation), Hardware-Design (testfreundlicher Entwurf, eingebauter Selbsttest), Messtechnik, Fehlermodellierung und Simulationstechniken. Abbildung 2.2 zeigt eine Übersicht wichtiger The-

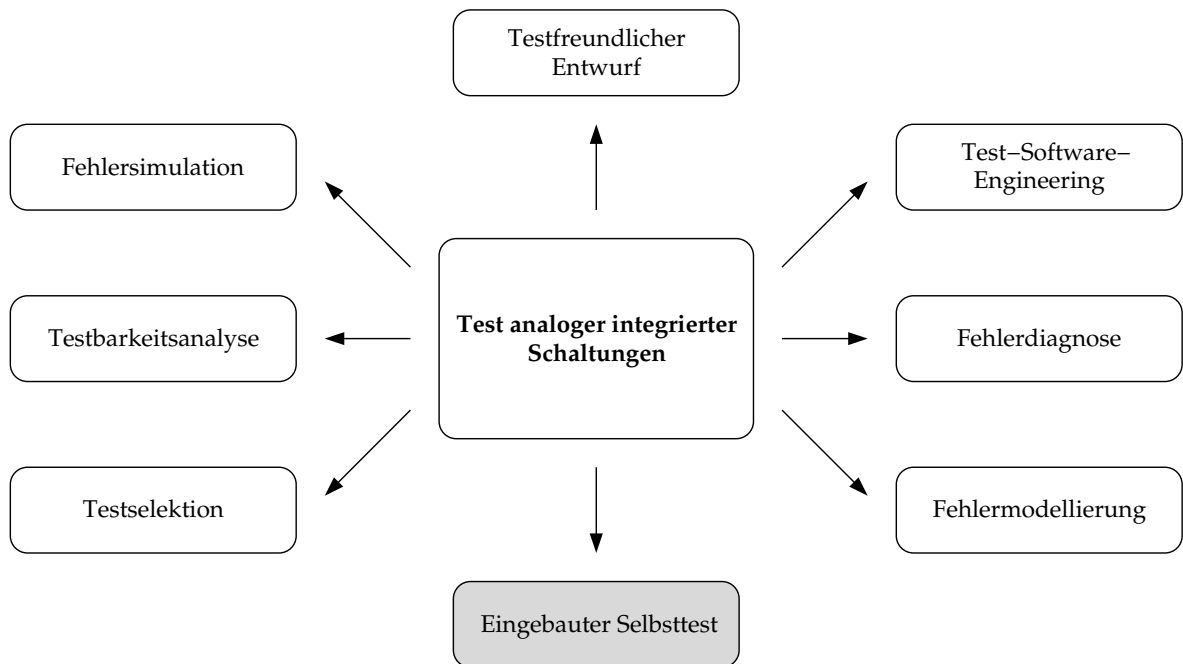


Abb. 2.2: Eine Übersicht wichtiger Themengebiete im Bereich des Tests analoger und gemischt analog-digitaler Schaltungen [Lin97].

mengebiete im Bereich des Tests analoger und gemischt analog-digitaler Schaltungen. Die vorliegende Arbeit beschäftigt sich mit dem eingebauten Selbsttest (grau schattiert in Abb. 2.2), welcher im Prinzip eine Erweiterung des DfT-Ansatzes darstellt. Im Folgenden werden die einzelnen Themengebiete kurz vorgestellt und eine Auswahl wichtiger Beiträge zusammengestellt.

Im Gegensatz zum Test digitaler Schaltungen, wo sich das einfache Ständigfehlermodell als Basismodell etabliert hat und die Entwicklung effizienter Testmethoden ermöglicht hat, konnten bislang Fehlermodelle im Bereich des Tests analoger Schaltungen keine weite Verbreitung erlangen. Die Entwicklung analoger Fehlermodelle ist deshalb besonders schwierig, da die möglichen physikalischen Defekte auf Parameter mit kontinuierlichem Wertebereich zurückzuführen sind. Analoge Schaltungen können auf drei verschiedenen Ebenen modelliert werden: geometrische Ebene, strukturelle Ebene und Verhaltensebene. Dementsprechend werden Ansätze zur analogen Fehlermodellierung in diese drei Kategorien eingeteilt. Beim Geometrie-basierten Ansatz werden die Auswirkungen möglicher physikalischer Defekte als Fehler modelliert [MM91, HBRB93, STO95, KST95, OPG⁺96, SGOT98, AO08]. Beim strukturbasierten Ansatz werden die Fehlermodelle ausschließlich aus den Netzlisteninformationen generiert [NA92, PCG96, PC97, VCH⁺97]. Der verhaltensbasierte Ansatz stellt eine

Erweiterung des strukturbasierten Ansatzes dar, wobei die Komplexität der Fehlermodelle eine Stufe weiter reduziert wird [Som96, WKR⁺02, ZB04].

Die analoge Fehlersimulation wird meistens auf der Schaltungsebene durchgeführt. Viele Werkzeuge sind hierzu vorhanden. Sie basieren in der Regel auf SPICE-ähnlichen Simulatoren. Aufgrund der langen Simulationszeiten und der erforderlichen hohen Rechenleistung kommen allerdings nur Schaltungen geringer Größe bzw. Komplexität in Betracht. Hierarchische Ansätze können hierzu Abhilfe schaffen [MM91, NA92, NCA93, HRBB94, CLM97]. Zur Reduzierung der Simulationszeiten können ebenfalls die verschiedenen Abstraktionsniveaus der Verhaltenssicht ausgenutzt werden [BVZM96, ZB04].

Die Fehlerdiagnose [BS85, Liu91] schließt auf die Fehlersimulation an und erfolgt typischerweise in den frühen Phasen der Testentwicklung. Die Fehlerdiagnose wird eingesetzt, um die Ursache für das Fehlverhalten der Schaltung zu finden, zu analysieren und entsprechende Maßnahmen vorzunehmen. Verfahren zur Fehlerdiagnose analoger Schaltungen werden in der Regel in zwei Kategorien eingeteilt: Verfahren mit Simulation vor dem Test und Verfahren mit Simulation nach dem Test. Verfahren mit Simulation vor dem Test [CFG⁺96, KBS05] werden meistens zur Lokalisierung und Identifizierung von lokalen parametrischen Fehlern eingesetzt, während Verfahren mit Simulation nach dem Test [SK92, WW98, CCC99, SL01] zur Lokalisierung und Identifizierung von globalen parametrischen Fehlern eingesetzt werden.

Die Testbarkeitsanalyse stellt ein weiteres Forschungsgebiet im Bereich des Tests analoger Schaltungen dar und wird in [Kuh92, Hue93, LKFSV94, SK94a] ausführlich erläutert. Das Konzept der Testbarkeitsanalyse ist eng mit dem Konzept der Fehlerdiagnose verbunden und gibt Informationen darüber, ob das Testproblem für eine gegebene Schaltung eindeutig lösbar ist oder nicht. Diese Informationen beinhalten u.a. die optimalen Meßpunkte der Schaltung, die optimalen Messungen, die Mehrdeutigkeitsgruppen [SSS89], die testbaren Schaltungskomponenten (welche isoliert werden können) und die nicht-testbaren Komponenten.

Die Entwicklung des Testprogramms ist eine der anspruchsvollsten Phase im Entwicklungszyklus elektronischer Schaltungen. Im Gegensatz zu rein digitalen Schaltungen, wo die Testprogrammentwicklung mithilfe zahlreicher EDA-Werkzeuge von der Generierung bis zur Verifikation (noch bevor erste Produktionsstichproben verfügbar sind) vollständig automatisiert ist, stellt sie bei analogen bzw. gemischt analog-digitalen Schaltungen eine zeit- und arbeitsintensive Aufgabe, die auf dem Tester und erst bei Verfügbarkeit erster Produktionsstichproben durchgeführt wird. Die Testprogrammentwicklung umfasst die Definition der Teststimuli, der erwarteten Schaltungsantworten, der Nachverarbeitungsalgorithmen sowie die Beschreibung der Te-

sterressourcen und des DIB. Verschiedene Werkzeuge wurden in den letzten Jahren entwickelt, um diese Prozesse bzw. Teile dieser Prozesse (z.B. der Entwurf des DIB, die Generierung des Tester-Quellcodes, die Verifikation einzelner Tests, usw.) zu automatisieren [KXB92, BK92, Aus93, KX93, CA95, XAK95, ODM97, RKR03].

Der Test analoger bzw. gemischt analog-digitaler Schaltungen erfordert die Auswertung einer großen Anzahl von Spezifikationen. Dies führt in der Regel zu sehr langen Testzeiten auf teuren Testgeräten und somit zu extrem hohen Testkosten. Aus diesem Grund sind verschiedene Methoden zur Testselektion entwickelt worden, die eine Reduzierung der Testkosten, (1) durch die Auswahl einer relevanten Teilmenge von Tests/Spezifikationen ohne Verschlechterung der Testqualität (Erkennungsrate fehlerhafter Schaltungen) oder (2) durch die optimale Anordnung der einzelnen Tests, anstreben. In [MSV94, CLM97] wird eine Methode zur Auswahl eines optimalen Testsatzes von Gleichstrommessungen vorgeschlagen. Das vorgestellte Verfahren wird zur Erkennung katastrophaler Fehler eingesetzt. In [SS90, SS91, HC04] werden weitere Algorithmen zur Testselektion vorgestellt, welche auf einer Empfindlichkeitsanalyse der zum Auswahl stehenden Messungen bezüglich vorgegebener Modellparameter basieren. In [LGA95, Lin97, LGA99] wird eine Methode vorgestellt, die auf frei wählbaren Ersatzigenschaften (charakteristische Beobachtungen) basiert, wobei die Fehlerfreiheit der Schaltung auf vorgegebene Spezifikationen bezogen ist. Es wird ein parametrisches Fehlermodell verwendet, welches die Modellierung parametrischer Defekte, die einzuhaltenden Spezifikationen und die Messungen miteinander in Verbindung bringt. In [PGG00, CA05] basiert die Testselektion ebenfalls auf einer Empfindlichkeitsanalyse. Die Wavelet-Transformation wird hier für den Test parametrischer Fehler eingesetzt.

Der testfreundliche Entwurf beschäftigt sich mit schaltungstechnischen Maßnahmen zur Verbesserung der Steuerbarkeit und Beobachtbarkeit von analogen bzw. gemischt analog-digitalen Schaltungen. Dabei werden komplexe Schaltungen durch geeignete Maßnahmen in einfachere Blöcke zerteilt, die jeweils einzeln getestet werden können. Hierzu werden verschiedene Ansätze in der Literatur vorgeschlagen. Sie können in zwei Kategorien zusammengefasst werden: der Multiplex-Ansatz und der Bypass-Ansatz. Beim Multiplex-Ansatz [FMW88, WW88, Ohl91, HRV93, Sun95] wird der messtechnische Zugriff auf interne Schaltungsknoten durch Einführung geeigneter Testleitungen bzw. analoge Testbusse ermöglicht. Ausgewählte Schaltungsknoten werden vom Hauptsignalweg getrennt und mit Testleitungen bzw. Testbusse verbunden. Beim Bypass-Ansatz [Som90, SK94b, VRHR95] werden einzelne analoge Schaltungsblöcke durch schaltungstechnische Maßnahmen rekonfiguriert, so dass sie beispielweise zu Spannungsfolgern (Puffer) werden. Durch Verkettung solcher Blöcke

kann ein frequenzunabhängiger analoger Pfad zwischen dem primären Ein- bzw. Ausgang der Schaltung und dem zu testenden Block gebildet werden.

2.3 Eingebauter Selbsttest (BIST)

Der eingebaute Selbsttest stellt einen viel versprechenden Ansatz für eine weiterhin ökonomisch erfolgreiche Massenfertigung zukünftiger analoger und gemischt analog-digitaler ICs dar [Sem07]. Der BIST-Ansatz bietet eine hierarchische Testlösung, die auf allen Ebenen (von der Wafer- bis zu Systemebene) verwendet werden kann. Beim BIST-Ansatz werden einige bzw. alle ATE-Funktionalitäten (Testsignalgeneratoren, Auswerteeinheiten) direkt auf dem Chip implementiert. Dies führt zu verkürzten Signalpfaden und zur Verbesserung der Signalintegrität auf den Testleitungen. Außerdem werden die externen Parasitärkopplungen deutlich reduziert. Der Test kann bei der normalen Betriebsfrequenz des DUT durchgeführt werden, was aufgrund des Performanzunterschieds zwischen DUT und ATE herkömmlicherweise nicht möglich ist. Ebenso führt der Einsatz von BIST-Techniken zu einer reduzierten Abhängigkeit von teuren gemischt analog-digitalen ATEs. In manchen Fällen reichen sogar rein digitale ATEs zum Test von gemischt analog-digitalen ICs vollkommen aus. Die Standardisierung und Wiederverwendung von BIST-Strukturen führt ebenso zu einer Reduzierung der mit der Testprogrammgenerierung verbundenen Kosten, zu einer Reduzierung der Testzeit und somit zu einer Reduzierung der Gesamtkosten. In den folgenden Abschnitten wird einen Überblick über verschiedene BIST-Methoden zum Test von analogen bzw. gemischt analog-digitalen Schaltungen (insbesondere ADCs) gegeben.

2.3.1 Oszillation-BIST

Das Grundprinzip des Oszillation-basierten Tests [AK96, AK97a, AK97b] basiert auf der Partitionierung der zu testenden Schaltung in analoge Grundblöcke (z.B. Operationsverstärker, Komparatoren, Filter, usw.). Anschließend werden die einzelnen Grundblöcke während des Testmodus mit Hilfe zusätzlicher Komponenten in Oszillatoren umgewandelt. Die Oszillationsparameter (Amplitude, Frequenz) der einzelnen Grundblöcke werden dann beim Test gemessen und mit Referenzwerten verglichen. Abweichungen von den Referenzwerten weisen auf fehlerhafte DUT hin. Die Referenzwerte werden meistens mit Hilfe von Monte-Carlo-Simulationen ermittelt, wobei alle wichtigen technologischen Prozessparameter und Design-Parameter berücksichtigt werden. Die Architektur des Oszillators wird so gewählt, dass die Emp-

findlichkeit der Oszillationsparameter gegenüber Variationen der Prozessparameter maximiert wird.

Der wesentliche Vorteil des Oszillation-basierten Tests liegt in der Tatsache, dass Teststimuli und somit Testsignalgeneratoren nicht erforderlich sind. Die Testauswertung beschränkt sich lediglich auf die Messung der Oszillationsparameter. Folglich führt der Einsatz des Oszillation-basierten Tests zu einer signifikanten Reduzierung der Testkomplexität, der zusätzlich erforderlichen Chipfläche und schließlich der Testkosten. Ein Oszillation-basiertes BIST-Verfahren wird in [RA03] vorgeschlagen. Das dort vorgestellte Schema enthält eine kompakte Auswerteeinheit zur direkten Messung der Oszillationsparameter auf dem Chip. Zur Maximierung der Fehlerabdeckung werden ausgewählte Testpunkte des DUT zusätzlich gemessen.

Der Oszillation-basierte Test ist defektorientiert und nicht spezifikationsorientiert, d.h. das DUT wird im Raum der Oszillationsparameter und nicht im Raum der Spezifikationsparameter ausgewertet. Deshalb muss ein hoher Simulationsaufwand aufgebracht werden, um geeignete Grenzen für die Referenzwerte zu finden. Außerdem können die Ergebnisse des Tests in anderen Phasen der Fertigungsprüfung (z.B. Kalibrierung, Diagnose) meistens nicht verwendet werden.

Um diese Einschränkungen zu überwinden wird in [RCAC04] ein verbessertes Verfahren vorgeschlagen. Zusätzlich zu den Oszillationsparametern wird hier eine abgetastete Version des Oszillationssignals verwendet, um die Spezifikationsparameter des DUT abzuschätzen. Eine Abbildungsfunktion zwischen Oszillationsparametern und Spezifikationsparametern wird mit Hilfe von adaptiven Regressionstechniken erzeugt. Die Messung und Auswertung der Oszillationsparameter wird allerdings erheblich komplexer.

2.3.2 Translation-BIST

Das Translation-BIST-Verfahren [SK93] ist ein Selbsttestverfahren, welches auf der Partitionierung des DUT in verschiedene funktionelle Grundkomponenten basiert, die einzeln getestet werden können. Diese Grundkomponenten werden in der Regel durch Performanzparameter wie Verstärkung, Offset, Phase, PSRR, CMRR, usw. charakterisiert.

Das Grundprinzip des Verfahrens basiert auf der Darstellung von Performanzparametern als Gleichspannungswerte. Performanzparameter können somit durch Messung von Gleichspannungen indirekt ermittelt werden. Die gemessenen Gleichspannungswerte werden dann mit Referenzwerten (oberer und unterer Grenzwert) verglichen, um festzustellen, ob der entsprechende Performanzparameter sich innerhalb ei-

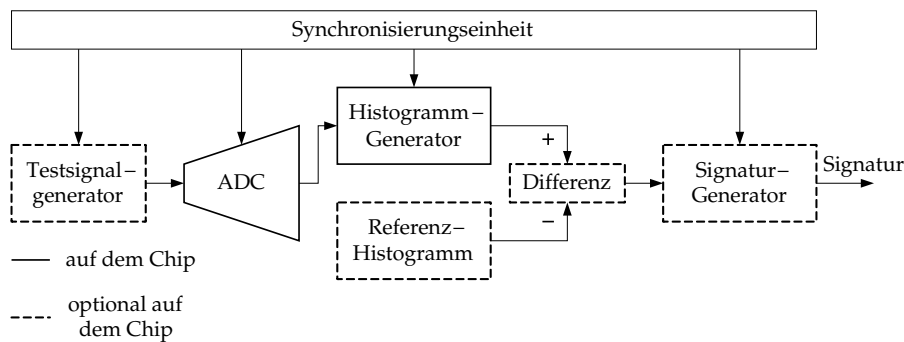


Abb. 2.3: Histogramm-basiertes BIST-Verfahren zum ADC-Test [FA97].

nes vorgegebenen Toleranzbereichs (Akzeptanzbereich) befindet. Die Ergebnisse dieser Auswertung werden in einem Schieberegister gespeichert und seriell ausgelesen. Dadurch stellt man fest, welche Performanzparameter den Test bestanden haben, und welche nicht.

Obwohl das Translation-BIST-Verfahren zum funktionellen Test analoger Komponenten hervorragend geeignet ist, erfordert dessen Implementierung jedoch eine große Anzahl von analogen Multiplexern, um die Steuerbarkeit und Beobachtbarkeit der einzelnen Grundkomponenten zu gewährleisten. Außerdem müssen zusätzliche analoge Schaltungen zur Umwandlung von Performanzparametern in Gleichspannungswerte sowie ein analoger Fensterkomparator zur Auswertung der Gleichspannungen auf dem Chip implementiert werden. Die mit der großen Anzahl von Multiplexern eingehende Verschlechterung der analogen Signale stellt einen wesentlichen begrenzenden Faktor für den Einsatz des Translation-BIST-Verfahrens dar.

2.3.3 Histogramm-BIST

Der Histogramm-basierte Test [Mah87] stellt ein statistisches Testverfahren dar. Das Grundprinzip des Verfahrens wird in Abb. 2.3 im Falle eines ADC-Tests dargestellt. Ein Testsignal mit einer definierten Amplitudenverteilung wird an den Eingang des ADC gelegt. Die Amplitudenverteilung des digitalen Signals (Häufigkeitsverteilung der digitalen Codes) am Ausgang des ADC wird ermittelt und mit einem vorberechneten Referenzhistogramm verglichen. Unterschiede in den Histogrammen weisen auf Fehler des DUT hin. Aus dem ermittelten Histogramm können statistischen Fehler des ADC leicht erkannt und berechnet werden. Eine Verschiebung der Häufigkeitswerte deutet zum Beispiel auf einen Offset-Fehler hin, während der Mittelwert der Häufigkeitswerte proportional zum Verstärkungsfehler ist.

Ein Histogramm-basiertes partielles BIST-Verfahren wird in [BS90] vorgeschlagen. Bei diesem Verfahren wird die Testsignalgenerierung von einem externen ATE übernommen. Bei jedem Auftreten eines bestimmten Codes wird der Wert einer vorgesehenen Speicherzelle des RAM-Speichers auf dem Chip inkrementiert. Die resultierenden Histogramm-Werte werden dann verwendet, um eine Testsignatur zu generieren. Anhand dieser Testsignatur wird eine Testentscheidung (Gut/Schlecht) für den Spezifikationsparameter DNL- (*differential nonlinearity*) getroffen. Die Erweiterung dieses partiellen BIST-Verfahrens führt auf das Verfahren in [FA97, ABBR01], welches ein vollständiges BIST-Verfahren (Signalgenerator und Auswerteeinheit auf dem Chip) darstellt. Der Testsignalgenerator erzeugt entweder eine lineare Rampe hoher Auflösung oder ein sinusförmiges Signal hoher spektraler Reinheit. In der Regel werden sinusförmige Testsignale bevorzugt, da sie auf dem Chip einfach zu generieren sind. Die Genauigkeit des Histogramm-basierten Tests hängt in erster Linie von den Eigenschaften des verwendeten Testsignals ab. Um gute Ergebnisse zu bekommen, muss das Testsignal von hoher Auflösung bzw. spektraler Reinheit sein. Aufgrund der statistischen Natur des Verfahrens müssen sehr viele Abtastwerte aufgenommen und verarbeitet werden. Die Größe des erforderlichen Speichers auf dem Chip und die längeren Testzeiten sind zwei Faktoren, die den Einsatz des Histogramm-basierten Tests in praktischen BIST-Anwendungen wesentlich begrenzen.

2.3.4 Polynom-BIST

Das Grundprinzip des Polynom-basierten Tests basiert auf der Approximation der Übertragungsfunktion des DUT (z.B. ADC) durch ein Polynom n -ter Ordnung. Es kann gezeigt werden, dass die Koeffizienten jenes Polynoms, welches die Übertragungsfunktion am besten approximiert (d.h. im Sinne des minimalen Fehlerquadrats), zu dem Offset, dem Verstärkungsfaktor und der nichtlinearen Verzerrung des DUT proportional sind, wenn das DUT mit einem sinusförmigen Testsignal beaufschlagt wird. Die dynamischen Performanzparameter des DUT können somit aus den Koeffizienten des Polynoms berechnet werden.

Ein auf diesem Prinzip basiertes BIST-Schema wird in [SN97] implementiert. Die Übertragungsfunktion des DUT wird hier in vier verschiedene Bereiche (S_0 bis S_3) unterteilt (siehe Abb. 2.4). Als Testsignal wird eine Rampe verwendet. Die Rampe wird aus einem tiefpassgefilterten PWM- (*pulse width modulation*) Signal erzeugt, wobei das PWM-Signal je nach Bereich der Übertragungsfunktion unterschiedliche Tastverhältnisse besitzt. Der analoge Tiefpassfilter wird auf dem DIB implementiert [RSFA02]. Testsignaturen werden einfach erzeugt, indem man die Ausgangscodes des DUT über

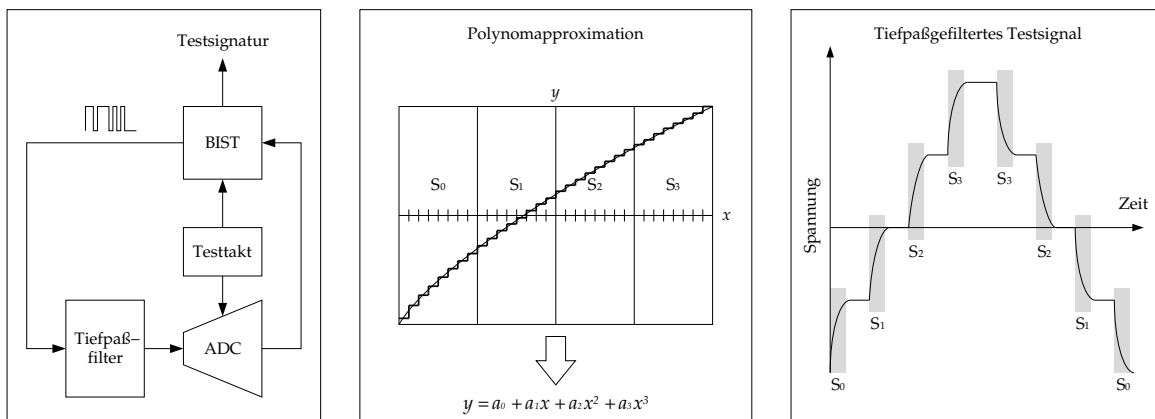


Abb. 2.4: Polynom-basiertes BIST-Verfahren zum ADC-Test [SN97].

die verschiedenen Bereiche akkumuliert. Die Koeffizienten des Polynoms n-ter Ordnung und somit die Performanzparameter des DUT lassen sich aus den Testsignalen durch geeignete Operationen extrahieren.

Das Polynom-basierte BIST-Verfahren ist zwar einfach und schnell, dessen Anwendung in praktischen BIST-Anwendungen wird jedoch von den folgenden Faktoren begrenzt. Die generierten Testsignaturen sind extrem empfindlich gegen Rauschen. Dies begrenzt den Einsatz des Verfahrens in Testanwendungen mit sehr geringem Grundrauschen. Außerdem erfordert die Berechnung und Auswertung der Performanzparameter leistungsfähige DSP-Einheiten auf dem Chip bereits für Polynome vierter Ordnung.

2.3.5 Hybrid-BIST

ADCs und DACs sind die am häufigsten eingesetzten Komponenten in gemischt analog-digitalen SoCs, da sie als Schnittstellen zwischen der analogen Umgebung und den digitalen signalverarbeitenden Systemen dienen. Solche gemischt analog-digitalen SoCs werden üblicherweise in einem Loopback-Schema getestet. Das Grundprinzip dieses Testansatzes ist folgende: Im Testmodus wird das DUT mit Hilfe von analogen Multiplexern so rekonfiguriert, dass der DAC-Ausgang direkt bzw. indirekt über analoge Komponenten mit dem ADC-Eingang verbunden ist. Das Testsignal wird an den DAC-Eingang gelegt und die Testantwort wird am ADC-Ausgang aufgenommen. Somit sind Testsignal und Testantwort rein digital. Traditionelle Testverfahren für digitale Schaltungen können also auf diese Art und Weise für den Test analoger bzw. gemischt analog-digitaler Schaltungen effektiv eingesetzt werden.

Ein auf diesem Prinzip basiertes BIST-Schema, das Hybrid-BIST, wird in [Ohl91] vor-

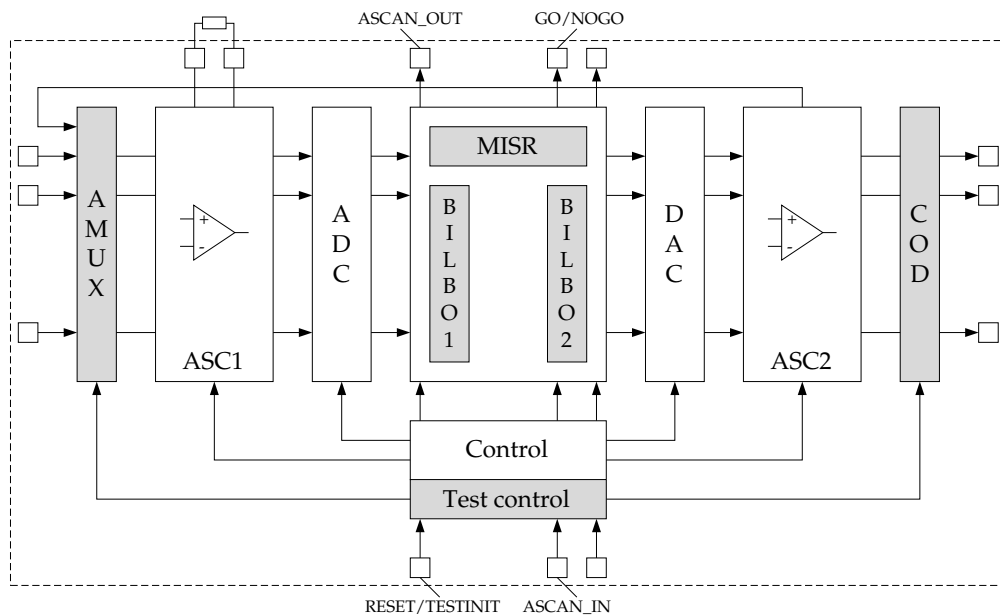


Abb. 2.5: Implementierung des Hybrid-BIST-Verfahrens für ein gemischt analog-digitales SoC [Ohl91]. Die grauen Komponenten stellen die zusätzlich benötigte BIST-Hardware dar.

geschlagen (siehe Abb. 2.5). Als Testsignal wird eine Pseudozufallsfolge (Bit-Folge) verwendet, die von einem LFSR (*linear feedback shift register*) auf dem Chip generiert wird. Ein MISR (*multiple input signature register*) auf dem Chip wird ebenfalls verwendet, um eine Testsignatur aus der Testantwort zu erzeugen, die anschließend mit einer Referenzsignatur auf dem Chip verglichen wird. Aufgrund des Eigenrauschens analoger Schaltungen können jedoch reproduzierbare Testsignaturen mit diesem traditionellen MISR nicht gewonnen werden. Eine effektivere Testsignatur wird in [RA03] vorgeschlagen. Sie wird durch einen Akkumulator erzeugt, welcher die Abtastwerte der Testantwort aufsummiert. Die Testsignatur wird dann mit Referenzwerten (oberer und unterer Grenzwert) verglichen, die durch Simulationen unter Berücksichtigung des Rauschens ermittelt worden sind.

Das Hybrid-BIST-Verfahren erreicht zwar eine hohe Fehlerabdeckung [Ohl91], dessen Einsatz ist jedoch auf gemischt analog-digitale ICs begrenzt, die mindestens ein Paar ADC/DAC enthalten. Das Problem der Fehlermaskierung stellt ebenfalls einen wesentlichen begrenzenden Faktor dar. Die Auswirkungen eines sehr schlechten DAC könnten z.B. durch einen sehr guten ADC im Testmodus kompensiert werden und wären somit in der Testantwort nicht sichtbar, was zu einer Fehlinterpretation der Testergebnisse und schließlich zu einer Fehlklassifikation des DUT führen würde.

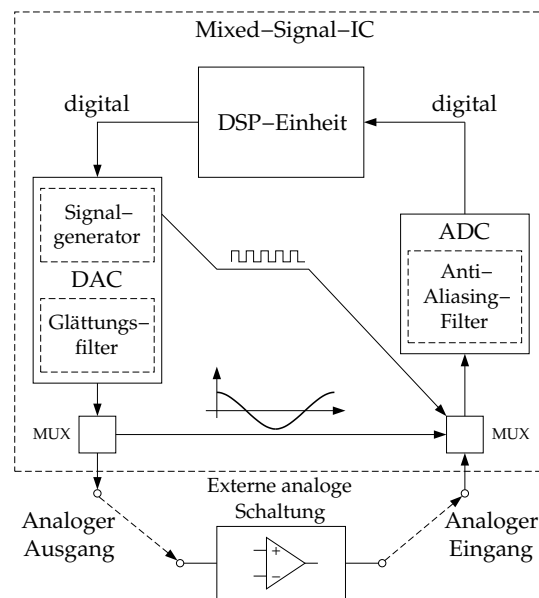


Abb. 2.6: Implementierung des Mixed-Analog-Digital-BIST-Verfahrens für ein gemischt analog-digitales SoC [TR95a].

2.3.6 Mixed-Analog-Digital-BIST

Das Mixed-Analog-Digital-BIST-Verfahren [TR95a, TR95b] basiert ebenfalls auf dem Loopback-Testschema und zielt deshalb auf gemischt analog-digitale ICs, die mindestens ein Paar ADC/DAC sowie eine DSP-Einheit enthalten. Im Gegensatz zum Hybrid-BIST-Verfahren ist die Testprozedur sequenziell und läuft folgendermaßen ab: Zuerst werden die digitalen Komponenten mit Hilfe einer digitalen BIST-Schaltung vollständig verifiziert. Dann wird der ADC mit einem auf dem Chip generierten sinusförmigen Signal hoher Auflösung beaufschlagt und verifiziert. Zur Generierung des Testsignals wird der DAC in einen speziellen Modus umgeschaltet und dessen Ausgang über einen analogen Multiplexer mit dem ADC-Eingang verbunden. Die Testantwort am ADC-Ausgang wird aufgenommen und die Performanzparameter des ADCs werden von der DSP-Einheit berechnet und ausgewertet. Wenn der ADC alle Tests erfolgreich bestanden hat, wird der DAC in den normalen Modus wieder umgeschaltet und in einer Loopback-Konfiguration mit dem ADC getestet. Das digitale Testsignal wird von der DSP-Einheit generiert und die Testantwort wird vom ADC aufgenommen und ebenfalls von der DSP-Einheit weiterverarbeitet. Sind der ADC und der DAC einmal verifiziert, können andere Komponenten verifiziert werden, indem sie zwischen DAC und ADC mit Hilfe von analogen Multiplexern platziert werden.

Die Implementierung des analogen Testsignalgenerators (für den ADC-Test) und die aufgrund der sequenziellen Testprozedur resultierende Testzeit sind zwei wesentliche Faktoren, die den Einsatz des Mixed-Analog-Digital-BIST-Verfahrens in praktischen Anwendungen begrenzen. Außerdem muss der ADC eine um mindestens 2 oder 3 Bits höhere Auflösung als der DAC besitzen, um gute Ergebnisse mit dieser Testprozedur zu erzielen. Um die Entwurfs- und Testkosten zu reduzieren, wird ein kompakter analoger Signalgenerator hoher Auflösung in [RL95, DR99] vorgeschlagen. Das aus dem Hybrid-BIST bekannte Problem der Fehlermaskierung wird beim Mixed-Analog-Digital-BIST etwas entschärft, da ADC und DAC einzeln nacheinander getestet werden. Das Mixed-Analog-Digital-BIST-Verfahren wurde bis jetzt sehr erfolgreich zum Test von gemischt analog-digitalen ICs wie Delta-Sigma-Wandler eingesetzt [TR96].

3 Analoge Signalgenerierung

3.1 Einleitung

Eine der größten Herausforderung bei der praktischen Anwendung von eingebauten Selbsttestverfahren für gemischt analog-digitale integrierte Schaltungen liegt in der Implementierung von analogen Signalgeneratoren hoher Auflösung. Die Signalgeneratoren erzeugen das erforderliche Testsignal und werden im Rahmen einer BIST-Implementierung direkt auf dem Chip integriert. Verschiedene Verfahren zur Generierung analoger Signale hoher Auflösung werden in [LRJ94, RL95, DR99] vorgeschlagen. Diese Verfahren basieren auf dem Prinzip der Delta-Sigma-Modulation [NST96] und eignen sich besonders gut für eine Implementierung auf dem Chip.

Die in dieser Dissertation verwendete Technik zur Generierung analoger Signale basiert auf dem in [LRJ94] vorgestellten Verfahren. Dieses Verfahren zeichnet sich dadurch aus, dass analoge sinusförmige Testsignale höchster spektraler Reinheit ausschließlich mit digitalen Ressourcen erzeugt werden können. Ein mithilfe digitaler Verfahren erzeugtes digitales sinusförmiges Signal wird durch einen Delta-Sigma-Modulator in ein hochfrequentes digitales (1-Bit) pulswertenmoduliertes Signal (PPM) umgewandelt (Abb. 3.1). Das Ergebnis (Bitstream) ist ein analoges Signal bestehend aus dem sinusförmigen Testsignal im Grundfrequenzband (Signalband) und einem hochfrequenten Rauschsignal. Das analoge Testsignal ist also in einen digitalen PPM-Bitstream eingebettet. Durch die Delta-Sigma-Modulation (Überabtastung und Rausch-

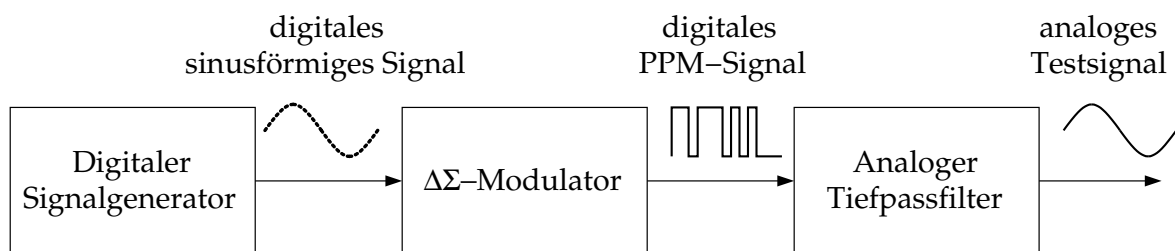


Abb. 3.1: Delta-Sigma-basiertes Verfahren zur Generierung von analogen Signalen hoher Auflösung auf dem Chip [LRJ94].

formung) wird der überwiegende Teil des Rauschens in einen Bereich außerhalb des Signalbands verschoben. Somit verbessert sich das Verhältnis von Signal zu Rauschen im Signalband. Ein analoger Tiefpassfilter, dessen Grenzfrequenz der maximalen Frequenz des Signalbands entspricht, ist erforderlich, um das im Testsignal vorhandene hochfrequente Rauschen zu entfernen bzw. abzuschwächen. In der Regel besitzen die meisten ADCs bereits Anti-Aliasing-Filter zur Bandbegrenzung des Eingangssignals. Im Rahmen eines eingebauten Selbsttests können diese Filter eventuell zur Filterung des PPM-Bitstreams verwendet werden. In diesem Fall muss somit kein neuer analoger Filter auf dem Chip implementiert werden. Amplitude und Frequenz des analogen Testsignals können über die Delta-Sigma-Modulation und die Referenzspannung des PPM-Signals leicht eingestellt werden. Somit ist das analoge Testsignal vollständig digital programmierbar. Eine externe Kalibrierung oder ein externer Abgleich ist für den Signalgenerator nicht erforderlich.

Im Weiteren werden die einzelnen Blöcke des vorgeschlagenen analogen Signalgenerators sowohl unter theoretischen als auch praktischen Aspekten analysiert.

3.2 Digitaler Signalgenerator

Der digitale Signalgenerator ist das erste Element des analogen Testsignalgenerators. Seine Aufgabe besteht darin, eine abgetaste (zeitdiskrete) digitale Kopie des gewünschten analogen Testsignals zu erzeugen. Im Folgenden werden zuerst einige Aspekte der Theorie der zeitdiskreten digitalen Oszillatoren vorgestellt. Anschließend werden dann praktische Schaltungen zur Realisierung des digitalen Signalgenerators vorgeschlagen.

3.2.1 Theorie der zeitdiskreten Oszillatoren

Ein zeitkontinuierlicher Oszillator besteht in der Regel aus zwei Funktionsblöcken (Abb. 3.2). Ein verstärkendes Element (z.B. ein Transistor) stellt die erforderliche Verstärkung zur Verfügung. Das Rückkoppelnetzwerk legt die Ausgangsfrequenz fest. Um das Anschwingen des Oszillators zu gewährleisten, muss das verstärkende Element die Verluste des Rückkoppelnetzwerks ausgleichen. Desweiteren muss das Oszillatorsignal nach dem Durchlaufen von $A(j\omega)$ und $F(j\omega)$ in Phase mit dem ursprünglichen Signal sein. Folgt man dem Signal durch den Oszillator, so ergibt sich für das Ausgangssignal

$$U_O = A(j\omega)U_A, \quad (3.1)$$

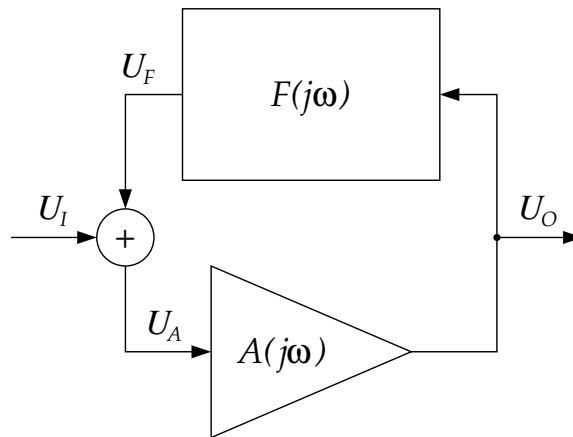


Abb. 3.2: Blockschaltbild eines rückgekoppelten zeitkontinuierlichen Systems [TS09].

und für die Rückkopplung

$$U_F = F(j\omega)U_O . \quad (3.2)$$

Die Gesamtverstärkung des Netzwerks ergibt sich zu

$$\frac{U_O}{U_I} = \frac{A(j\omega)}{1 - F(j\omega)A(j\omega)} . \quad (3.3)$$

Die Schaltung nach Abb. 3.2 erzeugt eine stabile harmonische Schwingung sobald die Anschlagbedingungen

$$A(j\omega)F(j\omega) = 1 , \quad (3.4)$$

$$\Phi_{A(j\omega)} + \Phi_{F(j\omega)} = 2\pi k \quad \text{mit } k = 1, \dots, n , \quad (3.5)$$

erfüllt sind. Hierbei stellen $\Phi_{A(j\omega)}$ und $\Phi_{F(j\omega)}$ die Phasenverschiebungen des Verstärkers und des rückgekoppelten Netzwerks dar. Diese Anschlagbedingungen werden auch Barkhausen-Kriterien genannt [TS09]. Ähnliche Kriterien können ebenfalls für lineare zeitinvariante zeitdiskrete Systeme hergeleitet werden.

Es wird im Folgenden von einem zeitdiskreten System zweiter Ordnung ausgegangen. Dieses System besitzt zwei diskrete Zustandsvariablen x_1 und x_2 . Die Differenzgleichung des Systems kann in Matrizenform angegeben werden

$$\begin{bmatrix} x_1(n+1) \\ x_2(n+1) \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} x_1(n) \\ x_2(n) \end{bmatrix} , \quad (3.6)$$

wobei die Elemente a , b , c und d die charakteristischen Eigenschaften des Systems darstellen. Um aus dem von Gl. (3.6) beschriebenen System einen zeitdiskreten Oszil-

lators zu erzeugen, müssen folgende Bedingungen (Barkhausen-Kriterien für zeitdiskrete Systeme) erfüllt werden

$$ad - bc = 1, \quad (3.7)$$

$$|a + d| < 2. \quad (3.8)$$

Aus der ersten Bedingung (Gl. (3.7)) geht hervor, dass die Determinante der Matrix (sog. Rotationsmatrix) gleich 1 sein muss. Dies ähnelt der Bedingung (Gl. (3.4)) für zeitkontinuierliche Systeme, wonach die Gesamtverstärkung gleich 1 sein muss. Die zweite Bedingung (Gl. (3.8)) setzt voraus, dass die Rotationsmatrix komplexe Eigenwerte besitzen muss. Im Folgenden wird davon ausgegangen, dass die Rotationsmatrix \mathbf{A} eine quadratische reelle Matrix (2x2) ist, deren Elemente die Barkhausen-Kriterien erfüllen

$$\mathbf{A} = \begin{bmatrix} a & b \\ c & d \end{bmatrix}. \quad (3.9)$$

Sei ein Vektor $\underline{\mathbf{x}}$, der Initialwerte für die Zustandsvariablen enthält. Der n -te Ausgangswert des zeitdiskreten Oszillators kann folgendermaßen angegeben werden

$$\underline{\mathbf{y}}(n) = \mathbf{A}^n \underline{\mathbf{x}}. \quad (3.10)$$

Eine besondere Eigenschaft der Rotationsmatrix ist die Tatsache, dass sie als Produkt von drei Matrizen angegeben werden kann

$$\mathbf{A} = \mathbf{S} \mathbf{D} \mathbf{S}^{-1}. \quad (3.11)$$

\mathbf{D} stellt dabei eine Diagonalmatrix (alle außerhalb der Hauptdiagonale liegenden Elemente sind gleich Null) dar, deren Diagonalelemente die Eigenwerte der Rotationsmatrix \mathbf{A} sind [BSM05]

$$\mathbf{D} = \begin{bmatrix} e^{j\theta} & 0 \\ 0 & e^{-j\theta} \end{bmatrix}, \quad (3.12)$$

mit

$$\theta = \arccos\left(\frac{a + d}{2}\right). \quad (3.13)$$

θ stellt dabei den Schrittwinkel dar. Die Spalten der Matrix \mathbf{S} sind die dazugehörigen normierten Eigenvektoren [BSM05]

$$\mathbf{S} = \begin{bmatrix} 1 & 1 \\ \psi e^{j\phi} & \psi e^{-j\phi} \end{bmatrix}, \quad (3.14)$$

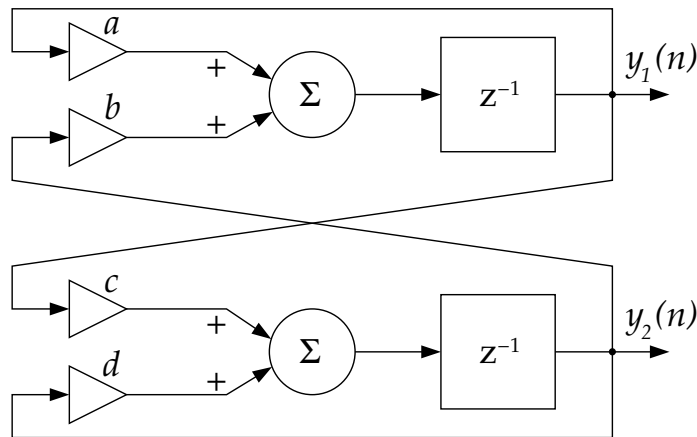


Abb. 3.3: Blockschaltbild eines generischen zeitdiskreten Oszillators [Van05].

wobei

$$\psi = \sqrt{\frac{-c}{b}}, \quad \phi = \arg(\eta), \quad \eta = \frac{(d-a) + j\sqrt{4 - (a+d)^2}}{2b}. \quad (3.15)$$

Gleichung (3.10) kann somit vereinfacht werden zu

$$\underline{\mathbf{y}}(n) = \mathbf{S}\mathbf{D}^n\mathbf{S}^{-1}\underline{\mathbf{x}}. \quad (3.16)$$

Während θ den Winkel beschreibt, um den der Vektor $\underline{\mathbf{x}}$ bei jeder Iteration gedreht wird, stellt der Winkel ϕ die Phasenverschiebung zwischen den Zustandsvariablen dar. Bei einem Quadratoroszillator ist der Winkel ϕ gleich $\pm 90^\circ$. Dies erhält man, indem die Elemente a und d der Rotationsmatrix gleichgesetzt werden ($a = d$). Der Parameter ψ stellt einen Skalierungsfaktor zwischen den Zustandsvariablen dar. Um einen Oszillator mit zwei Ausgängen gleicher Amplitude zu erzeugen, muss ψ gleich 1 sein. Dies erhält man, indem man b gleich $-c$ setzt. Der gewünschte Oszillator-Typ kann somit durch geeignete Konfiguration der Matrixelemente erzeugt werden.

Die generische Struktur aus Abb. 3.3 stellt eine Implementierungsmöglichkeit für den zeitdiskreten Oszillator dar. Kern dieser Struktur ist das Registerpaar, welches die Zustandsvariablen enthält. Pro Iteration sind vier Multiplikationen und zwei Additionen erforderlich, um neue Ausgangswerte zu berechnen. Sind einige Elemente der Rotationsmatrix gleich Null bzw. Eins, oder sind zwei oder mehr Elemente gleich, dann kann die generische Struktur vereinfacht werden und die Anzahl der erforderlichen Operationen reduziert werden.

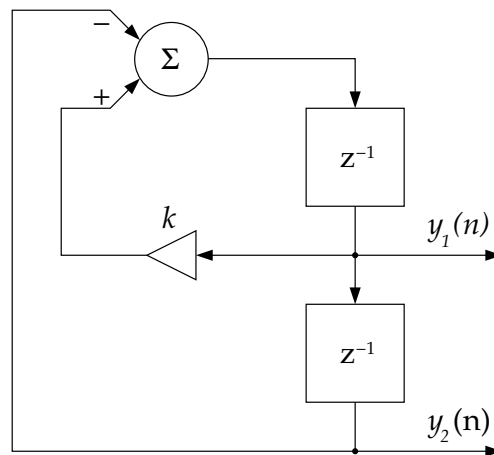


Abb. 3.4: Blockschaltbild eines zeitdiskreten Biquad-Oszillators [Van05].

3.2.2 Biquad-Oszillator

Der Biquad-Oszillator ist einer der ersten digitalen Oszillatoren, welcher im Bereich der zeitdiskreten Signalverarbeitung verwendet wurde. Der Biquad-Oszillator kann aus der generischen Struktur aus Abb. 3.3 erzeugt werden, indem man die Elemente der Rotationsmatrix folgendermaßen auswählt

$$\mathbf{A} = \begin{bmatrix} k & -1 \\ 1 & 0 \end{bmatrix} \quad \text{mit } k = 2 \cos(\theta) . \quad (3.17)$$

Abbildung 3.4 zeigt das Blockschaltbild des Biquad-Oszillators. Da b gleich $-c$ in der Rotationsmatrix ist, besitzen die Ausgänge des Oszillators die gleiche Amplitude. θ stellt die Phasenverschiebung zwischen den Ausgangssignalen dar und wird durch folgende Formel angegeben

$$\theta = \omega_o T = 2\pi \frac{f_o}{f_s} , \quad (3.18)$$

wobei f_o die Frequenz der Ausgangssignale ist, und f_s die Abtastfrequenz des Systems. Um das Anschwingen des Oszillators zu gewährleisten, müssen die Zustandsvariablen mit folgenden Werten initialisiert werden

$$x_1(0) = A \cos(\theta + \varphi_0) , \quad (3.19)$$

$$x_2(0) = A \cos(\varphi_0) , \quad (3.20)$$

wobei A die Amplitude der Ausgangssignale darstellt, und φ_0 eine beliebige Anfangsphase. Als Ausgangssignal erhält man

$$y_2(n) = A \cos(\theta n + \varphi_0). \quad (3.21)$$

Das Ausgangssignal stellt also eine abgetastete Version eines spektralreinen sinusförmigen Signals dar. Die Frequenzauflösung des Biquad-Oszillators ist durch die kleinste generierbare Frequenz f_{min} gegeben

$$f_{min} = \frac{\theta_{min}}{2\pi} f_s \quad \text{mit} \quad \theta_{min} = \arccos\left(\frac{k_{min}}{2}\right). \quad (3.22)$$

Die Frequenzauflösung wird von dem kleinsten darstellbaren Wert von k_{min} bestimmt und ist somit von der verwendeten Wortbreite (Anzahl von Bits) abhängig. Eine Vergrößerung der Wortbreite hat eine Verbesserung der Frequenzauflösung zur Folge. Aufgrund der Quantisierung der Koeffizienten können die Pole des Biquad-Oszillators nur begrenzte Positionen in der z -Ebene einnehmen. Der größte Nachteil des Biquad-Oszillators besteht darin, dass die quantisierten Pole nicht gleichmäßig in der z -Ebene verteilt sind [OSB99]. Der Abstand zwischen zwei möglichen Pole ist nicht konstant und steigt besonders drastisch bei kleinen Frequenzen an. Dies hat eine Verschlechterung der Frequenzauflösung des Biquad-Oszillators zur Folge.

Die dynamische Steuerung der Frequenz des Biquad-Oszillators ist mit einem großen Aufwand verbunden. Zuerst müssen die Elemente der Rotationsmatrix mit neuen Werten (entsprechend der neuen gewünschten Frequenz) belegt werden. Dann müssen zusätzlich die Zustandsvariablen aktualisiert werden. Dabei bleibt die Phase des Ausgangssignals bei einem Frequenzwechsel in der Regel nicht konstant.

Aufgrund der Verwendung einer Arithmetik endlicher Genauigkeit kommt es bei der Berechnung zu Rundungsfehlern. Diese Rundungsfehler verschlechtern die spektrale Reinheit des generierten Signals und können zur Instabilität des Biquad-Oszillators führen. Zur Korrektur der Rundungsfehler können Verfahren zur Fehlererkennung mit Rückkopplung eingesetzt werden [AEHAI86]. Die einfachste Methode zur Korrektur der Rundungsfehler besteht jedoch darin, den Oszillator nach N Abtastwerten bzw. M Perioden der harmonischen Schwingung zurückzusetzen, falls das Frequenzverhältnis f_o/f_s gleich M/N ist. Damit wird eine unendliche Akkumulation der Rundungsfehler am effektivsten verhindert [FMHI75]. Die Anzahl N der Abtastwerte wird so ausgewählt, dass die Varianz des bis zu diesem Zeitpunkt akkumulierten Rundungsrauschens sich innerhalb eines vorgegebenen Toleranzbereichs hält.

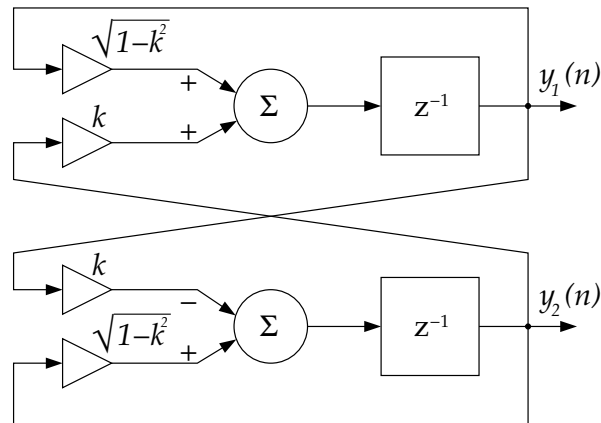


Abb. 3.5: Blockschaltbild eines gekoppelten Quadraturoszillators [Van05].

3.2.3 Gekoppelter Quadraturoszillator

Der gekoppelte Quadraturoszillator kann aus der generischen Struktur aus Abb. 3.3 erzeugt werden, indem man die Elemente der Rotationsmatrix folgendermaßen auswählt

$$\mathbf{A} = \begin{bmatrix} \sqrt{1-k^2} & k \\ -k & \sqrt{1-k^2} \end{bmatrix}. \quad (3.23)$$

Wie beim Biquad-Oszillator wird der Parameter θ durch Gl. (3.18) angegeben. Abbildung 3.5 zeigt das Blockschaltbild des gekoppelten Quadraturoszillators. Die Elemente a und d der Rotationsmatrix sind gleich, und b ist gleich $-c$. Dies bedeutet, dass die Ausgänge des Oszillators die gleiche Amplitude besitzen und zugleich eine Phasenverschiebung von $\pm 90^\circ$ aufweisen. Um das Anschwingen des Oszillators zu gewährleisten, müssen die Zustandsvariablen mit folgenden Werten initialisiert werden

$$x_1(0) = A \cos(\theta), \quad (3.24)$$

$$x_2(0) = A \sin(\theta), \quad (3.25)$$

wobei A die Amplitude der Ausgangssignale darstellt. Als Ausgangssignale erhält man

$$y_1(n) = A \cos(\theta n), \quad (3.26)$$

$$y_2(n) = A \sin(\theta n). \quad (3.27)$$

Die Frequenzauflösung des Oszillators wird von dem kleinsten darstellbaren Wert von k bestimmt und ist somit von der verwendeten Wortbreite (Anzahl von Bits) abhängig. Es gilt, je größer die Anzahl von Bits wird, desto besser wird die Frequenzauflösung.

Der gekoppelte Quadraturoszillator erfordert zwar zur Implementierung mehr Ressourcen als der Biquad-Oszillator, weist jedoch gegenüber diesem eine Reihe von Vorteilen auf. Die Pollagen des gekoppelten Quadraturoszillators sind gleichmäßig in der z -Ebene verteilt [OSB99]. Diese Struktur ist somit robuster gegen Quantisierungsfehler und weist deshalb bei gleicher Anzahl von Bits eine höhere Frequenzauflösung (besonders bei kleinen Frequenzen) als der Biquad-Oszillator auf. Eine Änderung der Oszillatorfrequenz lässt sich viel einfacher durchführen. Dazu müssen lediglich die Elemente der Rotationsmatrix geändert werden. Die Phase bleibt dabei konstant.

Wie beim Biquad-Oszillator kommt es aufgrund der Verwendung einer Arithmetik endlicher Genauigkeit zu Rundungsfehlern. Die Akkumulation dieser Rundungsfehler kann zur Instabilität des Oszillators führen. Es ist deshalb notwendig, die Rundungsfehler zu korrigieren bzw. zu reduzieren. Wie beim Biquad-Oszillator besteht die einfachste und effektivste Methode darin, den Oszillator nach N Abtastwerten bzw. M Perioden der harmonischen Schwingung zurückzusetzen, falls das Frequenzverhältnis f_o/f_s gleich M/N ist, wobei f_o die Frequenz der Ausgangssignale ist, und f_s die Abtastfrequenz des Systems. Mithilfe des gekoppelten Quadraturoszillators kann ein digital gesteuerter Oszillator erzeugt werden, welcher die dynamische Steuerung der Frequenz bzw. Amplitude ermöglicht. Folgende Prozedur kann hierzu ausgeführt werden [Van05]:

1. Eine Iteration des Oszillators wird ausgeführt und der neue Zustandsvektor wird berechnet

$$\underline{\mathbf{x}}(n) = \begin{bmatrix} x_1(n) \\ x_2(n) \end{bmatrix}. \quad (3.28)$$

2. Zur dynamischen Änderung der Frequenz werden die Elemente der Rotationsmatrix aktualisiert. Die neue Rotationsmatrix kann online oder offline berechnet werden

$$\hat{\mathbf{A}} = \begin{bmatrix} \sqrt{1 - \hat{k}^2} & \hat{k} \\ -\hat{k} & \sqrt{1 - \hat{k}^2} \end{bmatrix} \quad \text{mit } \hat{k} = \sin(\hat{\theta}), \hat{\theta} = 2\pi \frac{\hat{f}_o}{f_s}. \quad (3.29)$$

Die Änderung der Rotationsmatrix beeinflusst nicht die Phase des Oszillators.

3. Zur dynamischen Änderung der Amplitude bzw. zur Korrektur der Rundungs-

fehler muss ein Gewichtungsfaktor G bestimmt werden. Dazu wird zuerst die momentane Leistung P des Ausgangssignals berechnet

$$P = x_1^2(n) + x_2^2(n) . \quad (3.30)$$

In einem idealen System, wo Rundungsfehler nicht auftreten, gilt zu jedem Zeitpunkt n folgende Gleichung

$$x_1^2(n) + x_2^2(n) = x_1^2(0) + x_2^2(0) . \quad (3.31)$$

Der Gewichtungsfaktor wird dann durch folgende Gleichung angegeben

$$G = G_0 \sqrt{\frac{x_1^2(0) + x_2^2(0)}{x_1^2(n) + x_2^2(n)}} , \quad (3.32)$$

wobei G_0 ein Faktor proportional zur gewünschten Amplitude ist.

4. Der aktuelle Zustandsvektor wird mit dem Gewichtungsfaktor G multipliziert.

Schritt 3 und 4 können nach jeder Iteration bzw. nach N Iterationen ausgeführt werden, während Schritt 2 nur ausgeführt wird, wenn die Frequenz geändert werden soll.

3.2.4 CORDIC-basierter digitaler Synthesizer

Die digitale Synthese ist ein Verfahren zur Erzeugung beliebiger periodischer Signale. Das Blockschaltbild eines allgemeinen digitalen Synthesizers wird in Abb. 3.6 dargestellt. Der digitale Synthesizer besteht in der Regel aus einem Phasenakkumulator und einem Phasen-Amplituden-Wandler, welcher meistens mit einer Lookup-Tabelle (LUT) realisiert wird. Die Qualität des Ausgangssignals hängt von der Größe (Anzahl der Abtastwerte) und der Auflösung (Wortbreite der Abtastwerte) der LUT ab. Eine Vergrößerung der LUT hat eine Verbesserung der Qualität des Ausgangssignals zur Folge. Dies geht allerdings auf Kosten des zusätzlich erforderlichen Flächen- bzw. Ressourcenbedarfs.

Die Frequenz f_o des Ausgangssignals hängt von dem Phasenwinkel ΔP am Eingang des Synthesizers ab und wird durch folgende Gleichung angegeben

$$f_o = \frac{\Delta P}{2^j} f_s , \quad (3.33)$$

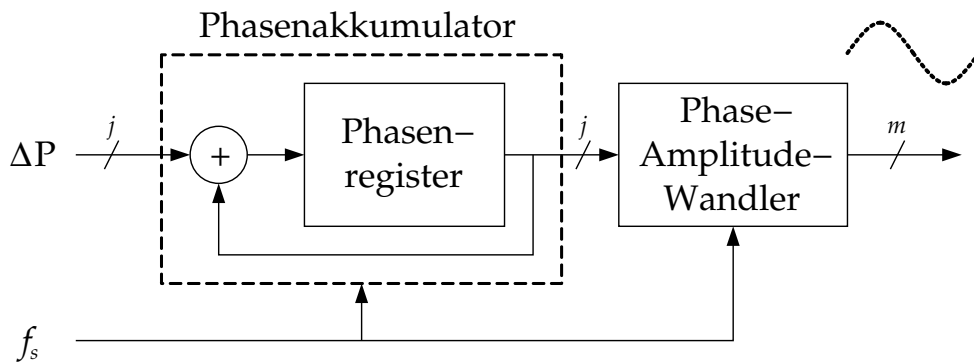


Abb. 3.6: Blockschaltbild eines konventionellen digitalen Synthesizers [Van05].

wobei f_s die Abtastfrequenz des Systems darstellt und j die Wortbreite des Phasenwinkels bzw. des Phasenakkumulators. Die Frequenzauflösung des Synthesizers erhält man, indem ΔP durch 1 in (3.33) ersetzt wird

$$f_{min} = \frac{f_s}{2^j}. \quad (3.34)$$

Die Frequenzauflösung wird somit von der Auflösung bzw. Wortbreite des Phasenwinkels bestimmt. Eine Vergrößerung der Wortbreite des Phasenwinkels hat eine Verbesserung der Frequenzauflösung zur Folge. Allerdings vergrößert sich die Größe der erforderlichen LUT automatisch. Die Größe der LUT kann bei einer Vergrößerung der Wortbreite des Phasenwinkels konstant gehalten werden, indem das Ausgangswort des Phasenakkumulators quantisiert wird, d.h. auf eine geringere Wortbreite reduziert wird (Abb. 3.7). Die Fehler, die durch die Quantisierung des Phasenwinkels hervorgerufen werden, können jedoch spektrale Töne erzeugen und somit das Ausgangssignal des Synthesizers verzerren [KCSS00, TW05].

Im Rahmen dieser Arbeit wird der Phasen-Amplituden-Wandler nicht als LUT realisiert, sondern algorithmisch mit dem CORDIC-Verfahren implementiert. Das CORDIC-Verfahren [Vol59, Wal71] ist ein iteratives Verfahren, mit dem sich einige mathematische Funktionen auf einfache und elegante Art und Weise berechnen lassen. Der Algorithmus kann in zwei verschiedenen Modi ausgeführt werden: im Rotations- und im Vektormodus. Im Weiteren wird nur der Rotationsmodus zur Berechnung der trigonometrischen Funktionen (Sinus und Kosinus) behandelt. Der Rotationsmodus basiert auf der Drehung eines Anfangsvektors $(x_0, y_0)^T$ um einen Winkel θ in einem zirkularen Koordinatensystem. Die Besonderheit des Algorithmus liegt darin,

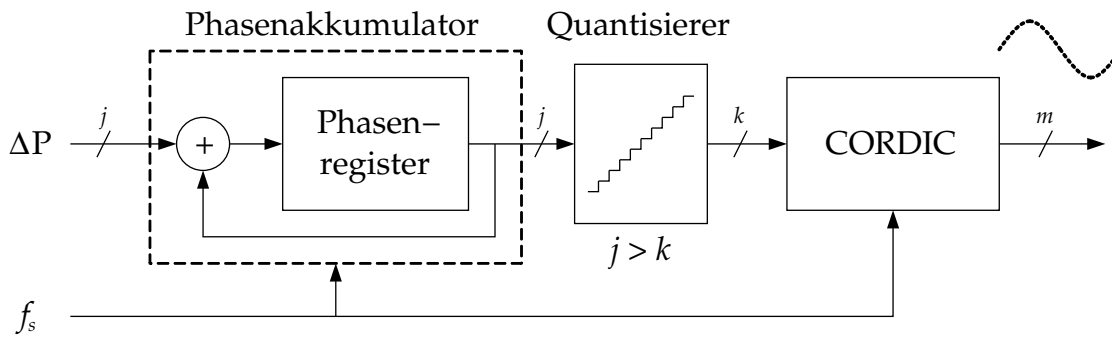


Abb. 3.7: Blockschaltbild eines CORDIC-basierten digitalen Synthesizers.

dass die Drehung nicht in einem einzigen Schritt durchgeführt wird, sondern iterativ in mehreren Teilschritten. Das Verfahren konvergiert, wenn der Winkel θ als Linearkombination von gewählten Teilwinkeln α_i dargestellt werden kann

$$\theta = \sum_{i=0}^{n-1} \sigma_i \alpha_i \quad \text{mit } \sigma_i \in \{-1, 1\}, \quad (3.35)$$

wobei n die Anzahl der Teildrehungen bzw. Iterationen ist, und σ_i die Drehrichtung im i -ten Iterationsschritt. Die Teildrehungen werden mit der folgenden Rotationsmatrix durchgeführt

$$\mathbf{R}_i = \begin{bmatrix} \cos(\alpha_i) & -\sin(\alpha_i) \\ \sin(\alpha_i) & \cos(\alpha_i) \end{bmatrix} = \cos(\alpha_i) \begin{bmatrix} 1 & -\tan(\alpha_i) \\ \tan(\alpha_i) & 1 \end{bmatrix}. \quad (3.36)$$

Für eine multipliziererrfreie Implementierung der Teildrehungen werden die Teilwinkel folgendermaßen gewählt

$$\tan(\alpha_i) = 2^{-i}. \quad (3.37)$$

Die Teilrotationsmatrix aus (3.36) kann vereinfacht werden

$$\mathbf{R}_i = K_i \begin{bmatrix} 1 & -2^{-i} \\ 2^{-i} & 1 \end{bmatrix} \quad \text{mit } K_i = \cos(\alpha_i). \quad (3.38)$$

Zur dynamischen Änderung der Drehrichtung σ wird eine Hilfsvariable z eingeführt

$$z_{i+1} = z_i - \sigma_i \alpha_i. \quad (3.39)$$

Eine zu weite Drehung im Schritt i wird durch einen Vorzeichenwechsel kompensiert

$$\sigma_i = \begin{cases} 1 & \text{für } z_i \geq 0, \\ -1 & \text{für } z_i < 0. \end{cases} \quad (3.40)$$

Man erhält damit folgende Iterationsvorschrift

$$\begin{pmatrix} x_{i+1} \\ y_{i+1} \end{pmatrix} = K_i \begin{bmatrix} 1 & -\sigma_i 2^{-i} \\ \sigma_i 2^{-i} & 1 \end{bmatrix} \begin{pmatrix} x_i \\ y_i \end{pmatrix}, \quad (3.41)$$

$$z_{i+1} = z_i - \sigma_i \alpha_i. \quad (3.42)$$

Nach n -Iterationen erhält man die Ausgangswerte

$$\begin{pmatrix} x_n \\ y_n \end{pmatrix} = K_n \prod_{i=0}^{n-1} \begin{bmatrix} 1 & -\sigma_i 2^{-i} \\ \sigma_i 2^{-i} & 1 \end{bmatrix} \begin{pmatrix} x_0 \\ y_0 \end{pmatrix}, \quad (3.43)$$

$$z_n = z_0 - \sum_{i=0}^{n-1} \sigma_i \alpha_i, \quad (3.44)$$

mit

$$K_n = \prod_{i=0}^{n-1} \cos(\alpha_i). \quad (3.45)$$

Die Länge des Anfangsvektors $(x_0, y_0)^T$ wird nach n Iterationen mit dem Faktor K_n skaliert. Die einfachste Methode zur Kompensation dieses Verstärkungsfaktors besteht darin, den Endvektor $(x_n, y_n)^T$ oder den Anfangsvektor $(x_0, y_0)^T$ mit dem Faktor $1/K_n$ zu multiplizieren.

Der CORDIC-Algorithmus weist drei potentielle Fehlerquellen auf. Die erste Fehlerquelle geht auf das Prinzip des Verfahrens zurück und liegt in der Quantisierung des Winkels θ , d.h. in der Approximation des Winkels θ als Linearkombination von vorgegebenen Teilwinkeln α_i . Der bei der Approximation entstehende Restfehler z_n (3.44) kann durch Erhöhung der Anzahl der Iterationen verringert werden.

Die zweite Fehlerquelle liegt in der Quantisierung der Teilwinkel selbst. Sie werden mit einer endlichen Wortbreite dargestellt. Dieser Quantisierungsfehler kann durch eine Vergrößerung der Wortbreite verringert werden.

Die dritte Fehlerquelle liegt in der Verwendung einer endlichen Arithmetik. Das aufgrund dieser drei Fehlerquellen entstehende Rundungsrauschen am Ausgang des CORDIC wird ausführlich in [KC93] behandelt und Dimensionierungsvorschriften werden angegeben. Verschiedene Architekturen zur Implementierung des CORDIC-Verfahrens werden in [WPS96, And98] angegeben.

3.3 Delta-Sigma-Modulator

Das Blockschaltbild eines konventionellen $\Delta\Sigma$ -Modulators wird in Abb. 3.8 dargestellt. Der $\Delta\Sigma$ -Modulator besteht aus einem Interpolationsfilter und einem Rauschformungsfilter. Das Eingangssignal $x(n)$ des $\Delta\Sigma$ -Modulators ist ein digitales Signal mit der Wortbreite m und der Abtastfrequenz f_s . Dieses wird z.B. von einem digitalen Oszillator bzw. Synthesizer generiert. Abbildung 3.9(a) zeigt das Frequenzspektrum des Eingangssignals $x(n)$. Der Interpolationsfilter erhöht die Abtastrate des Signals $x(n)$ um einen ganzzahligen Faktor M auf Mf_s und filtert zugleich die entstehenden Kopien des Frequenzspektrums bei den Frequenzen $f_s, 2f_s, \dots, (M-1)f_s$ weg (Abb. 3.9(b)). Das Signal $x_i(n)$ am Ausgang des Interpolationsfilters ist ein digitales Signal mit der Wortbreite p (in der Regel $p \leq m$) und der Abtastfrequenz Mf_s .

Das Signal $x_i(n)$ wird dann mit Hilfe des Rauschformungsfilters in ein Signal niedrigerer Auflösung (in der Regel 1-Bit) quantisiert. Der Rauschformungsfilter wird so entworfen, dass das entstehende Quantisierungsrauschen in bestimmten Frequenzbereichen stärker konzentriert wird, die für die weitere Signalverarbeitung ohne Bedeutung sind (Abb. 3.9(c)).

Das Signal $y(n)$ am Ausgang des Rauschformungsfilters bzw. des $\Delta\Sigma$ -Modulators ist ein digitales 1-Bit-Signal mit der Abtastfrequenz Mf_s , welches eine Kopie des Eingangssignals $x(n)$ sowie zusätzliches Quantisierungsrauschen enthält. Dieses digitale Signal wird mit einem 1-Bit-DAC in ein analoges Signal umgewandelt. Das im Spektrum vorhandene Quantisierungsrauschen, welches außerhalb des Signalbands liegt, kann dann mit einem einfachen analogen Tiefpassfilter beseitigt werden (Abb. 3.9(d)). Im idealen Fall wird die Gesamtperformanz des $\Delta\Sigma$ -Modulators von dem Rauschformungsfilter bestimmt. Dessen Spezifikationen (Signal- bzw. Rausch-Übertragungsfunktion) sollten zuerst festgelegt werden, da sie als Grundlage für den Entwurf und die Dimensionierung des vorgeschalteten digitalen Interpolationsfilters bzw. nachgeschalteten analogen Tiefpassfilters dienen.

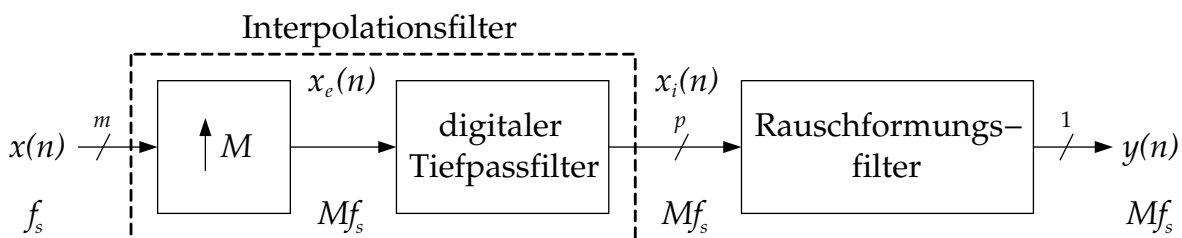


Abb. 3.8: Blockschaltbild eines konventionellen $\Delta\Sigma$ -Modulators [NST96].

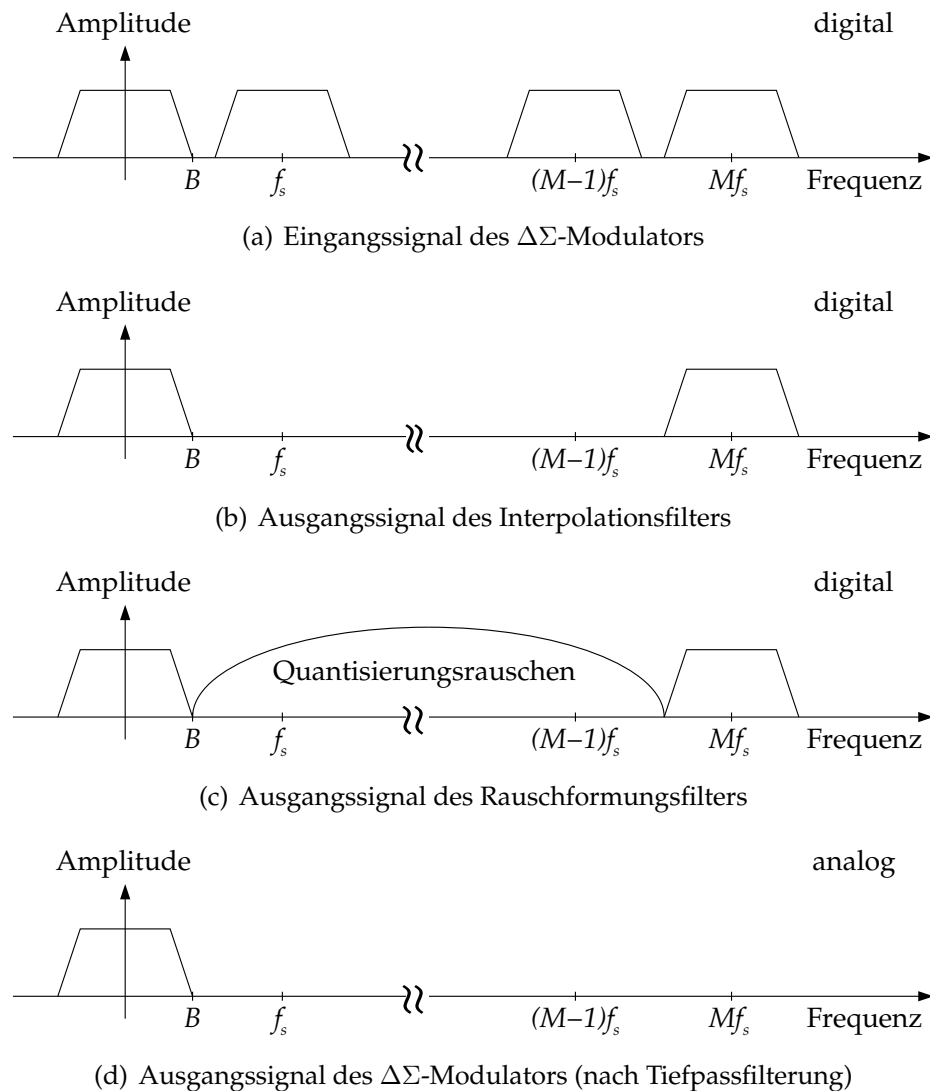


Abb. 3.9: Leistungsdichtespektren der Signale und des Quantisierungsrauschens in einem $\Delta\Sigma$ -Modulator.

3.3.1 Interpolationsfilter

Das Prinzip der Interpolation kann wie folgt beschrieben werden. Sei $x(n)$ ein zeitdiskretes Signal, dessen Abtastfrequenz f_s um einen ganzzahligen Faktor M erhöht werden soll, und $x_i(n)$ das aus $x(n)$ interpolierte Signal, welches folgende Bedingung erfüllt

$$x_i(n) = x(n/M) \quad \text{mit } n = 0, \pm M, \pm 2M, \dots \quad (3.46)$$

Das Blockschaltbild aus Abb. 3.10 zeigt ein System, welches ein Signal $x_i(n)$ aus $x(n)$ durch eine zeitdiskrete Verarbeitung erzeugt. Der linke Teil des Systems wird als Ex-

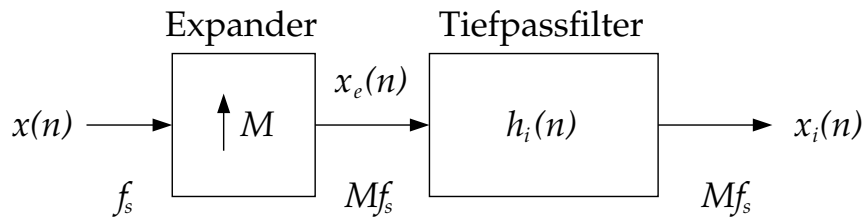


Abb. 3.10: Blockschaltbild eines zeitdiskreten Interpolators [OSB99].

pander bezeichnet. Seine Ausgangsfolge ist

$$x_e(n) = \begin{cases} x(n/M) & \text{für } n = 0, \pm M, \pm 2M, \dots, \\ 0 & \text{sonst,} \end{cases} \quad (3.47)$$

oder, äquivalent,

$$x_e(n) = \sum_{k=-\infty}^{\infty} x(k)\delta(n - kM). \quad (3.48)$$

$\delta(n)$ stellt die Einheitsimpulsfolge dar. Der rechte Teil des Systems ist ein zeitdiskreter Tiefpassfilter mit der normierten Grenzfrequenz π/M und der Verstärkung M . Dieser Filter stellt einen idealen Rekonstruktionsfilter mit der folgenden Impulsantwort dar

$$h_i(n) = \frac{\sin(\pi n/M)}{\pi n/M}. \quad (3.49)$$

Abbildung 3.11 zeigt den Frequenzgang und die Impulsantwort des idealen Rekonstruktionsfilters. Aus (3.48) und (3.49) bekommt man als Ausgangssignal des Interpolationsfilters

$$x_i(n) = \sum_{k=-\infty}^{\infty} x(k) \frac{\sin(\pi(n - kM)/M)}{\pi n/M}. \quad (3.50)$$

In der Praxis können ideale Tiefpassfilter nicht exakt realisiert werden, da deren Impulsantworten unendlich lang sind. Sehr gute Approximationen können jedoch entwickelt werden [OSB99].

3.3.1.1 Mehrstufige Interpolation

Ein wichtiges Kriterium bei der Implementierung eines $\Delta\Sigma$ -Modulators ist die Effektivität, mit der der Interpolationsfilter realisiert werden kann. Diese Effektivität hängt größtenteils von dem Filtertyp, der Filterordnung und der verwendeten Filterarchitektur ab. Die Filterordnung eines herkömmlichen FIR-Filters (Filter mit endlicher

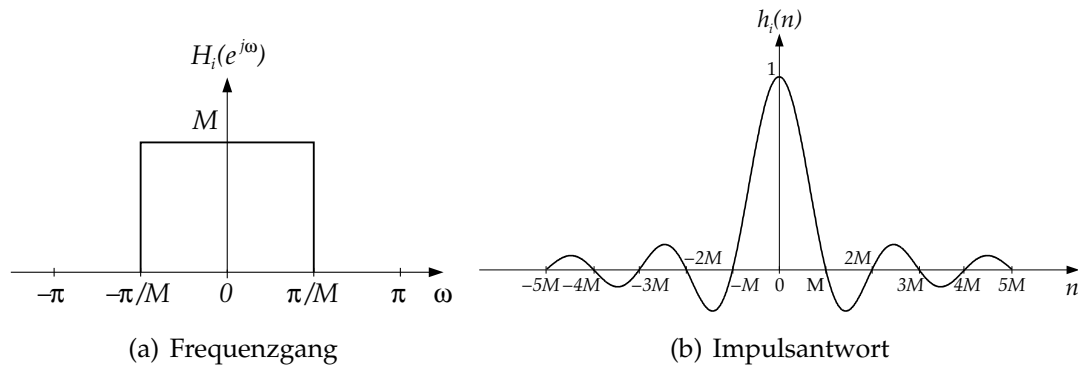
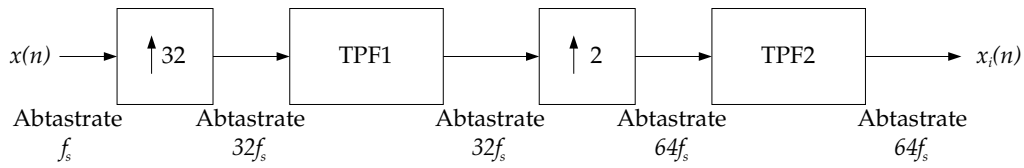


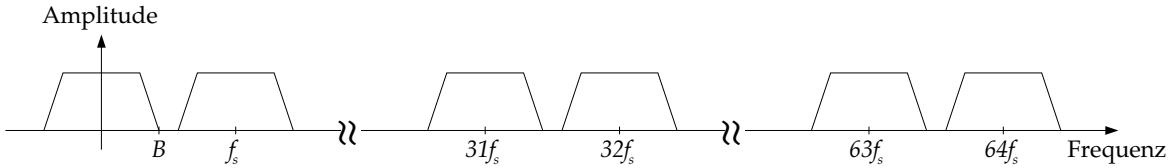
Abb. 3.11: Frequenzgang und Impulsantwort eines idealen Rekonstruktionsfilters.

Impulsantwort) ist z.B. umgekehrt proportional zu der Breite des Übergangsbereichs zwischen dem Durchlass- und dem Sperrbereich des Filters [CR83]. Interpolationsfilter mit schmalbandigen Übergangsbereichen ließen sich deshalb nur mit FIR-Filtern sehr hoher Ordnung realisieren. Um dies zu vermeiden, kann ein mehrstufiger Filterentwurf verwendet werden. Zwei oder mehr Filterstufen mit flexibleren Spezifikationen werden in Kaskade geschaltet. Die Systemfunktion des Gesamtsystems ist dann das Produkt der Systemfunktionen der einzelnen Filterstufen.

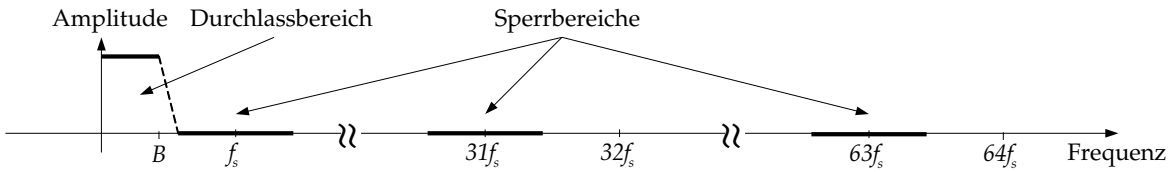
Abbildung 3.12 zeigt einen zweistufigen Interpolationsfilter zur Erhöhung der Abtastrate um den Faktor $M = 64$. Die Spektren der Signale sowie die Filtercharakteristiken werden ebenfalls gezeigt. In der Regel können mehr als zwei Stufen verwendet werden, aber eine ausführliche Analyse in [CR83] zeigt, dass die zweistufige Realisierung (mit einer Erhöhung der Abtastrate um den Faktor 2 in der letzten Stufe) sowohl von dem theoretischen als auch von dem praktischen Aspekt die beste Wahl darstellt. Abbildungen 3.12(c) und 3.12(e) zeigen die Charakteristiken der einzelnen Filterstufen. Die erste Filterstufe muss das Signalband durchlassen und die Spiegelfrequenzbänder sperren. Aus den Abbildungen geht hervor, dass die Frequenzbänder zwischen den Spiegelfrequenzbändern ohne Bedeutung sind. In diesen Bereichen können die Filterstufen ein beliebiges Frequenzverhalten aufweisen. Die Filterentwurfsaufgabe vereinfacht sich also von der eines selektiven Tiefpassfilters zu der eines Filters mit mehrfachen Sperrbereichen. CIC-Filter (kaskadierte Integrator-Differentiator-Filter) [Hog81] sind Filter, die solche Charakteristiken aufweisen, und werden deshalb hierfür eingesetzt.



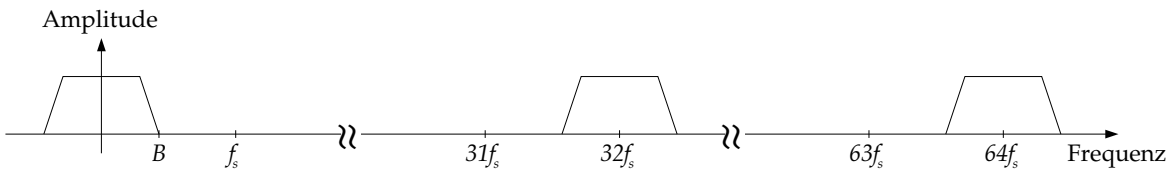
(a) Zweistufiger Interpolationsfilter



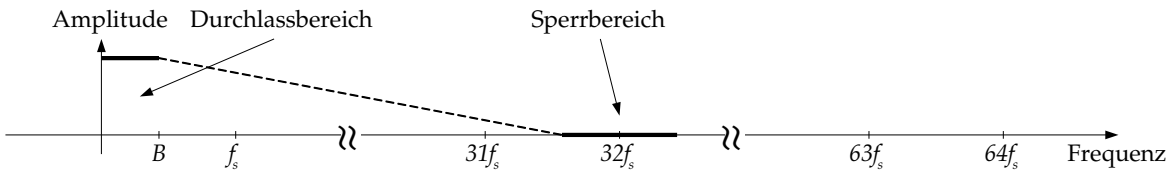
(b) Eingangssignal des Interpolationsfilters



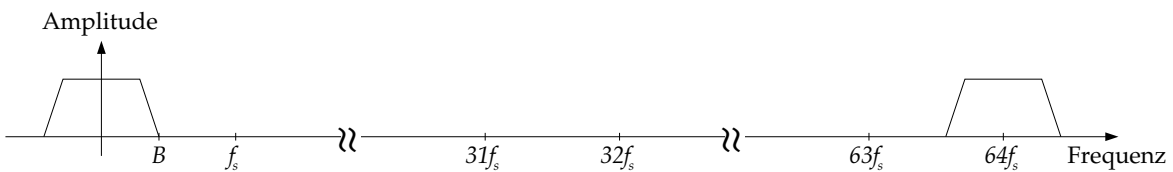
(c) Frequenzgang der ersten Filterstufe



(d) Eingangssignal der zweiten Interpolationsstufe



(e) Frequenzgang der zweiten Filterstufe



(f) Ausgangssignal des Interpolationsfilters

Abb. 3.12: Zweistufiger Interpolationsfilter zur Erhöhung der Abtastrate um den Faktor 64: Spektren der Signale und Filtercharakteristiken.

3.3.1.2 Kaskadierte Integrator-Differentiator-Filter

Die Grundfunktion eines Interpolationsfilters besteht darin, die Abtastrate eines zeitdiskreten Signals zu erhöhen und den dabei entstehenden Aliasing-Fehler unter einem vorgegebenen Wert zu halten. CIC-Filter stellen eine spezielle Klasse von linearphasigen FIR-Filtern dar, welche die Anforderungen von Interpolationsfiltern besonders gut erfüllen. Abbildung 3.13 zeigt das Blockschaltbild eines CIC-Filters. CIC-Filter bestehen aus mehrstufigen Differentiator- und Integrator-Blöcken. Der linke Block besteht aus N zeitdiskreten Differentiatoren (Hochpassfilter) jeweils mit einer Verzögerung von L , wobei in der Regel $L \in \{1, 2\}$ ist. Die Systemfunktion eines einzelnen Differentiators ist durch folgende Gleichung gegeben

$$H_C(z) = 1 - z^{-LM} . \quad (3.51)$$

Der rechte Block besteht aus zeitdiskreten Integratoren (Tiefpassfilter). Die Systemfunktion eines einzelnen Integrators ist durch folgende Gleichung gegeben

$$H_I(z) = \frac{1}{1 - z^{-1}} . \quad (3.52)$$

Die Änderung der Abtastrate geschieht tatsächlich zwischen dem Differentiator- und dem Integrator-Block. Die Systemfunktion des Gesamtsystems (bezogen auf die Abtastrate Mf_s) ergibt sich zu

$$H(z) = (H_C(z))^N \cdot (H_I(z))^N = \left(\frac{1 - z^{-LM}}{1 - z^{-1}} \right)^N . \quad (3.53)$$

N ist die Anzahl der Stufen (Differentiator- und Integrator-Block), L die Anzahl der Speicherregister pro Stufe (Differentiator-Block) und M der Interpolationsfaktor.

Der CIC-Filter weist folgende Vorteile auf:

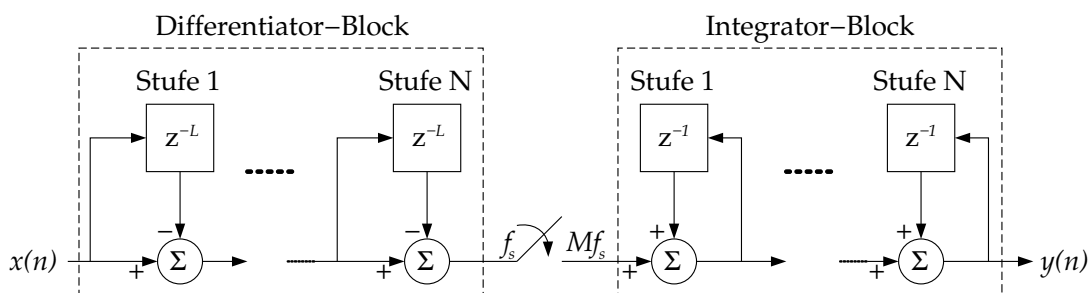


Abb. 3.13: Blockschaltbild eines CIC-Interpolationsfilters [Hog81].

- Es sind keine rechenintensiven Multiplikationen notwendig.
- Es sind keine Register zur Speicherung der Filterkoeffizienten notwendig, da diese alle gleich 1 sind.
- Der CIC-Filter weist eine extrem reguläre Struktur bestehend aus zwei Grundblöcken auf. Die erforderliche Logik zur Steuerung der Operationen im Filter ist sehr einfach.

Diesen Vorteilen gegenüber steht folgender Nachteil: die Frequenzcharakteristik des Filters wird durch die drei Koeffizienten N , L , M vollständig bestimmt. Dementsprechend ist eine flexible Auslegung des Frequenzgangs stark eingeschränkt. Abbildung 3.14 zeigt den Frequenzgang eines CIC-Filters für $N = 4$, $L = 1$, und $M = 7$.

Aufgrund der Filtercharakteristik kommt es zur Dämpfung des Signalbands im Durchlassbereich und zum Aliasing in den Sperrbereichen. Die CIC-Filterentwurfsaufgabe besteht darin, die Parameter N , L , und M so zu wählen, dass für ein vorgegebenes Basisband die Dämpfung im Durchlassbereich minimal und in den Sperrbereichen maximal ist. Hierzu können die im Anhang angegebenen Tabellen A.2 und A.3 verwendet werden.

3.3.2 Rauschformungsfiler

Abbildung 3.15 zeigt die Grundstruktur eines allgemeinen Rauschformungssystems. Der Rauschformungsfiler arbeitet in der Regel mit einer Abtastrate, die um ein Vielfaches höher als die Nyquist-Frequenz des Eingangssignals $x(n)$ ist.

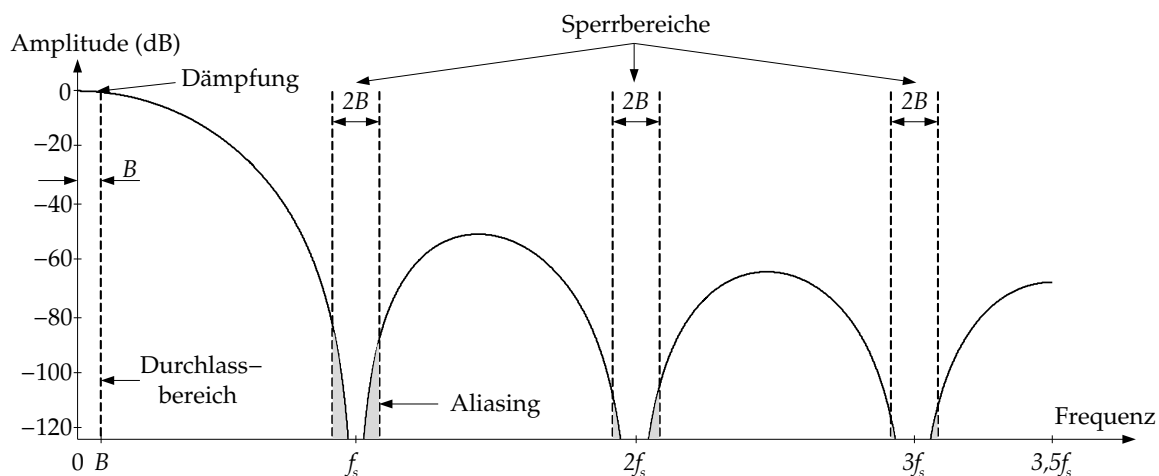


Abb. 3.14: Frequenzgang eines CIC-Interpolationsfilters für $N = 4$, $L = 1$, und $M = 7$.

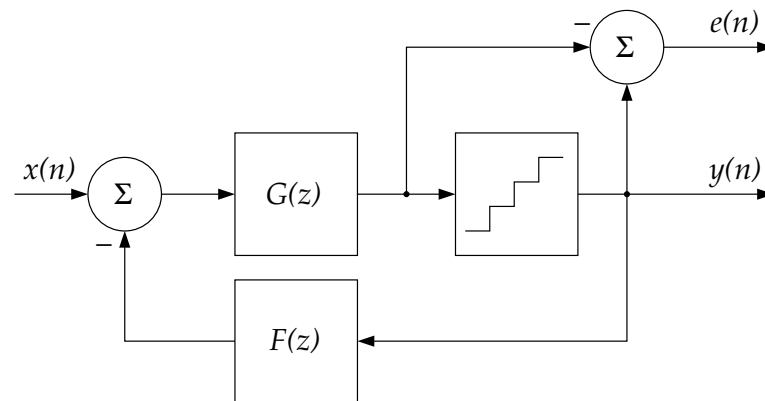


Abb. 3.15: Grundstruktur eines allgemeinen Rauschformungsfilters [NST96].

Das Verhältnis zwischen der Abtastrate des Systems und der Nyquist-Frequenz des Eingangssignals wird als Grad der Überabtastung bzw. Überabtastungsfaktor M (oder auch OSR) bezeichnet und ist durch folgende Gleichung gegeben

$$M = \frac{f_s}{2B}, \quad (3.54)$$

wobei B das Signalband des Eingangssignals $x(n)$ darstellt, und f_s die Abtastrate des Systems. M wird als ganzzahlig vorausgesetzt und liegt in praktischen Anwendungen meistens zwischen 16 und 256.

Das Eingangssignal $x(n)$ geht zuerst durch einen zeitdiskreten Filter mit der Systemfunktion $G(z)$ und wird anschließend quantisiert. Die Wortbreite des Signals am Ausgang des Quantisierers beträgt im einfachsten Fall 1 Bit. Der Quantisierer wird in diesem Fall als Komparator ausgeführt. Das quantisierte Ausgangssignal $y(n)$ wird über einen Rückkopplungsfiler $F(z)$ zum Eingang zurückgeführt. Auf diese Weise folgt der Mittelwert des Ausgangssignals $y(n)$ dem Mittelwert des Eingangssignals $x(n)$. Die Differenz zwischen dem Ein- und Ausgangssignal des Quantisierers ist der Quantisierungsfehler $e(n)$.

Im Falle eines 1-Bit-Quantisierers kann das Ausgangssignal $y(n)$ nur zwei Werte annehmen, $\pm\Delta$ wobei Δ die kleinste Quantisierungsstufe darstellt. Falls das Eingangssignal des Quantisierers den maximalen Aussteuerungsbereich des Quantisierers nicht überschreitet, gilt für den Quantisierungsfehler $e(n)$

$$-\Delta/2 \leq e(n) \leq \Delta/2. \quad (3.55)$$

Um die Effekte der Quantisierung auf das System zu beschreiben, wird zweckmäßigerweise ein vereinfachtes Modell des Quantisierers eingeführt [OSB99]. Der Quanti-

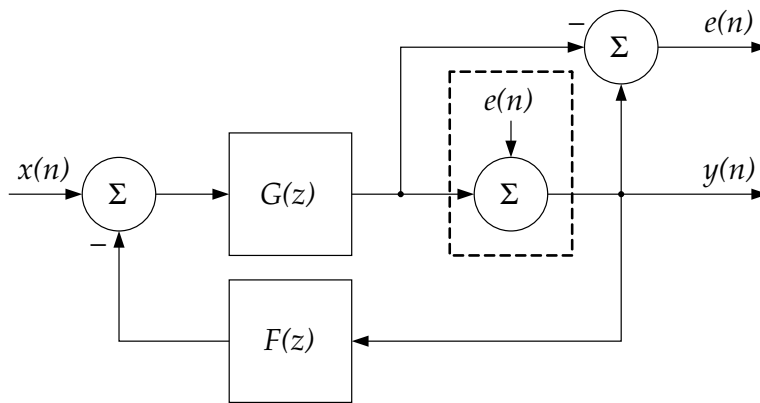


Abb. 3.16: Lineares Modell des Rauschformungsfilters.

sierer wird in diesem Fall durch eine lineare Rauschquelle ersetzt (Abb. 3.16). Dabei wird angenommen, dass die Rauschquelle $e(n)$ eine weiße Rauschquelle ist, deren Verteilung innerhalb des Bereiches des Quantisierungsfehlers (siehe Gl. 3.55) konstant ist. Der Mittelwert von $e(n)$ beträgt Null und die Varianz wird durch folgende Gleichung angegeben

$$\sigma_e^2 = \frac{\Delta^2}{12}. \quad (3.56)$$

Das lineare Modell aus Abb. 3.16 ermöglicht eine geschlossene Analyse des Verhaltens des Rauschformungssystems. Die Signalübertragungsfunktion $STF(z)$ des Systems ist

$$STF(z) = \left. \frac{Y(z)}{X(z)} \right|_{E(z)=0} = \frac{G(z)}{1 + F(z)G(z)}. \quad (3.57)$$

Die Rauschübertragungsfunktion $NTF(z)$ des Systems ist

$$NTF(z) = \left. \frac{Y(z)}{E(z)} \right|_{X(z)=0} = \frac{1}{1 + F(z)G(z)}. \quad (3.58)$$

Durch geeignete Auswahl der Systemfunktionen $F(z)$ und $G(z)$ wird die Rauschübertragungsfunktion bzw. Signalübertragungsfunktion eine Hochpass- bzw. Tiefpass-Charakteristik aufweisen. Die Rauschleistung des Quantisierers im Signalband B wird somit durch die Hochpass-Charakteristik der Rauschübertragungsfunktion stärker gedämpft.

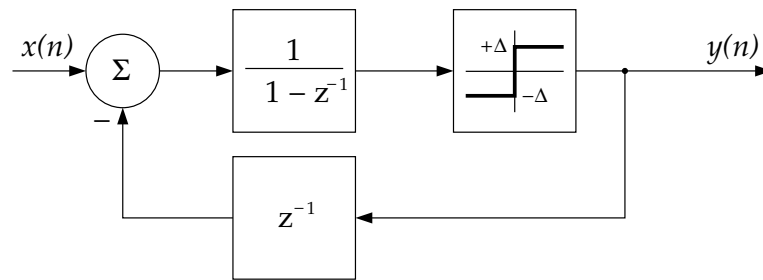


Abb. 3.17: Blockschaltbild eines Rauschformungssystems erster Ordnung.

3.3.2.1 Rauschformungssystem erster Ordnung

Abbildung 3.17 zeigt das Blockschaltbild eines Rauschformungssystems erster Ordnung. Der 1-Bit-Quantisierer wird als Komparator ausgeführt. Folgende Systemfunktionen werden für $F(z)$ und $G(z)$ ausgewählt

$$F(z) = z^{-1}, \quad (3.59)$$

$$G(z) = \frac{1}{1 - z^{-1}}. \quad (3.60)$$

$F(z)$ stellt ein einfaches Verzögerungselement dar. $G(z)$ stellt einen zeitdiskreten Integrator dar. Wie zuvor kann der 1-Bit-Quantisierer durch eine zusätzliche Rauschquelle $e(n)$ modelliert werden. Die Signal- und Rauschübertragungsfunktionen des Systems können auf einfache Weise berechnet werden und ergeben

$$STF(z) = 1, \quad (3.61)$$

$$NTF(z) = 1 - z^{-1}. \quad (3.62)$$

Am Ausgang des Systems erscheint also das unveränderte Eingangssignal $x(n)$ sowie das durch die Rauschübertragungsfunktion veränderte Rauschsignal $\hat{e}(n)$. Das Leistungsdichtespektrum $P_N(e^{j\omega})$ des Quantisierungsrauschens $\hat{e}(n)$, welches im Ausgangssignal $y(n)$ enthalten ist, ergibt sich zu

$$P_N(e^{j\omega}) = \sigma_e^2 |NTF(e^{j\omega})| = \sigma_e^2 [2 \sin(\omega/2)]^2, \quad (3.63)$$

wobei σ_e^2 die Varianz der Rauschquelle $e(n)$ ist, und ω die bezogen auf die Abtastrate des Systems normierte Kreisfrequenz. Abbildung 3.18 zeigt die Leistungsdichtespektren der im Ausgangssignal $y(n)$ enthaltenen Signal- und Rauschkomponenten. Die gesamte Rauschleistung des Quantisierers ist zwar angestiegen, ein größerer Teil der

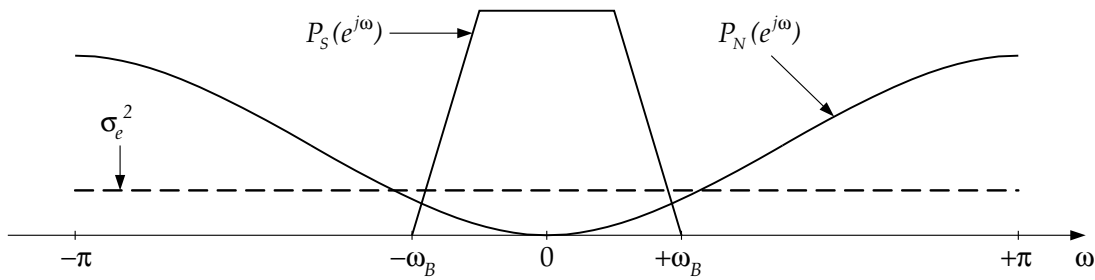


Abb. 3.18: Leistungsdichtespektren der im Ausgangssignal $y(n)$ enthaltenen Signal-
komponente ($P_S(e^{j\omega})$) und Rauschkomponente ($P_N(e^{j\omega})$).

Rauschleistung liegt jedoch außerhalb des Signalbandes $|\omega| < \omega_B$. Die Leistung des Quantisierungsrauschens, welches im Signalband liegt, ist näherungsweise gegeben durch

$$P_{NB} = \int_{-\omega_B}^{\omega_B} P_N(e^{j\omega}) d\omega \approx \sigma_e^2 \frac{\pi^2}{3} \frac{1}{M^3} . \quad (3.64)$$

Es ist interessant zu beobachten, dass eine Verdopplung des Grades der Überabtastung M zu einer Verringerung der Rauschleistung P_{NB} um 9 dB (theoretisch) führt. Zum Vergleich führt eine einfache Verdopplung des Grades der Überabtastung M ohne Rauschformung lediglich zu einer Verringerung der Rauschleistung P_{NB} um 3 dB. Diese Verringerung wird nur dann erreicht, wenn das Ausgangssignal $y(n)$ mit einem idealen Rekonstruktionsfilter mit der Grenzfrequenz ω_B gefiltert wird.

3.3.2.2 Rauschformungssystem höherer Ordnung

Das Prinzip der Rauschformung kann erweitert werden, indem weitere Stufen hinzugefügt werden (Abb. 3.19). Der Quantisierer wird wie zuvor durch eine lineare weiße Rauschquelle $e(n)$ ersetzt. Es kann leicht gezeigt werden, dass das System aus Abb. 3.19 folgende Signal- bzw. Rauschübertragungsfunktion besitzt

$$STF(z) = 1 , \quad (3.65)$$

$$NTF(z) = (1 - z^{-1})^k , \quad (3.66)$$

wobei k die Anzahl der Stufen darstellt. Das entsprechende Leistungsdichtespektrum lautet

$$P_N(e^{j\omega}) = \sigma_e^2 [2 \sin(\omega/2)]^{2k} . \quad (3.67)$$

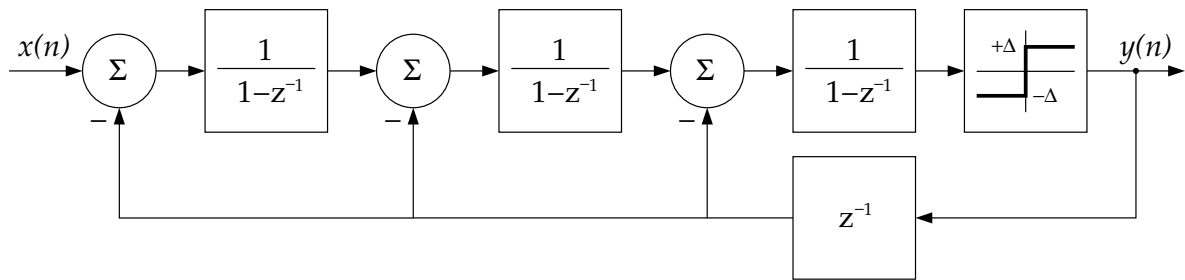


Abb. 3.19: Blockschaltbild eines Rauschformungssystems dritter Ordnung.

Die gesamte Rauschleistung ist zwar größer als beim einstufigen Fall, ein noch größerer Teil des Rauschens liegt jedoch außerhalb des Signalbands $|\omega| < \omega_B$. Abbildung 3.20 zeigt die theoretisch erzielbare Rauschleistung P_{NB} bei gegebener Bandbreite B als Funktion des Grads der Überabtastung M und des Grads der Rauschformung k . Bemerkenswert ist, dass man bereits bei $k = 2$ und $M = 64$ eine theoretische Rauschleistung von fast -77 dB im Signalband erzielt. Bei der Erhöhung des Grads der Rauschformung k ist zwar eine stark ansteigende Verminderung des Rauschens zu erwarten, es tritt jedoch eine erhöhte Neigung des Rauschformungsfilters zur Instabilität. Rauschformungsfiler höherer Ordnung sind stabil, wenn der Verstärkungsfaktor der Rauschübertragungsfunktion klein genug gewählt wird [Sch93]. Eine allgemeine Methode zum Entwurf von stabilen Rauschformungsfilern höherer Ordnung wird in [NST96] gegeben. Die Prozedur sieht folgende Schritte vor:

- Die Ordnung des Rauschformungsfilters bzw. der Grad der Rauschformung k wird festgelegt und der Typ der Realisierung der Rauschübertragungsfunktion erforderlichen Filters wird ausgewählt.
- Die Grenzfrequenz des Filters wird festgelegt und die Rauschübertragungsfunktion wird so skaliert, dass der erste Abtastwert der Impulsantwort gleich 1 ist.
- Das Rauschformungssystem wird dann mit Hilfe dieser Rauschübertragungsfunktion aufgebaut. Eine geeignete Struktur muss dazu ausgewählt werden. Das Rauschformungssystem wird anschließend simuliert, um den stabilen Eingangsbereich sowie das Signal-Rausch-Verhältnis des Systems (im Signalband) zu bestimmen.
- Falls das Rauschformungssystem instabil ist, muss der Verstärkungsfaktor der Rauschübertragungsfunktion außerhalb des Signalbands verringert werden.
- Falls das Rauschformungssystem zwar stabil ist, das Signal-Rausch-Verhältnis

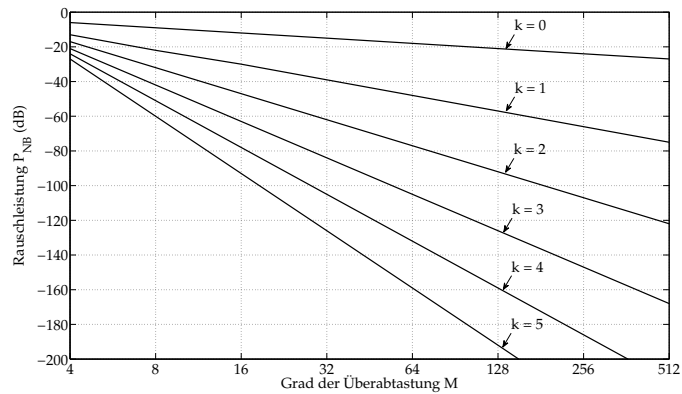


Abb. 3.20: Theoretische Rauschleistung im Signalband als Funktion des Grads der Überabtastung M und des Grads der Rauschformung k [NST96].

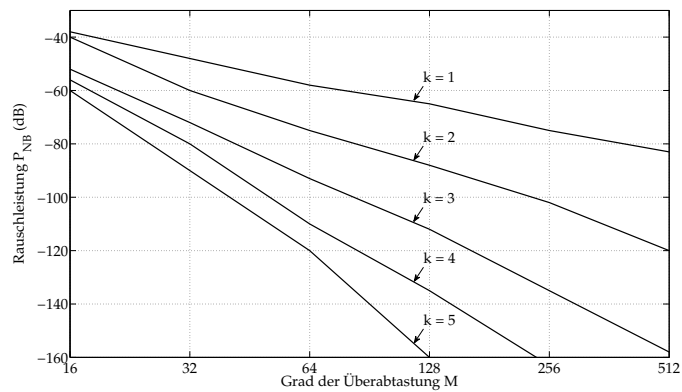


Abb. 3.21: Theoretische Rauschleistung als Funktion des Grads der Überabtastung M und des Grads der Rauschformung k bei einem stabilen Rauschformungssystem mit optimierter Rauschübertragungsfunktion [NST96].

jedoch zu gering, muss der Verstärkungsfaktor der Rauschübertragungsfunktion außerhalb des Signalbands erhöht werden.

Diese Prozedur führt zwar zu stabilen Rauschformungssystemen, das Signal-Rausch-Verhältnis wird jedoch stark verringert.

Abbildung 3.21 zeigt die erzielbare Rauschleistung P_{NB} bei gegebener Bandbreite B als Funktion des Grads der Überabtastung M und des Grads der Rauschformung k für stabile Rauschformungssysteme, welche mit der vorigen Prozedur entworfen werden. Ein stabiles Rauschformungssystem fünfter Ordnung mit einem Überabtastungsfaktor von 64 erreicht jetzt nur noch Rauschleistung von ca. -120 dB erreicht. Verschiedene Architekturen zur Implementierung von stabilen Rauschformungssystemen höherer Ordnung werden in [NST96, ST05] angegeben.

3.4 Analoger Filter

Ein wichtiges Element beim $\Delta\Sigma$ -basierten analogen Signalgenerator ist der nachgeschaltete analoge Filter, dessen Aufgabe die Rekonstruktion des im hochfrequenten digitalen $\Delta\Sigma$ -Bitstream modulierten analogen Signals ist. Der analoge Filter soll u.a. das bei der $\Delta\Sigma$ -Modulation erzeugte hochfrequente Wandlungsrauschen außerhalb des Signalbands möglichst stark dämpfen. Der analoge Filter muss somit folgenden Anforderungen genügen, um ein optimales Ergebnis zu erzielen:

- Eine möglichst konstante Verstärkung im Durchlassbereich.
- Ein möglichst schmaler Übergangsbereich.
- Eine maximale Dämpfung im Sperrbereich.
- Eine möglichst lineare Phase für eine verzerrungsfreie Signalübertragung.

Bei der Wahl des Filtertyps kommen grundsätzlich zwei Typen in Frage: Tiefpass- und Bandpassfilter. Beide Filtertypen weisen sowohl Vor- als auch Nachteile auf und werden deshalb in Abhängigkeit der Anwendung unterschiedlich bewertet. Der Einfachheit halber wird in der Regel der Tiefpassfilter verwendet, da dieser sehr leicht (sowohl passiv als auch aktiv) realisierbar ist, und eine Signalfrequenz ermöglicht, welche innerhalb des gesamten Signalbands variiert werden kann [DR99]. Im Folgenden soll unter dem Begriff Filter (wenn nicht explizit anders angegeben) immer der Tiefpassfilter verstanden werden.

Eine ebenfalls wichtige Entscheidung beim analogen Filterentwurf ist die Wahl der Realisierungsart. Analoge Filter können sowohl passiv als auch aktiv realisiert werden. Beide Realisierungsarten weisen sowohl Vor- als auch Nachteile auf. Aktive Filter ermöglichen eine zusätzliche Verstärkung der Signale und werden mit Operationsverstärkern, Widerständen und Kapazitäten realisiert, die sehr geringe Toleranzen besitzen. Aktive Filter eignen sich zwar hervorragend für eine Realisierung auf dem Chip, verschlechtern jedoch aufgrund eventueller Nichtlinearitäten der Operationsverstärker das Signal-Rausch-Verhältnis im Signalband zusätzlich.

Dies ist nicht der Fall bei passiven Filtern, da sie von Natur aus streng lineare Elemente sind. Passive Filter können unempfindlich gegen Rauschen sein, wenn deren Komponenten gut abgeschirmt sind. Sie weisen jedoch eine gewisse Dämpfung im Durchlassbereich auf, welche zu einer Reduzierung des Dynamikbereichs führt. Passive RC-Filter genügen den oben genannten Anforderungen nicht. Deshalb müssen RLC-Filter verwendet werden. Induktivitäten verbrauchen allerdings viel Platz, besitzen meistens schlechte elektrische Eigenschaften, und haben zusätzliche parasitäre

Widerstände, die das Übertragungsverhalten RLC-Filter negativ beeinflussen und die maximale Filterordnung bei einer praktischen Implementierung begrenzen. Aus diesen Gründen werden in der Regel aktive Filter bei einer Realisierung auf dem Chip bevorzugt.

Analoge Filter können in verschiedene Kategorien eingeteilt werden. Sie werden anhand des Amplitudenverlaufs im Durchlass- und Sperrbereich unterschieden. Wichtige Faktoren sind dabei die Welligkeit im Durchlass- und Sperrbereich sowie die Flankensteilheit im Übergangsbereich. Filter mit Welligkeit haben zwar eine größere Flankensteilheit, weisen jedoch ein schlechteres Impuls- bzw. Gruppenlaufzeitverhalten auf. Zwei Kategorien eignen sich besonders gut für den Einsatz in $\Delta\Sigma$ -basierte analoge Signalgeneratoren: Butterworth- und Tschebyscheff-Filter. Im Folgenden werden die Charakteristiken dieser beiden Filterklassen vorgestellt. Schaltungstechnische Realisierungsmöglichkeiten werden ebenfalls angegeben.

3.4.1 Butterworth-Filter

Butterworth-Filter weisen keine Welligkeit im Durchlass- und Sperrbereich auf. Der Amplituden-Frequenzgang (im Weiteren Amplitudengang genannt) verläuft möglichst lang horizontal und knickt erst kurz vor der Grenzfrequenz scharf ab. Im Zeitbereich zeigen sie eine nicht konstante Gruppenlaufzeit und ein beträchtliches Überschwingen in der Sprungantwort, das mit zunehmender Ordnung größer wird. Sie sind aber sehr einfach zu dimensionieren und zu realisieren.

Die Übertragungsfunktion eines Butterworth-Filters n -ter Ordnung lautet [Ell94]:

$$A(s) = \frac{A_0}{1 + s^n}, \quad (3.68)$$

wobei n die Filterordnung ist, und s eine komplexe Variable darstellt

$$s = \sigma + j\Omega. \quad (3.69)$$

Für den Amplitudengang ergibt sich somit:

$$|A(\omega)| = \frac{A_0}{\sqrt{1 + \omega^{2n}}}, \quad (3.70)$$

wobei ω die normierte Kreisfrequenz darstellt

$$\omega = \frac{\Omega}{\Omega_C} \quad \text{mit} \quad \Omega_C = 2\pi f_C. \quad (3.71)$$

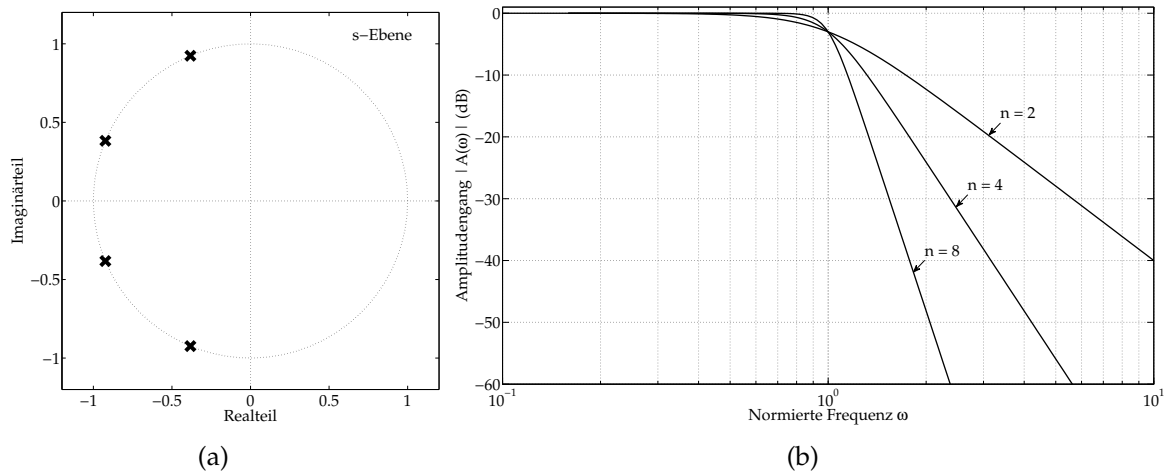


Abb. 3.22: (a) Pol-Nullstellen-Diagramm eines Butterworth-Filters vierter Ordnung in der s -Ebene. (b) Abhängigkeit des Amplitudengangs von Butterworth-Filtern von deren Ordnung n .

Die Nullstellen des Nennerpolynoms von Gl. (3.68) liegen bei den Werten von s , welche die Beziehung $1 + s^n = 0$ erfüllen. Folglich sind die Pole der Übertragungsfunktion des Filters kreisförmig auf dem Einheitskreis (linke s -Ebene) angeordnet.

Die Abhängigkeit der Charakteristik des Butterworth-Filters vom Parameter n zeigt Abb. 3.22(b). Der Amplitudengang verläuft flach bis zur Grenzfrequenz ($\omega=1$) und fällt dann mit $-n \cdot 20$ dB pro Dekade asymptotisch ab.

Im Zeitbereich wird das Verhalten von Filtern durch die Sprungantwort beschrieben. Diese zeigt bei Butterworth-Filtern ein ausgeprägtes Überschwingen, das mit zunehmender Filterordnung größer wird (siehe Abb. 3.23(a)). Die Gruppenlaufzeit der Butterworth-Filter zeigt ebenfalls im Bereich der Grenzfrequenz eine leichte Überhöhung (siehe Abb. 3.23(b)), welche sich negativ auf das Impulsverhalten des Filters auswirkt.

Die für eine bestimmte Sperrdämpfung A_S bei einer Frequenz f_S minimal notwendige Filterordnung n wird durch folgende Gleichung angegeben [Ell94]:

$$n \geq \frac{\ln \left(\left(\frac{A_0}{A_S} \right)^2 - 1 \right)}{2 \ln \left(\frac{f_S}{f_C} \right)}, \quad (3.72)$$

wobei A_0 die Verstärkung bzw. Dämpfung im Durchlassbereich ist, und f_C die Grenz-

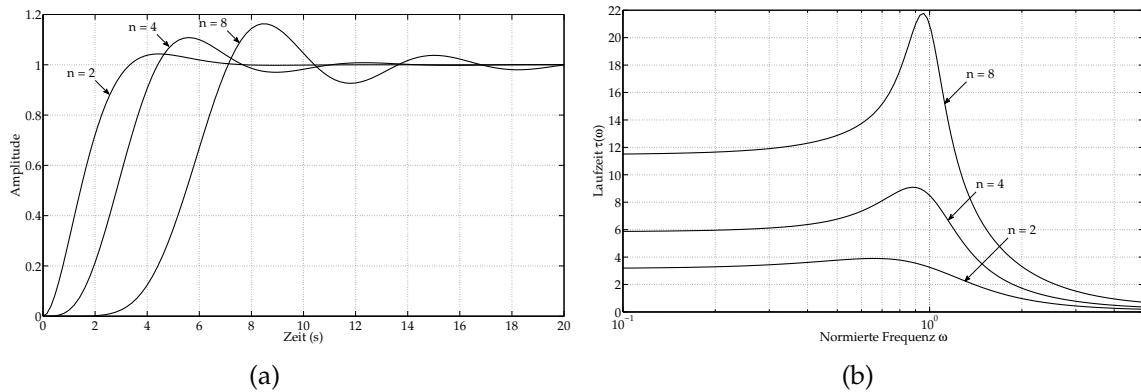


Abb. 3.23: Abhängigkeit der Sprungantwort (a) und der Gruppenlaufzeit (b) von Butterworth-Filtern von deren Ordnung n .

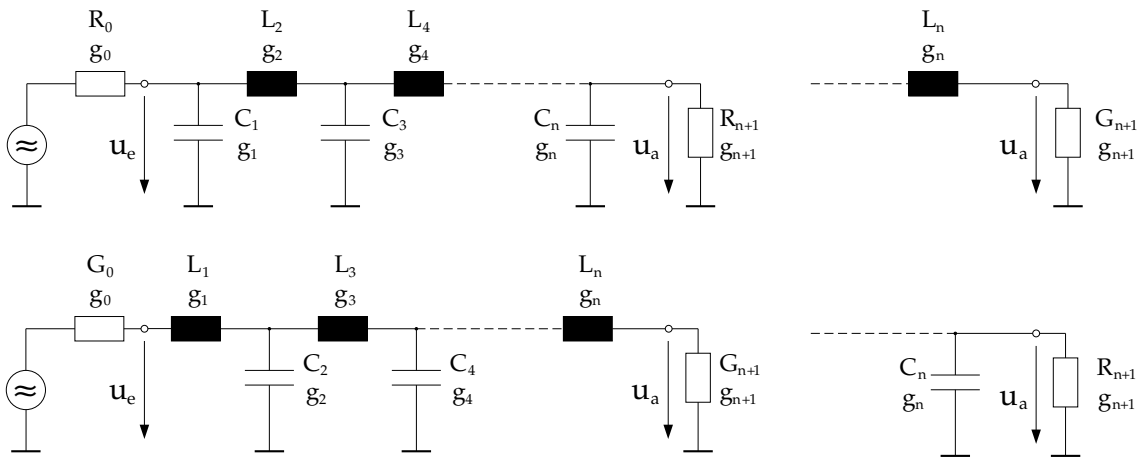


Abb. 3.24: Realisierungsmöglichkeit für einen passiven Butterworth-Filter [TS09].

frequenz. Die klassische Realisierung von passiven Butterworth-Filtern besteht im Einsatz von RLC-Filtern (Abb. 3.24). Formeln zur Berechnung der Elementwerte und zur Dimensionierung des passiven Leiterfilters aus Abb. 3.24 werden in [Ell94] angegeben.

Für eine praktische Realisierung mit aktiven Elementen wird die Übertragungsfunktion höherer Ordnung in ein Produkt quadratischer Glieder und eventuell eines linearen Gliedes zerlegt

$$A(s) = \frac{A_0}{\prod_{i=1}^n (1 + a_i s + b_i s^2)} \quad (3.73)$$

Dadurch wird der Dimensionierungs- bzw. Schaltungsaufwand erheblich reduziert. Filter gerader Ordnung werden in rein quadratische Produkte mit den folgenden Ko-

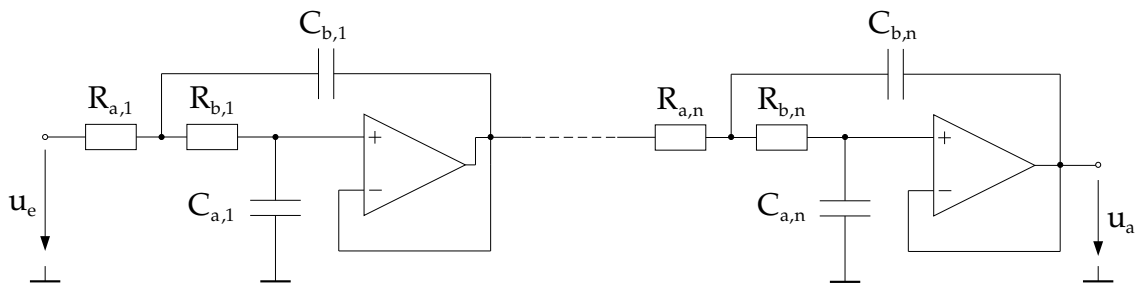


Abb. 3.25: Realisierungsmöglichkeit für einen aktiven Butterworth-Filter mit Einfachmitkopplung (Sallen-Key-Schaltung) [TS09].

effizienten zerlegt [TS09]:

$$a_i = 2 \cos \left(\frac{(2i-1)\pi}{2n} \right) \quad \text{für } i = 1 \dots \frac{n}{2}, \quad (3.74)$$

$$b_i = 1. \quad (3.75)$$

Filter ungerader Ordnung haben wegen der reellen Polstelle immer ein lineares Glied und besitzen folgende Koeffizienten [TS09]:

$$a_1 = 1, \quad (3.76)$$

$$b_1 = 0, \quad (3.77)$$

$$a_i = 2 \cos \left(\frac{(i-1)\pi}{n} \right) \quad \text{für } i = 2 \dots \frac{n+1}{2}, \quad (3.78)$$

$$b_i = 1. \quad (3.79)$$

Die Koeffizienten a_i und b_i des aktiven Butterworth-Filters sind bis zur 10. Ordnung in [TS09] angegeben. Abbildung 3.25 zeigt eine Realisierungsmöglichkeit (Sallen-Key-Schaltung) für einen aktiven Butterworth-Filter. Die Sallen-Key-Schaltung arbeitet mit Einfachmitkopplung. Sie ist einfach strukturiert und relativ unempfindlich gegenüber Bauelementtoleranzen. Die Übertragungsfunktion eines quadratischen Gliedes der Sallen-Key-Schaltung ist gegeben durch:

$$A_i(s) = \frac{1}{1 + C_{a,i}(R_{a,i} + R_{b,i})s + R_{a,i}R_{b,i}C_{a,i}C_{b,i}s^2}. \quad (3.80)$$

Gibt man $C_{a,i}$ und $C_{b,i}$ vor, erhält man durch Koeffizientenvergleich mit Gl. (3.73)

folgende Gleichung zur Dimensionierung der Widerstände:

$$R_{a,i/b,i} = \frac{a_i C_{b,i} \mp \sqrt{a_i^2 C_{b,i}^2 - 4b_i C_{a,i} C_{b,i}}}{4\pi f_C C_{a,i} C_{b,i}} . \quad (3.81)$$

3.4.2 Tschebyscheff-Tiefpassfilter

Tschebyscheff-Filter lassen im Durchlassbereich (Tschebyscheff-Filter des Typs I) bzw. im Sperrbereich (Tschebyscheff-Filter des Typs II) eine definierte Welligkeit zu. Im Gegenzug werden bessere Selektivitätseigenschaften erreicht. Grundsätzlich nimmt die Flankensteilheit von Tschebyscheff-Filtern mit der Welligkeit zu. Tschebyscheff-Filter zeigen ein ausgeprägtes Überschwingen in der Sprungantwort, das mit zunehmender Ordnung größer wird. Die Gruppenlaufzeit und damit das Impulsverhalten sind wegen der Welligkeit wesentlich schlechter. Tschebyscheff-Filter erhalten meistens den Vorzug gegenüber Butterworth-Filtern, da sie eine ordnungsminimale Realisierung mit einfachen Schaltungen erlauben.

Die Übertragungsfunktion eines Tschebyscheff-Filters n -ter Ordnung lautet [Ell94]:

$$A(s) = \frac{A_0}{\sqrt{1 + (\varepsilon \cdot T_n(s))^2}} , \quad (3.82)$$

wobei ε den Welligkeitsfaktor bezeichnet, und $T_n(s)$ ein Tschebyscheff-Polynom n -ter Ordnung [BSM05]:

$$T_n(s) = \begin{cases} \cos(n \arccos(s)) & \text{für } 0 \leq s \leq 1 , \\ \cosh(n \operatorname{arccosh}(s)) & \text{für } s > 1 . \end{cases} \quad (3.83)$$

Die ersten 5 Tschebyscheff-Polynome werden explizit in Tab. 3.1 angegeben. Die Welligkeit ε wird durch den Parameter A_r in Dezibel angegeben:

$$A_r = 10 \log_{10}(\varepsilon^2 + 1) . \quad (3.84)$$

n	
1	$T_1(s) = s$
2	$T_2(s) = 2s^2 - 1$
3	$T_3(s) = 4s^3 - 3s$
4	$T_4(s) = 8s^4 - 8s^2 + 1$
5	$T_5(s) = 16s^5 - 20s^3 + 5s$

Tab. 3.1: Die ersten 5 Tschebyscheff-Polynome [BSM05].

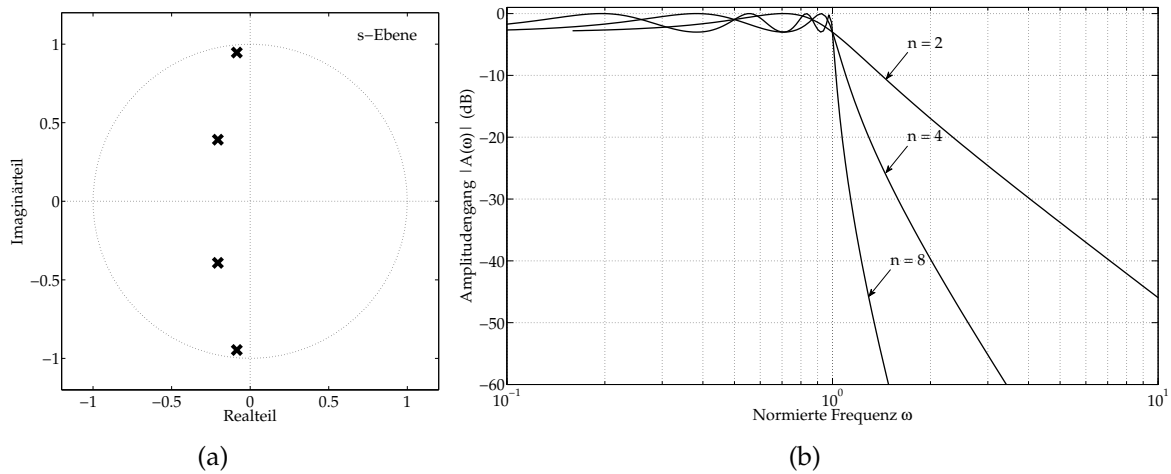


Abb. 3.26: (a) Pol-Nullstellen-Diagramm eines Tschebyscheff-Filters vierter Ordnung in der s -Ebene. (b) Abhängigkeit des Amplitudengangs von Tschebyscheff-Filtern von deren Ordnung n ($A_r = 3$ dB).

Die Pole der Übertragungsfunktion liegen auf einer Ellipse in der s -Ebene (siehe Abb. 3.26(a)). Je kleiner der Wert der Halbachse, desto größer die Welligkeit des Filters und damit die Flankensteilheit. Die Abhängigkeit der Charakteristik des Tschebyscheff-Filters vom Parameter n zeigt Abb. 3.26(b). Die Welligkeit A_r beträgt dabei 3 dB. Der Amplitudengang des Tschebyscheff-Filters hat einen wellenförmigen Verlauf zwischen den Werten 0 und -3 dB für $0 \leq \omega \leq 1$ und nimmt dann für $\omega > 1$ monoton ab.

Die für eine bestimmte Sperrdämpfung A_S bei einer Frequenz f_S minimal notwendige Filterordnung n wird durch folgende Formel angegeben [Ell94]:

$$n \geq \frac{\operatorname{arccosh} \left(\sqrt{\frac{10^{\frac{A_S}{10}} - 1}{10^{\frac{A_r}{10}} - 1}} \right)}{\operatorname{arccosh} \left(\frac{f_C}{f_S} \right)}. \quad (3.85)$$

Passive Tschebyscheff-Filter lassen sich mit der Struktur aus Abb. 3.24 realisieren. Formeln zur Berechnung der Elementwerte und zur Dimensionierung des passiven Leiterfilters werden in [Ell94] angegeben. Aktive Tschebyscheff-Filter können ebenfalls mit der Sallen-Key-Schaltung (Abb. 3.25) realisiert werden. Hierfür müssen die Pole des Filters bekannt sein. Auch hier wird wieder zwischen Filtern gerader und

ungerader Ordnung unterschieden. Für Filter gerader Ordnung gilt [TS09]:

$$a_i = 2b_i \cdot \sinh(\gamma) \cdot \cos\left(\frac{(2i-1)\pi}{2n}\right) \quad \text{für } i = 1, \dots, \frac{n}{2}, \quad (3.86)$$

$$b_i = \frac{1}{\cosh^2(\gamma) - \cos^2\left(\frac{(2i-1)\pi}{2n}\right)} \quad \text{für } i = 1, \dots, \frac{n}{2}. \quad (3.87)$$

Für Filter ungerader Ordnung gilt [TS09]:

$$b_1 = 0, \quad (3.88)$$

$$a_1 = \frac{1}{\sinh(\gamma)}, \quad (3.89)$$

$$a_i = 2b_i \cdot \sinh(\gamma) \cdot \cos\left(\frac{(2i-1)\pi}{n}\right) \quad \text{für } i = 2, \dots, \frac{n+1}{2}, \quad (3.90)$$

$$b_i = \frac{1}{\cosh^2(\gamma) - \cos^2\left(\frac{(i-1)\pi}{n}\right)} \quad \text{für } i = 2, \dots, \frac{n+1}{2}. \quad (3.91)$$

Darin ist

$$\gamma = \frac{1}{n} \operatorname{arsinh}\left(\frac{1}{\varepsilon}\right). \quad (3.92)$$

Die Koeffizienten a_i und b_i des Tschebyscheff-Filters für verschiedene Welligkeiten und Ordnungen werden in [TS09] angegeben.

3.5 Zusammenfassung

Die Generierung von analogen Signalen hoher Auflösung mit beschränkten Ressourcen auf dem Chip stellt eine der größten Schwierigkeiten bei der Implementierung von eingebauten Selbsttestverfahren für gemischt analog-digitale integrierte Schaltungen dar. In diesem Kapitel wurde ein für Testanwendungen geeigneter analoger Signalgenerator hoher Auflösung vorgestellt, welcher auf dem Prinzip der Delta-Sigma-Modulation basiert. Der vorgestellte Signalgenerator besteht aus einem zeitdiskreten digitalen Synthesizer, einem Interpolationsfilter, einem Rauschformungsfilter und aus einem zeitkontinuierlichen analogen Tiefpassfilter. Der zeitkontinuierliche analoge Filter ist die einzige analoge Komponente im System und kann im Rahmen eines eingebauten Selbsttests eventuell entfallen, falls der zu testende Baustein (z.B. ADC) bereits einen Anti-Aliasing-Filter enthält, dessen Spezifikationen (Grenzfrequenz, minimale Dämpfung im Sperrbereich, usw.) ungefähr gleich den Spezifikationen des zeitkontinuierlichen analogen Filters sind. Verschiedene Verfahren wur-

den für eine effiziente Implementierung der einzelnen Blöcke vorgeschlagen. Praktische Details zur Hardware-Implementierung des analogen Signalgenerators werden in Kapitel 5 ausführlich erläutert.

4 Auswertung der Testparameter

4.1 Einleitung

Die Auswertung der Frequenzcharakteristik ist eine Schlüsselaufgabe beim Test von analogen bzw. gemischt analog-digitalen Komponenten [Hof00]. Das Standardverfahren besteht darin, die Antwort des Prüflings (DUT) an den externen Tester (ATE) weiterzuleiten, der dann eine schnelle Fourier-Transformation (FFT) zur Überführung der Testantwort in den Frequenzbereich ausführt, gefolgt von einer Nachverarbeitung zur Extraktion der Performanzparameter des DUT [BR01].

Die externe Verarbeitung der Testantwort ist mit einer Reihe von Nachteilen verbunden. Beim Transfer der analogen Testantwort zum externen ATE wird die Signalintegrität signifikant verschlechtert. Als Konsequenz müssen längere Sequenzen der Testantwort aufgenommen werden. Dies führt zu längeren Testzeiten und somit zur Erhöhung der Testkosten [BR01, KE06].

Eine Möglichkeit zur Vermeidung dieser Nachteile würde darin bestehen, die schnelle Fourier-Transformation und die anschließende Nachverarbeitung direkt auf dem Chip zu implementieren. Der FFT-Algorithmus ist allerdings für eine Implementierung im Rahmen eines eingebauten Selbsttests nicht geeignet, da er aufgrund seiner Komplexität beträchtliche Ressourcen erfordert. Außerdem ist der Algorithmus für bestimmte Testanwendungen nicht besonders effizient, da er sehr viele Informationen (spektrale Punkte) generiert, die für die Auswertung der Testparameter nicht unbedingt gebraucht werden.

Die in dieser Dissertation entwickelte Technik zur Auswertung von Testantworten basiert auf dem Goertzel-Algorithmus [Goe58]. Der Goertzel-Algorithmus zeichnet sich dadurch aus, dass, erstens beliebige Frequenzkomponenten eines Testsignals mit hoher Genauigkeit extrahiert werden können, und zweitens der Implementierungsaufwand im Vergleich zum Standardverfahren extrem gering ist. Aufgrund dieser Tatsache eignet sich der Goertzel-Algorithmus hervorragend für eine Implementierung auf dem Chip.

Der entwickelte Testalgorithmus wird im Rahmen dieser Arbeit für den Test von ADCs eingesetzt. Deshalb werden zunächst die grundlegenden Begriffe der Analog-

Digital-Wandlung sowie die statischen und dynamischen Performanzparameter von ADCs erläutert. Im Weiteren wird dann der Goertzel-Algorithmus vorgestellt und ein Goertzel-basiertes Verfahren zur Auswertung der Performanzparameter vorgeschlagen. Dieses Verfahren kann auch auf andere analoge bzw. gemischt analog-digitale Komponenten im Rahmen eines Loopback-Tests [TR95a] angewendet werden.

4.2 Performanzparameter von ADCs

4.2.1 Analog-Digital-Wandlung

Bei der Analog-Digital-Wandlung wird ein zeitkontinuierliches Signal (z.B. analoge Spannung) in ein digitales Signal, d.h. eine Folge endlich genauer oder quantisierter Abtastwerte (z.B. Binärcode) umgewandelt. Der quantisierte Abtastwert entspricht dabei dem Wert, der dem analogen zeitkontinuierlichen Eingangssignal am nächsten kommt. Wird der ADC von einem externen Takt gesteuert, kann er dazu veranlasst werden, alle T Sekunden eine Analog-Digital-Umwandlung zu starten und abzuschließen. Die Wandlung erfolgt jedoch nicht unmittelbar, so dass aus diesem Grund typischerweise ein Abtast- und Halteglied erforderlich sind, um das Eingangssignal während des Umwandlungsprozesses konstant zu halten. Die Details zu den verschiedenen Verfahren zur A/D-Wandlung sowie zu der praktischen Realisierung von ADCs werden z.B. in [GAS90, VdP94] erörtert.

Das Verhältnis zwischen der analogen Eingangsspannung und dem digitalen Ausgangswert wird von der Übertragungskennlinie des ADC wiedergegeben. Die Übertragungskennlinie wird typischerweise als Treppenfunktion dargestellt. Abbildung 4.1 zeigt die Übertragungskennlinie eines idealen N -Bit-ADC, wobei N die Auflösung des Wandlers beschreibt und somit der Wortbreite der digitalisierten Codes entspricht. Bei linearen Wandlern wird der Wandlungsbereich von V_{\min} bis V_{\max} in eine endliche Anzahl (2^N) gleicher Teilbereiche, sogenannte Quantisierungseinheiten (Q), unterteilt. Die Quantisierungseinheit wird als Funktion des Wandlungsbereiches und der Auflösung angegeben [Ins01]:

$$Q = \frac{V_{\max} - V_{\min}}{2^N} = 1 \text{ LSB} , \quad (4.1)$$

wobei die Einheit LSB dem niederwertigsten Bit entspricht. Per Konvention [Ins01] entspricht V_{\min} dem Code 0 und V_{\max} dem Code (2^N-1). $T[1]$ stellt die Schwellenspannung zwischen Code 0 und Code 1 dar. Im idealen Fall liegen die Mittelpunkte der

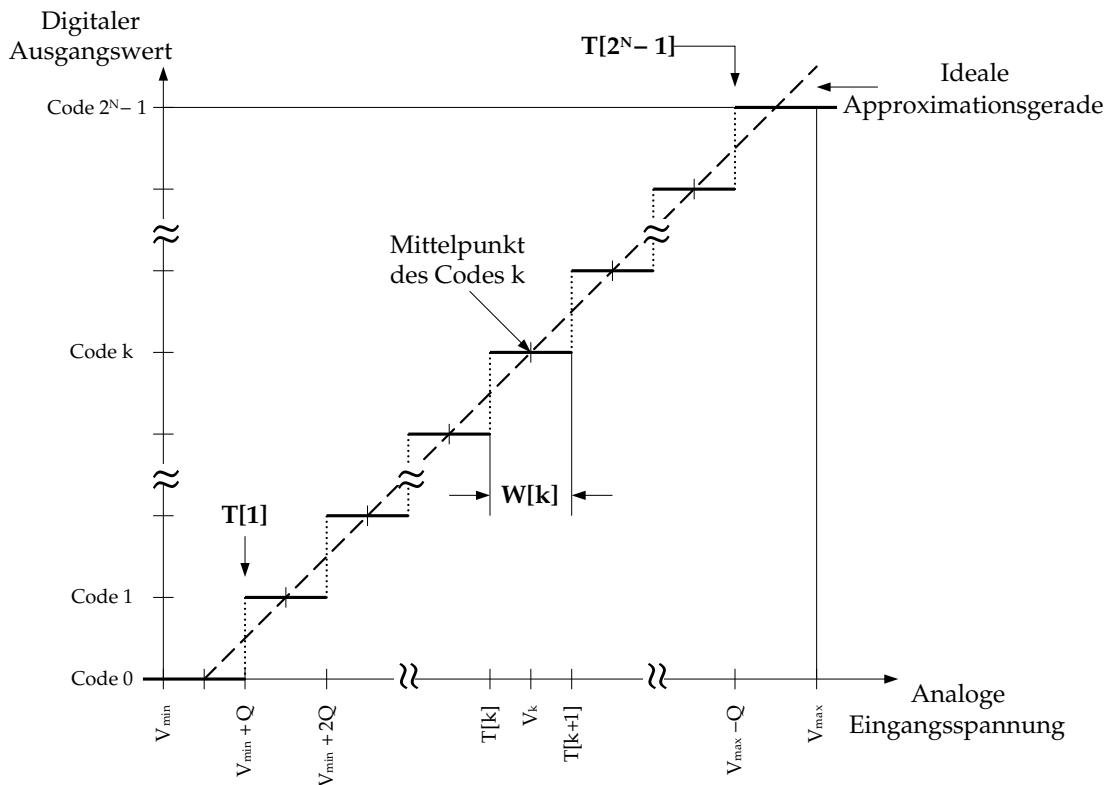


Abb. 4.1: Ideale Übertragungsfunktion eines N-Bit-ADC [Ins01].

analogen Teilbereiche auf der sogenannten Approximationsgeraden. Alle analogen Werte innerhalb eines Teilbereiches werden durch den gleichen Digitalcode dargestellt. Da ein analoges Signal innerhalb seines Wertebereiches unendlich viele Werte annehmen kann, durch die Quantisierung aber nur endlich viele Werte gebildet werden können, ist die A/D-Wandlung mit einem systematischen Fehler verbunden, dem Quantisierungsfehler. Die Größe des Quantisierungsfehlers ist von der Anzahl der Teilbereiche und damit von der Auflösung des ADC abhängig. Bei ADCs werden typischerweise die Übergänge von Code 0 auf Code 1 und von Code (2^N-2) auf Code (2^N-1) abgeglichen. Man ordnet dabei dem Digitalcode den mittleren Wert des entsprechenden analogen Teilbereiches zu und spezifiziert den maximalen Wert des Quantisierungsfehlers mit $\pm 1/2$ LSB.

4.2.2 Statische Parameter von ADCs

Die Übertragungskennlinie eines ADC kann mit Hilfe einer Geraden approximiert werden. Abweichungen dieser Geraden von der idealen Approximationsgeraden (siehe Abb. 4.1) deuten auf Fehler des ADC hin. Die folgenden Parameter stellen die wichtigsten statischen Fehler von ADCs dar und werden deshalb im Weiteren näher

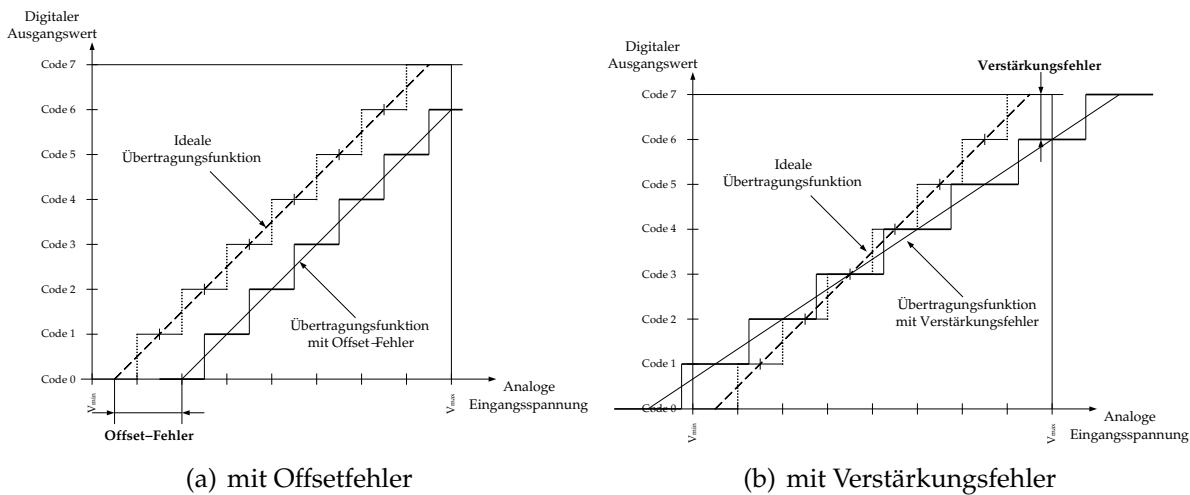


Abb. 4.2: Übertragungsfunktion eines 3-Bit-ADC mit Verstärkungs- und Offsetfehler [Ins01].

betrachtet: Verstärkungs- und Offsetfehler, integrale und differentielle Nichtlinearität. Der Offsetfehler bewirkt eine Verschiebung der idealen Übertragungskennlinie des ADC entlang der Eingangsspannungsachse (Abb. 4.2(a)). Die ideale Approximationsgerade verläuft nicht mehr durch den Ursprung des Koordinatensystems. Wird dieser Fehler nicht abgeglichen, so entsteht ein konstanter Fehler im Wandlungsbereich. Die Stufenbreite bzw. Codebreite bleibt davon unberührt.

Der Verstärkungsfehler bewirkt gegenüber der idealen Approximationsgeraden einen veränderten Anstieg (Abb. 4.2(b)). Der Verstärkungsfehler beeinflusst die Stufenbreite. Ein Verstärkungsfaktor größer 1 führt zu kleineren Stufen. Dagegen führt ein Verstärkungsfaktor kleiner 1 zu breiteren Stufen. Der Verstärkungsfehler führt zu einem konstanten Fehler im Wandlungsbereich und ist abgleichbar.

Die differentielle Nichtlinearität DNL ist ein Maß für den relativen Fehler einer Stufenbreite bzw. Codebreite der Übertragungsfunktion. Sie kennzeichnet die Abweichung einer Stufenbreite von dem idealen Wert 1 LSB. Die differentielle Nichtlinearität wird in LSB angegeben und gemäß Gl. (4.2) als Funktion des Codes k berechnet [Ins01]:

$$DNL[k] = \frac{W[k] - Q}{Q} \quad \text{für } 1 \leq k \leq 2^N - 2. \quad (4.2)$$

$W[k]$ stellt dabei die Stufenbreite des Codes k dar. Eine starke Ausprägung der differentiellen Nichtlinearität führt zu den sogenannten fehlenden Codes (DNL größer als 1 LSB, einzelne Codes werden übersprungen) und zu Monotoniefehlern (DNL kleiner als -1 LSB, der digitale Ausgangswert sinkt bei steigender Eingangsspannung ab).

Die integrale Nichtlinearität INL ist ein Maß für die maximale Abweichung der realen

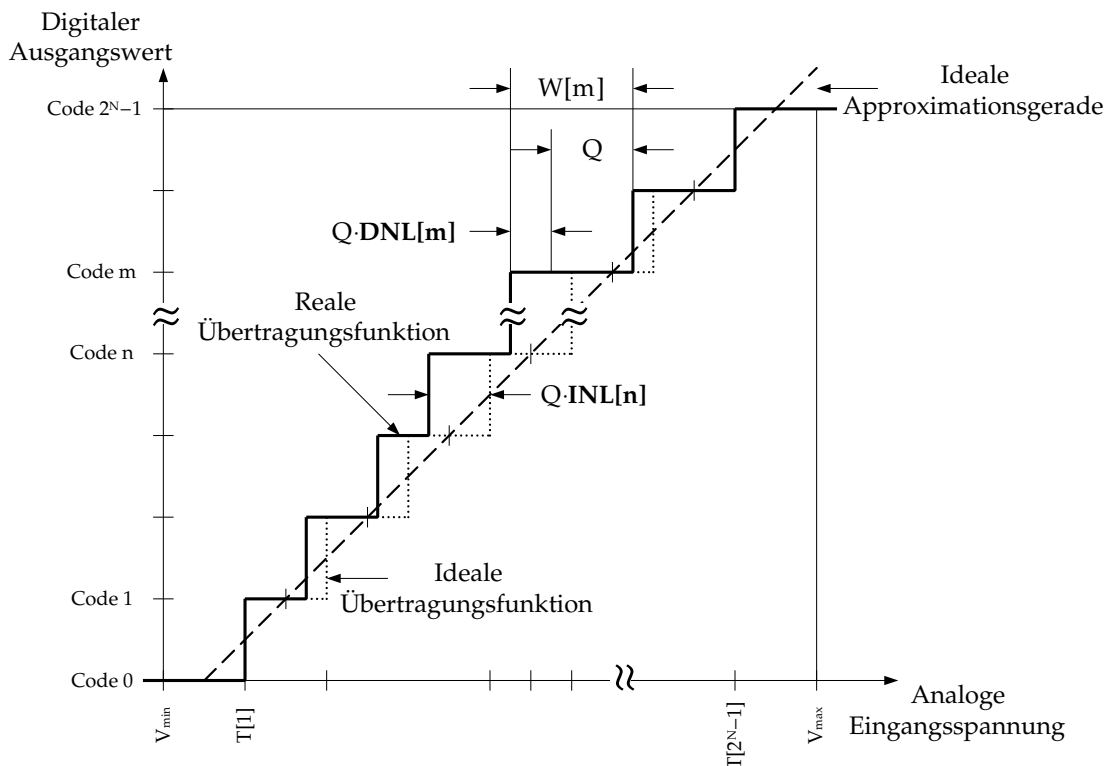


Abb. 4.3: Übertragungsfunktion eines ADC mit differentiellen und integralen Nichtlinearitäten [Ins01].

Übertragungsfunktion von der idealen Übertragungsfunktion. Die integrale Nichtlinearität wird typisch in LSB angegeben und gemäß Gl. (4.3) als Funktion des Codes k berechnet [Ins01]:

$$\text{INL}[k] = \frac{\epsilon[k]}{Q} \quad \text{für } 1 \leq k \leq 2^N - 2, \quad (4.3)$$

wobei $\epsilon[k]$ die Differenz zwischen der realen und der idealen Schwellenspannung beim Code k ist.

4.2.3 Dynamische Parameter von ADCs

Die Leistungsfähigkeit von ADCs kann ebenfalls im Frequenzbereich angegeben werden. Zur Beschreibung und Kennzeichnung des dynamischen Zeitverhaltens von ADCs werden frequenzabhängige Kennwerte angegeben. Diese Kennwerte werden aus einer Analyse des Frequenzspektrums des ADC gewonnen. Die Analyse wird standardmäßig mit der schnellen Fourier-Transformation durchgeführt [BR01]. Abbildung 4.4 zeigt das Ergebnis (Frequenzspektrum) einer solchen FFT-Berechnung. Hier wird das Frequenzspektrum der Antwort eines ADC auf ein sinusförmiges Eingangssignal

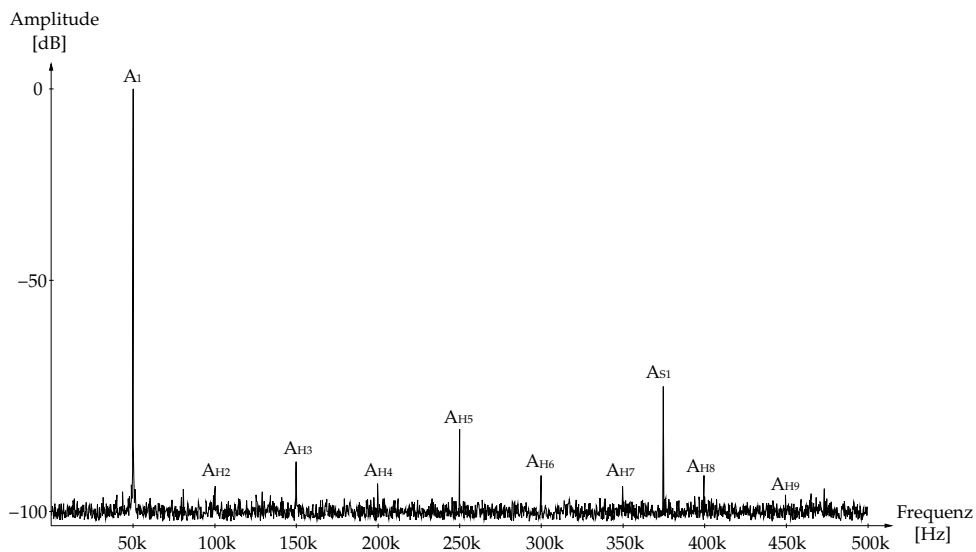


Abb. 4.4: Frequenzspektrum eines mit einem 10-Bit-ADC aufgenommenen sinusförmigen Signals. $N = 4096$, $f_s = 1$ MHz, $f_{sig} = 50$ kHz.

der Frequenz f_{sig} dargestellt. Das Eingangssignal findet sich im Frequenzspektrum bei der Grundkomponente (50 kHz) mit der Amplitude A_1 wieder. Die (integrale) Nichtlinearität des ADC spiegelt sich in den harmonischen Verzerrungen (Komponenten bei Vielfachen der Grundfrequenz f_{sig} , z.B. A_{H2} , A_{H3} , A_{H4} , usw.) wieder. Zusätzlich weist das Frequenzspektrum in Abb. 4.4 auch nichtharmonische Störsignale auf, die bei Frequenzen auftreten, die von der Grundfrequenz bzw. von Vielfachen der Grundfrequenz unterschiedlich sind (z.B. A_{S1}). Die folgenden Parameter stellen die wichtigsten dynamischen Kennwerte von ADCs dar und werden deshalb im Weiteren näher betrachtet: SNR, SINAD, THD, SFDR und ENOB.

4.2.3.1 Signal-Rausch-Verhältnis (SNR)

Das Signal-Rausch-Verhältnis ist ein Maß zur Kennzeichnung der Verschlechterung eines Signals durch additives Rauschen, welches als Quotient aus der mittleren Leistung des Signals und der mittleren Leistung des Rauschsignals definiert ist. Bei ADCs wird das Signal-Rausch-Verhältnis auch als Maß für die Störunterdrückung bei der A/D-Wandlung angegeben. Das SNR wird gemäß Gl. (4.4) berechnet [Ins01]:

$$\text{SNR} = 10 \log_{10} \left(\frac{P_{SIG}}{P_N} \right), \quad (4.4)$$

wobei P_{SIG} die mittlere Leistung des Signals (z.B. Grundkomponente A_1) ist, und P_N die mittlere Leistung des Rauschsignals (ohne harmonische Verzerrungen). Als Ver-

hältnis von Größen gleicher Maßeinheit ist das SNR dimensionslos und wird meistens in Dezibel (dB - logarithmischer Maßstab) angegeben.

4.2.3.2 Signal-Rausch-Verzerrung-Verhältnis (SINAD)

Das Signal-Rausch-Verzerrung-Verhältnis ist ebenfalls ein Maß zur Kennzeichnung der Verschlechterung eines Signals durch additives Rauschen, wobei harmonische Verzerrungen beim Rauschsignal berücksichtigt werden. Das SINAD liefert somit eine vollständigere Beschreibung der auftretenden Störsignale, da es harmonische und nichtharmonische Verzerrungen in einem einzigen Parameter zusammenfasst. Das SINAD wird gemäß Gl. (4.5) berechnet [Ins01]:

$$\text{SINAD} = 10 \log_{10} \left(\frac{P_{SIG}}{P_N + P_{HAR}} \right), \quad (4.5)$$

wobei P_{SIG} die mittlere Leistung des Signals (z.B. Grundkomponente A_1) ist, P_N die mittlere Leistung des Rauschsignals (nichtharmonische Störsignale), und P_{HAR} die mittlere Leistung aller harmonischen Verzerrungen (z.B. A_{H2}, A_{H3}, A_{HK}). Das SINAD wird in Dezibel (dB) angegeben.

4.2.3.3 Effektive Anzahl von Bits (ENOB)

Die effektive Anzahl von Bits vergleicht die Performanz eines realen ADC mit der Performanz eines idealen ADC hinsichtlich des Rauschens [Lin84]. Die effektive Anzahl von Bits ist somit ein Maß für die tatsächliche Auflösung von ADCs. Sie wird in Bits angegeben und gemäß Gl. (4.6) berechnet [Ins01]:

$$\text{ENOB} = \frac{\text{SINAD}(\text{dB}) - 1.761 \text{ dB}}{6.02 \text{ dB}}. \quad (4.6)$$

Ein realer ADC mit einem spezifizierten ENOB wird somit die gleiche Performanz (SINAD) aufweisen, wie ein idealer ADC mit einer Auflösung gleich des spezifizierten ENOB.

4.2.3.4 Gesamte harmonische Verzerrung (THD)

Die (integrale) Nichtlinearität des ADC spiegelt sich in den harmonischen Verzerrungen (Komponenten bei Vielfachen der Grundfrequenz) wider. Das THD ist ein Maß zur Quantifizierung des Anteils der durch Nichtlinearitäten verursachten Frequenz-

komponenten und wird gemäß Gl. (4.7) berechnet [Ins01]:

$$\text{THD} = 10 \log_{10} \left(\frac{P_{HAR}}{P_{SIG}} \right), \quad (4.7)$$

wobei P_{HAR} die mittlere Leistung aller harmonischen Verzerrungen (z.B. A_{H2} , A_{H3} , A_{HK}) ist, und P_{SIG} die mittlere Leistung des Signals (z.B. Grundkomponente A_1). Typischerweise werden nur die ersten 5 bis 10 Harmonischen zur Berechnung des THD berücksichtigt [Hof00]. Das THD wird in Dezibel (dB) angegeben.

4.2.3.5 Störungsfreier Dynamikbereich (SFDR)

Der störungsfreie Dynamikbereich kennzeichnet die Pegeldifferenz zwischen dem größten vorkommenden Störsignal und der Grundkomponente am Ausgang des ADC. Das größte Störsignal ist meistens eine harmonische Verzerrung. Der störungsfreie Dynamikbereich wird gemäß Gl. (4.8) berechnet [Ins01]:

$$\text{SFDR} = 20 \log_{10} \left(\frac{A_1}{\max(A_{H(max)}, A_{S(max)})} \right), \quad (4.8)$$

wobei $A_{H(max)}$ die Amplitude der größten harmonischen Verzerrung ist, und $A_{S(max)}$ die Amplitude der größten nichtharmonischen Verzerrung. Der störungsfreie Dynamikbereich wird typischerweise in Dezibel (dB) bzw. in Dezibel normiert auf der Grundkomponente (dBc) angegeben.

4.3 Goertzel-Algorithmus

Der Goertzel-Algorithmus [Goe58] ist ein iteratives Verfahren zur effizienten Berechnung einzelner Punkte der diskreten Fourier-Transformierten. Der Algorithmus erhält meistens den Vorzug gegenüber FFT-Algorithmen (schnelle Fourier Transformation) in Anwendungen, die die Berechnung weniger Punkte der diskreten Fourier-Transformierten erfordern (z.B. zur Dekodierung von DTMF-Signalen in der Nachrichtentechnik). Im Folgenden wird der Goertzel-Algorithmus hergeleitet. Ausgangspunkt der Herleitung ist die Definition der diskreten Fourier-Transformierten einer endlichen Folge $x(n)$ der Länge N

$$\text{DFT}\{x(n)\} = X(k) = \sum_{n=0}^{N-1} x(n)e^{-j\frac{2\pi}{N}kn} \quad \text{für } k = 0, \dots, N-1, \quad (4.9)$$

wobei N die Anzahl der Abtastwerte der Folge $x(n)$ darstellt. Die Werte der diskreten Fourier-Transformierten entsprechen den Abtastwerten der Fourier-Transformierten des Signals $x(n)$ bei äquidistanten Frequenzen

$$\Omega_k = \frac{2\pi}{N} k f_s, \quad (4.10)$$

wobei f_s die Abtastfrequenz des Systems ist. Die Periodizität der Folge $e^{j2\pi k}$ kann ausgenutzt werden, denn es gilt:

$$e^{j2\pi k} = e^{j\frac{2\pi}{N} k N} = 1 \quad \forall k. \quad (4.11)$$

Die rechte Seite von Gl. (4.9) kann also mit $e^{j\frac{2\pi}{N} k N}$ multipliziert werden, ohne die Gleichung zu verändern:

$$X(k) = \sum_{n=0}^{N-1} x(n) e^{-j\frac{2\pi}{N} kn} \cdot e^{j\frac{2\pi}{N} k N}, \quad (4.12)$$

$$= \sum_{n=0}^{N-1} x(n) e^{-j\frac{2\pi}{N} k(N-n)}. \quad (4.13)$$

Als Hilfsvariablen werden jetzt die Folgen $f(n)$, $h_k(n)$ und $y_k(n)$ definiert. Die Folge $f(n)$ ist eine endliche Folge der Länge N und ist folgendermaßen definiert:

$$f(n) = \begin{cases} x(n) & 0 \leq n \leq N-1, \\ 0 & \text{sonst.} \end{cases} \quad (4.14)$$

Die Folge $h_k(n)$ ist eine unendliche Folge und wird folgendermaßen definiert:

$$h_k(n) = e^{j\frac{2\pi}{N} kn} \quad \forall k. \quad (4.15)$$

Die Folge $y_k(n)$ wird durch die Faltung der Folgen $f(n)$ und $h_k(n)$ definiert:

$$y_k(n) = f(n) * h_k(n) = \sum_{m=-\infty}^{\infty} f(m) h_k(n-m). \quad (4.16)$$

Aus dem Vergleich von Gln. (4.16) und (4.13) folgt:

$$\text{DFT}\{x(n)\} = X(k) = y_k(n) |_{n=N}. \quad (4.17)$$

$y_k(n)$ stellt die Antwort eines zeitdiskreten Systems mit der Impulsantwort $h_k(n)$ auf eine endliche Eingangsfolge $x(n)$ dar. Dabei ist der N -te Abtastwert der Ausgangsfolge $y_k(n)$ gleich dem Wert der diskreten Fourier-Transformierten $X(k)$ bei der Frequenz Ω_k . Die Systemfunktion des zeitdiskreten Systems erhält man durch Transformation der Impulsantwort $h_k(n)$ in den z -Bereich. Die z -Transformierte der Folge $h_k(n)$ ergibt sich zu

$$H_k(z) = \sum_{n=-\infty}^{\infty} h_k(n)z^{-n}, \quad (4.18)$$

$$= \frac{1 - e^{-j\omega_k}z^{-1}}{1 - 2 \cos(\omega_k)z^{-1} + z^{-2}}, \quad (4.19)$$

wobei $\omega_k = \frac{2\pi}{N}k$ die normierte Kreisfrequenz ist. Die Differenzgleichung zweiter Ordnung, die durch die Ein- und Ausgangsfolgen erfüllt wird, ist

$$y_k(n) - 2 \cos(\omega_k)y_k(n-1) + y_k(n-2) = x(n) - e^{-j\omega_k}x(n-1). \quad (4.20)$$

Da das System eine unendliche Impulsantwort hat, ist es nicht möglich das System über eine diskrete Faltung zu implementieren. Schreibt man Gl. (4.20) jedoch in Form von

$$y_k(n) = 2 \cos(\omega_k)y_k(n-1) - y_k(n-2) + x(n) - e^{-j\omega_k}x(n-1), \quad (4.21)$$

ergibt sich die Grundlage für einen Algorithmus zur rekursiven Berechnung der Ausgangsfolge für jeden Zeitpunkt n aus den vorherigen Ausgangsfolgen $y_k(n-1)$ und $y_k(n-2)$, dem aktuellen Eingangs-Abtastwert $x(n)$ und dem vorherigen Eingangs-Abtastwert $x(n-1)$. Nimmt man die Bedingungen des Anfangsruhezustands an (d.h. wenn $x(n) = 0$ für $n < 0$, dann gilt $y(n) = 0$ für $n < 0$) und verwendet man Gl. (4.21) als Rekursionsformel, um die Ausgangsfolge aus früheren Werten der Ausgangsfolge und derzeitigen und früheren Werten der Eingangsfolge zu berechnen, ist das System linear und zeitinvariant. Die Darstellung des Systems als Blockschaltbild auf Basis der Gl. (4.19) zeigt Abb. 4.5. Das Blockschaltbild ist eine explizite bildliche Darstellung der Gl. (4.21). Genauer stellen das die beiden folgenden Differenzgleichungen dar:

$$v(n) = x(n) + 2 \cos(\omega_k)v(n-1) - v(n-2), \quad (4.22)$$

$$y_k(n) = v(n) - e^{-j\omega_k}v(n-1). \quad (4.23)$$

Das System aus Abb. 4.5 muss in einem Zustand gebracht werden, in dem der N -te Wert der Ausgangsfolge $y_k(n)$ berechnet werden kann. Die Ausgangsgleichung

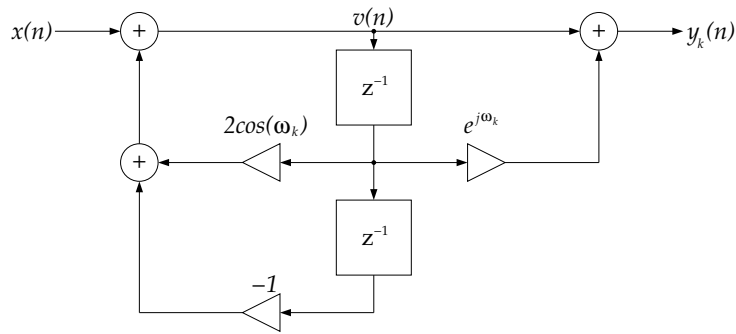


Abb. 4.5: Darstellung der Differenzgleichung (4.21) als Blockschaltbild.

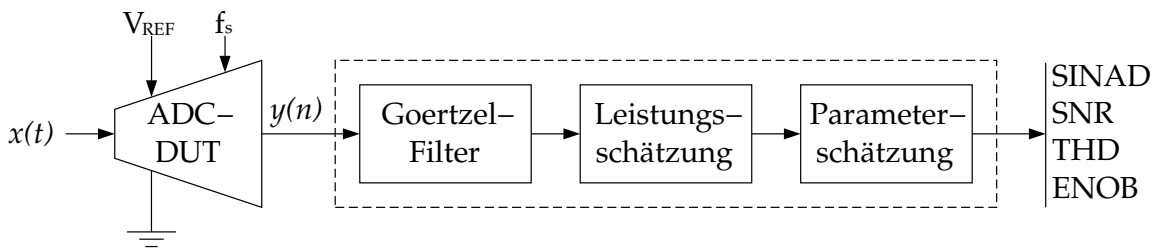


Abb. 4.6: Goertzel-basierte Parametereauswertung.

muss also nicht bei jeder Iteration, sondern lediglich nach der N -ten Iteration ausgeführt werden. Ein wesentlicher Vorteil des Goertzel-Algorithmus ist die Tatsache, dass $2\cos(\omega_k)$ und $e^{-j\omega_k}$ die einzigen Koeffizienten sind, die vorab berechnet und gespeichert werden müssen.

Der Goertzel-Algorithmus liefert also die Werte der diskreten Fourier-Transformierten zu den spezifizierten Frequenzen Ω_k . Der Parameter k darf reell sein und ist nicht auf die Menge der natürlichen Zahlen beschränkt. Somit können nicht nur die Werte der diskreten Fourier-Transformierten (Abtastwerte der Fourier-Transformierten) berechnet werden, sondern beliebige Werte der Fourier-Transformierten bei gleichbleibender Anzahl von Abtastwerten N .

4.4 Goertzel-basierte Parametereauswertung

Das Prinzip der Goertzel-basierten Parametereauswertung wird in Abb. 4.6 dargestellt. Das analoge Testsignal am Eingang des ADC ist folgendermaßen definiert:

$$x(t) = A_x \sin(\Omega_0 t + \phi_0) . \tag{4.24}$$

Aufgrund von Nichtlinearitäten des ADC kommt es zu Verzerrungen in der Testantwort. Außerdem wird die Testantwort von Rauschsignalen (z.B. das Quantisierungsrauschen des ADC) überlagert. Das zeitdiskrete Signal am Ausgang des ADC lautet:

$$y(n) = a_0 + \sum_{k=1}^{N-1} a_k \sin(k\Omega_0 n \frac{1}{f_s} + \phi_k) + \eta(n) . \quad (4.25)$$

Die Koeffizienten a_k beschreiben die harmonische Verzerrungen des ADC, $\eta(n)$ fasst die verschiedene Rauschquellen zusammen und f_s kennzeichnet die Abtastfrequenz des ADC. Mit der diskreten Fourier-Transformation kann die Testantwort des ADC in seine Einzelkomponenten (Signal, Harmonische, Rauschen) zerlegt werden. Die Leistungen der einzelnen Komponenten werden berechnet und daraus die dynamischen Performanzparameter des ADC ermittelt. Nimmt man an, dass der Bin i der diskreten Fourier-Transformierten von $y(n)$ (also $Y(i)$) der Amplitude der Komponente bei der Frequenz Ω_0 des Testsignals $x(t)$ entspricht, dann kann die Leistung der Signalkomponente durch folgende Formel abgeschätzt werden:

$$\hat{P}_S = \frac{1}{(N-1)N} [|Y(i)|^2 + |Y(N-i)|^2] . \quad (4.26)$$

Aus den Symmetrieeigenschaften der diskreten Fourier-Transformation folgt:

$$|Y(i)| = |Y(N-i)| . \quad (4.27)$$

Als vorspannungsfreie Schätzung für die Leistung der Signalkomponente erhält man

$$\hat{P}_S = \frac{2}{(N-1)N} |Y(i)|^2 . \quad (4.28)$$

Gleichung (4.28) kann genauso verwendet werden, um die Leistung der harmonischen Komponenten abzuschätzen. Dabei werden in der Regel nur die ersten 5 bis 10 Harmonischen berücksichtigt [Hof00].

$$\hat{P}_{H_k} = \frac{2}{(N-1)N} |Y(k)|^2 \quad \text{mit } k = 2i, 3i, \dots . \quad (4.29)$$

Die Leistung der Rauschkomponente wird durch folgende Formel ausgedrückt:

$$\hat{P}_\eta = \frac{2}{(N-1)N} \sum_{k=1}^{(N-1)/2} |Y(k)|^2 \quad \text{mit } k \neq i, 2i, 3i, \dots . \quad (4.30)$$

Die Bestimmung des Schätzwerts der Rauschleistung gemäß Gl. (4.30) erfordert die Berechnung von vielen Punkten der diskreten Fourier-Transformierten. Eine effizientere Methode zur Schätzung der Rauschleistung besteht darin, die Rauschleistung als Funktion der Gesamtleistung der Testantwort, der Leistung der Signalkomponente und der harmonischen Komponenten auszudrücken. Mit Hilfe des Parseval'schen Theorems [OSB99]

$$\sum_{n=0}^{N-1} |y(n)|^2 = \frac{1}{N} \sum_{k=0}^{N-1} |Y(k)|^2 \quad (4.31)$$

kann die Gesamtleistung der Testantwort in dem Zeitbereich bestimmt werden:

$$\hat{P}_G = \frac{1}{N-1} \sum_{n=0}^{N-1} |y(n)|^2 . \quad (4.32)$$

Die Rauschleistung ergibt sich also somit zu:

$$\hat{P}_\eta = \hat{P}_G - \hat{P}_S - \sum_k \hat{P}_{H_k} . \quad (4.33)$$

Die Schätzwerte (\hat{P}_G , \hat{P}_S , \hat{P}_{H_k}) werden benutzt, um die Performanzparameter des ADC zu ermitteln:

$$\text{SNR} = 10 \log_{10} \left(\frac{\hat{P}_S}{\hat{P}_\eta} \right) , \quad (4.34)$$

$$\text{SINAD} = 10 \log_{10} \left(\frac{\hat{P}_S}{\hat{P}_G - \hat{P}_S} \right) , \quad (4.35)$$

$$\text{THD} = 10 \log_{10} \left(\frac{\sum_k \hat{P}_{H_k}}{\hat{P}_S} \right) , \quad (4.36)$$

$$\text{ENOB} = \frac{\text{SINAD} - 1.761}{6.02} . \quad (4.37)$$

4.5 Genauigkeit des Goertzel-basierten Verfahrens

Die Messung und Auswertung der Testantwort einer physikalischen Schaltung wird immer von einem gewissen Rauschen (z.B. Eigenrauschen, Messrauschen, usw.) überlagert. Ein Test, der unter exakt gleichen Bedingungen zu verschiedenen Zeitpunkten durchgeführt wird, liefert immer, wenn auch nur geringfügig, voneinander abweichende Ergebnisse. Der Test muss deshalb so entworfen werden, dass die aufgrund

des Rauschens entstehenden Variationen der Testergebnisse sich innerhalb einer vorgegebenen Toleranzgrenze halten. Im Folgenden werden zuerst die Eigenschaften des Rauschens untersucht. Wichtige Annahmen werden hier getroffen, auf die sich die weiteren theoretischen Herleitungen stützen. Dann werden die Auswirkungen des Rauschens auf den im Rahmen dieser Arbeit entwickelten Messalgorithmus untersucht.

4.5.1 Eigenschaften des Rauschens

Im Rahmen dieser Arbeit wird das Rauschen als zeitdiskreter stochastischer Prozess angenommen, welcher durch $\{\eta_n | n \in I\}$ beschrieben wird, wobei die zeitdiskreten stochastischen Variablen η_n durch Indizes aus einer geordneten Indexmenge I unterschieden werden. Die Indexmenge I entspricht der normierten Zeitachse. Es werden jetzt folgende Annahmen für den das Rauschen beschreibenden zeitdiskreten stochastischen Prozess getroffen:

- der zeitdiskrete stochastische Prozess ist (schwach) stationär, d.h. seine Wahrscheinlichkeitsfunktion und damit auch die daraus berechenbaren statistischen Kenngrößen sind unabhängig von der Wahl des Zeitindex n .
- der zeitdiskrete stochastische Prozess ist ergodisch, d.h. die Scharmittelwerte sind gleich den Zeitmittelwerten. Alle statistischen Kenngrößen können durch Zeitmittelung aus einer einzigen (möglichst langen) Realisierung des stochastischen Prozesses bestimmt werden.
- die stochastischen Variablen η_n des Prozesses sind zueinander unkorreliert (weißes Rauschen) und normalverteilt. Sie werden durch den Mittelwert μ_η und die Varianz σ_η^2 vollständig beschrieben.

Der exakte Wert der stochastischen Variable η_n zu einem bestimmten Zeitpunkt kann nicht vorhergesagt werden. Aus der Kenntnis des Mittelwerts μ_η und der Varianz σ_η^2 lassen sich jedoch Vertrauensgrenzen für die stochastische Variable η_n angeben. Falls η_n normalverteilt ist, werden z.B. 95% aller Werte in dem Intervall $\mu_\eta \pm 2\sigma_\eta$ liegen [BSM05]. Mittelwert und Varianz sind in der Regel nicht bekannt und werden meistens durch empirische Werte (aus zufälligen Stichproben) abgeschätzt. Der empirische Mittelwert zur Stichprobe $(\eta(1), \dots, \eta(N))$ vom Umfang N lautet [BSM05]:

$$\bar{\eta} = \frac{1}{N} \sum_{n=1}^N \eta(n) . \quad (4.38)$$

Die empirische Varianz zur Stichprobe $(\eta(1), \dots, \eta(N))$ vom Umfang N lautet [BSM05]:

$$s_\eta^2 = \frac{1}{N-1} \sum_{n=1}^N (\eta(n) - \bar{\eta})^2 . \quad (4.39)$$

Der zugehörigen Grundgesamtheit kann man beliebig viele Stichproben vom Umfang N entnehmen. D.h. $\bar{\eta}$ und s_η^2 beschreiben wiederum zwei neue Zufallsvariablen. Für deren statistische Sicherheit gelten die im Folgenden dargelegten Aussagen. Die Vertrauensgrenzen für den Mittelwert μ_η bei unbekannter Varianz σ_η^2 und vorgegebener Irrtumswahrscheinlichkeit α lauten [BSM05]:

$$\bar{\eta} - \frac{s_\eta}{\sqrt{N}} t_{\alpha/2; N-1} \leq \mu_\eta \leq \bar{\eta} + \frac{s_\eta}{\sqrt{N}} t_{\alpha/2; N-1} , \quad (4.40)$$

wobei $t_{\alpha/2; N-1}$ das Quantil der t -Verteilung (mit $N-1$ Freiheitsgraden) zur Irrtumswahrscheinlichkeit $\alpha/2$ darstellt. Der Mittelwert liegt also mit der statistischen Sicherheit $1 - \alpha$ zwischen den Vertrauensgrenzen. Die Vertrauensgrenzen für die Varianz σ_η^2 bei vorgegebener Irrtumswahrscheinlichkeit α lauten [BSM05]:

$$\frac{(N-1)s_\eta^2}{\chi_{\alpha/2; N-1}^2} \leq \sigma_\eta^2 \leq \frac{(N-1)s_\eta^2}{\chi_{1-\alpha/2; N-1}^2} , \quad (4.41)$$

wobei $\chi_{\alpha/2; N-1}^2$ das Quantil der χ^2 -Verteilung (mit $N-1$ Freiheitsgraden) zur Irrtumswahrscheinlichkeit $\alpha/2$ darstellt. Die Varianz liegt also mit der statistischen Sicherheit $1 - \alpha$ zwischen den Vertrauensgrenzen. Die Quantile der χ^2 -Verteilung sind im Anhang in Tab. A.1 zu finden.

Im Weiteren betrachtet man als Beispiel eine zeitdiskrete Rauschspannung $\eta(n)$ (Abb. 4.7(a)). $\eta(n)$ ist reell und beschreibt eine Folge von Abtastwerten eines schwach stationären zeitdiskreten Zufallsprozesses. Die Abtastwerte von $\eta(n)$ sind zueinander unkorreliert. Es wird angenommen, dass die statistischen Eigenschaften des Zufallsprozesses a priori bekannt sind (Mittelwert $\mu_\eta = 0$ mV und Standardabweichung $\sigma_\eta = 1$ mV). Die gewählten numerischen Werte stellen typische Werte für eine stark veräuschte Messumgebung dar. Abbildung 4.7(b) zeigt das Histogramm der Rauschspannung $\eta(n)$. Der Umfang der Stichprobe beträgt dabei 4096 Abtastwerte. Hier erkennt man deutlich, dass die Abtastwerte normalverteilt sind. Die Vertrauensgrenzen für eine statistische Sicherheit von 95% sind $\mu_\eta \pm 2\sigma_\eta = \pm 2$ mV. Der empirische Mittelwert aus der zufälligen Stichprobe kann mit Gl. (4.38) berechnet werden und ist in dem Beispiel $\bar{\eta} = 2$ μ V. Die empirische Standardabweichung (Gl. (4.39)) ist in dem

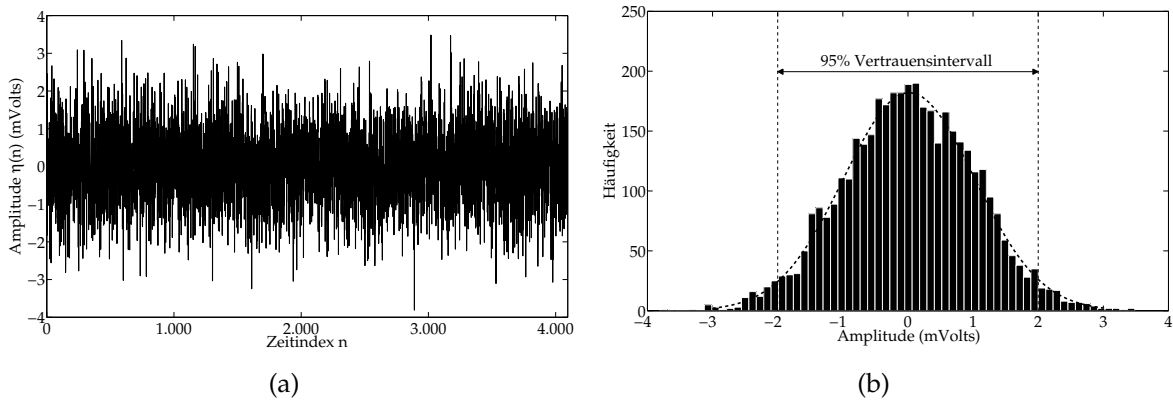


Abb. 4.7: Weiße Rauschspannung mit dem Mittelwert $\mu_\eta = 0$ mV und der Standardabweichung $\sigma_\eta = 1$ mV. (a) Zufällige Stichprobe vom Umfang 4096 Abtastwerte und (b) zugehöriges Histogramm.

Beispiel $s_\eta = 1.008$ mV. Die Vertrauensgrenzen für eine statistische Sicherheit von 95% bei 4096 Abtastwerten lauten $[-33\mu\text{V} \dots 29\mu\text{V}]$ für den empirischen Mittelwert und $[0.987 \text{ mV} \dots 1.031 \text{ mV}]$ für die empirische Standardabweichung.

4.5.2 Goertzel-basierte Schätzung der Rauschleistung

Das Prinzip der Schätzung wird in Abb. 4.8 dargestellt. Das Eingangssignal des Filters ist eine mittelwertfreie weiße Rauschfolge $\eta(n)$ mit definierten statistischen Kenngrößen. Die Ausgangsfolge des Goertzel-Filters $y_k(n)$ bzw. der N -te Wert dieser Ausgangsfolge $y_k(N)$ stellt eine stochastische Variable dar, die im Weiteren Y_k genannt wird. Die stochastische Variable Y_k ist komplex und wird durch folgende Gleichung angegeben

$$y_k(N) = Y_k = \sum_{n=0}^{N-1} \eta(n) e^{-j\frac{2\pi}{N}kn} . \quad (4.42)$$

Y_k kann in einen reellen Teil und einen imaginären Teil zerlegt werden:

$$\text{Re}\{Y_k\} = \sum_{n=0}^{N-1} \eta(n) \cos\left(\frac{2\pi}{N}kn\right) , \quad (4.43)$$

$$\text{Im}\{Y_k\} = \sum_{n=0}^{N-1} \eta(n) \sin\left(\frac{2\pi}{N}kn\right) . \quad (4.44)$$

Die Zusammenstellung aller stochastischen Variablen $\{Y_k | k \in I\}$ stellt einen weiteren zeitdiskreten stochastischen Prozess dar. Man kann leicht zeigen, dass die Wahr-

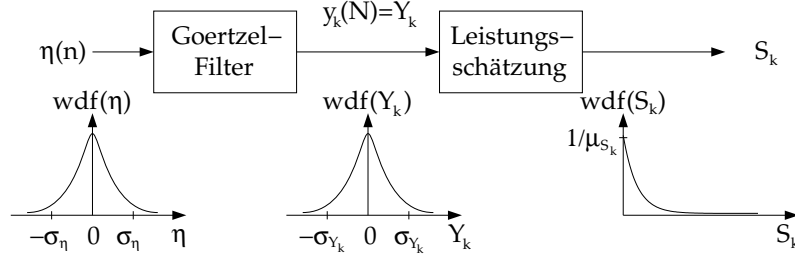


Abb. 4.8: Goertzel-basierte Schätzung der Rauschleistung.

scheinlichkeitsdichtefunktionen von Y_k und η vom gleichen Typ sind. Statistische Kenngrößen können ebenfalls leicht angegeben werden. Die Mittelwerte $\mu_{\text{Re}\{Y_k\}}$ des reellen Teils und $\mu_{\text{Im}\{Y_k\}}$ des imaginären Teils lauten:

$$\mu_{\text{Re}\{Y_k\}} = E(\text{Re}\{Y_k\}) = \sum_{n=0}^{N-1} E\left(\eta(n) \cos\left(\frac{2\pi}{N}kn\right)\right), \quad (4.45)$$

$$\mu_{\text{Im}\{Y_k\}} = E(\text{Im}\{Y_k\}) = \sum_{n=0}^{N-1} E\left(\eta(n) \sin\left(\frac{2\pi}{N}kn\right)\right), \quad (4.46)$$

wobei $E(\cdot)$ ein Operator ist, der als Erwartungswert bezeichnet wird. Da die Rauschfolge $\eta(n)$ mittelwertfrei ist, sind die Variablen $\text{Re}\{Y_k\}$ und $\text{Im}\{Y_k\}$ ebenfalls mittelwertfrei

$$\mu_{\text{Re}\{Y_k\}} = \mu_{\text{Im}\{Y_k\}} = 0. \quad (4.47)$$

Die Varianzen $\sigma_{\text{Re}\{Y_k\}}^2$ des reellen Teils und $\sigma_{\text{Im}\{Y_k\}}^2$ des imaginären Teils lauten:

$$\sigma_{\text{Re}\{Y_k\}}^2 = E\left([\text{Re}\{Y_k\} - \mu_{\text{Re}\{Y_k\}}]^2\right) \quad (4.48)$$

$$= \sum_{n=0}^{N-1} E([\text{Re}\{Y_k\}]^2) \quad (4.49)$$

$$= \frac{N}{2} \sigma_{\eta}^2. \quad (4.50)$$

$$\sigma_{\text{Im}\{Y_k\}}^2 = E\left([\text{Im}\{Y_k\} - \mu_{\text{Im}\{Y_k\}}]^2\right) \quad (4.51)$$

$$= \sum_{n=0}^{N-1} E([\text{Im}\{Y_k\}]^2) \quad (4.52)$$

$$= \frac{N}{2} \sigma_{\eta}^2. \quad (4.53)$$

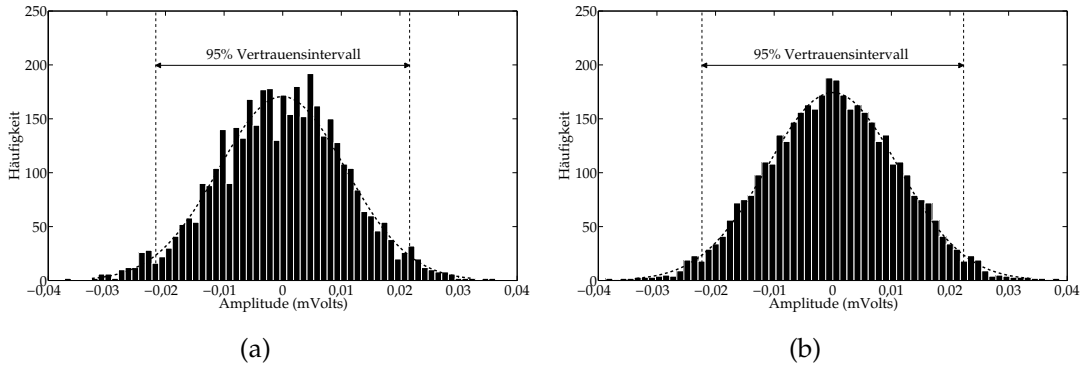


Abb. 4.9: (a) Histogramm des reellen Teils der komplexen Zufallsvariable Y_k . (b) Histogramm des imaginären Teils der komplexen Zufallsvariable Y_k .

Y_k ist mittelwertfrei, d.h. die Varianz ist gleich dem quadratischen Mittelwert und kann deshalb auch als mittlere Leistung interpretiert werden. Da $\eta(n)$ eine weiße Rauschfolge darstellt, ist die Rauschleistung gleichmäßig über alle Bins k (Frequenzen) verteilt.

Es wird wieder das Beispiel aus Abb. 4.7 betrachtet. Die Rauschspannung $\eta(n)$ liegt jetzt am Eingang des Goertzel-Filters. Der 4096-te Abtastwert der Ausgangsfolge des Goertzel-Filters ist eine komplexe normalverteilte Zufallsvariable Y_k . Der Mittelwert von Y_k ist gleich Null (siehe Gl. (4.47)). Die Standardabweichung von Y_k wird mit Gl. (4.50) berechnet und lautet

$$\sigma_{Y_k} = \sigma_{\text{Re}\{Y_k\}} = \sigma_{\text{Im}\{Y_k\}} = \frac{1}{4096} \left(1 \text{ mV} \sqrt{\frac{4096}{2}} \right) = 0.011049 \text{ mV} . \quad (4.54)$$

Hier wurde ein Skalierungsfaktor von $1/4096$ hinzugefügt. Die Vertrauensgrenzen von Y_k für eine statistische Sicherheit von 95% bei 4096 Abtastwerten lauten also $\pm 2\sigma_{Y_k} = \pm 0.0221 \text{ mV}$. Diese Werte stimmen mit den Histogrammen aus den Abbildungen 4.9(a) und 4.9(b) überein.

Das Betragsquadrat der Variable Y_k wird jetzt untersucht. Hierzu definiert man die stochastische Variable S_k :

$$S_k = |Y_k|^2 = [\text{Re}\{Y_k\}]^2 + [\text{Im}\{Y_k\}]^2 . \quad (4.55)$$

Die stochastische Variable S_k stellt die Summe der Quadrate von zwei normalverteilten stochastischen Variablen dar. Die Wahrscheinlichkeitsdichtefunktion (wdf) von S_k

genügt also einer χ^2 -Verteilung mit zwei Freiheitsgraden ($c = 2$) [BSM05]:

$$\text{wdf}(S_k) = \frac{1}{\sigma_{Y_k}^2} f_{\chi^2} \left(\frac{S_k}{\sigma_{Y_k}^2} \right), \quad (4.56)$$

mit

$$f_{\chi^2}(t) = \begin{cases} \frac{1}{2^{\frac{c}{2}} \Gamma(\frac{c}{2})} t^{\frac{c}{2}-1} e^{-\frac{t}{2}} & \text{für } t > 0, \\ 0 & \text{für } t \leq 0, \end{cases} \quad (4.57)$$

wobei $\Gamma(\cdot)$ die Gamma-Funktion bezeichnet [BSM05]:

$$\Gamma(x) = \int_0^{\infty} t^{x-1} e^{-t} dt \quad \text{für } x > 0. \quad (4.58)$$

Nach ein paar Vereinfachungen erhält man schließlich für die Wahrscheinlichkeitsdichtefunktion:

$$\text{wdf}(S_k) = \frac{1}{2\sigma_{Y_k}^2} e^{-S_k/2\sigma_{Y_k}^2} \quad \text{mit } S_k > 0. \quad (4.59)$$

Die Wahrscheinlichkeitsdichtefunktion von S_k ist eine exponentielle Verteilung. Der Mittelwert und die Varianz der Exponentialverteilung lauten [BSM05]:

$$\mu_{S_k} = \frac{1}{\left(\frac{1}{2\sigma_{Y_k}^2}\right)} = 2\sigma_{Y_k}^2 = N\sigma_{\eta}^2, \quad (4.60)$$

$$\sigma_{S_k}^2 = \frac{1}{\left(\frac{1}{2\sigma_{Y_k}^2}\right)^2} = (N\sigma_{\eta}^2)^2. \quad (4.61)$$

Der Mittelwert μ_{S_k} ist proportional zu der mittleren Rauschleistung der Rauschfolge $\eta(n)$. Vertrauensgrenzen für die stochastische Variable S_k und somit für die mittlere Rauschleistung können aus der Wahrscheinlichkeitsdichtefunktion von S_k bestimmt werden [BSM05]:

$$0 \leq S_k \leq \log\left(\frac{1}{\alpha}\right) \mu_{S_k}. \quad (4.62)$$

Die mittlere Rauschleistung liegt also mit der statistischen Sicherheit $1 - \alpha$ zwischen den angegebenen Vertrauensgrenzen. Betrachtet man wieder das Beispiel aus Abb. 4.7, dann bekommt man für den Mittelwert μ_{S_k} (siehe Gl. (4.60)) den folgenden Wert:

$$\mu_{S_k} = 2 (0.011049 \text{ mV})^2 = 0.24416 \text{ nV}^2 \text{ (entspricht ca. -93.1133 dB)}. \quad (4.63)$$

Die Vertrauensgrenzen von S_k für eine statistische Sicherheit von 95% bei 4096 Ab-

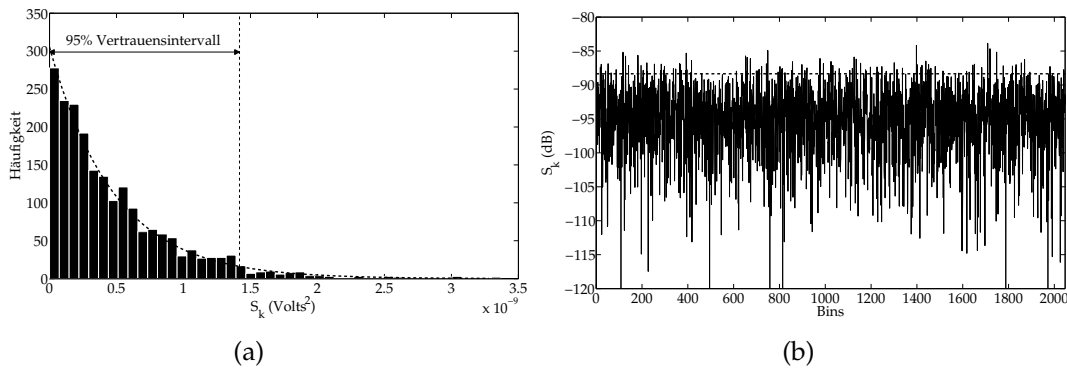


Abb. 4.10: (a) Histogramm der Zufallsvariable S_k (Rauschleistung). Das Histogramm zeigt wie erwartet einen exponentiellen Verlauf. (b) Leistungsdichtespektrum der Rauschfolge $\eta(n)$ mit 4096 Abtastwerten.

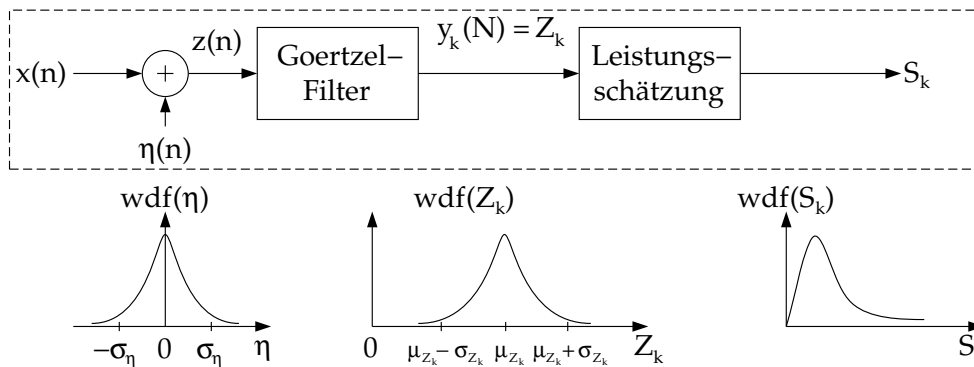


Abb. 4.11: Goertzel-basierte Schätzung der Signalleistung.

tastwerten nach Gl. (4.62) lauten also

$$0 \leq S_k \leq \log\left(\frac{1}{0.05}\right)\mu_{S_k} \iff -\infty \leq S_k \leq -88.3483 \text{ dB} . \quad (4.64)$$

Diese Werte stimmen mit der Abb. 4.10(b) überein. Die mittlere Rauschleistung liegt bei ca. -93 dB und 95% der Abtastwerte von S_k sind unterhalb -88.3483 dB.

4.5.3 Goertzel-basierte Schätzung der Signalleistung

Das Prinzip der Schätzung wird in Abb. 4.11 dargestellt. Das zeitdiskrete Eingangssignal $z(n)$ des Goertzel-Filters setzt sich aus einer deterministischen Folge $x(n)$ und einer mittelwertfreien weißen Rauschfolge $\eta(n)$ zusammen. Die deterministische Fol-

ge $x(n)$ ist eine sinusförmige Folge, die folgendermaßen definiert ist:

$$x(n) = A_x \sin\left(2\pi \frac{M}{N}n + \phi_x\right) \quad \text{mit } n = 0, 1, \dots, N-1. \quad (4.65)$$

A_x ist die Amplitude und ϕ_x die Phase der Folge. Die Folge $x(n)$ besteht aus N Abtastwerten, die über M Perioden verteilt sind, wobei M eine ganzzahlige Zahl ist. Die weiße Rauschfolge $\eta(n)$ ist normalverteilt.

Es wird zuerst angenommen, dass $\eta(n) = 0$ ist, d.h. $z(n) = x(n)$. Der N -te Wert der Folge $y_k(n)$ am Ausgang des Goertzel-Filters ist gegeben durch:

$$y_k(N) = X(k) = \begin{cases} A_x \frac{N}{2} \sin(\phi_x) - jA_x \frac{N}{2} \cos(\phi_x) & \text{für } k = M, \\ A_x \frac{N}{2} \sin(\phi_x) + jA_x \frac{N}{2} \cos(\phi_x) & \text{für } k = N - M, \\ 0 & \text{sonst.} \end{cases} \quad (4.66)$$

Der Goertzel-Filter liefert also zwei Werte ungleich Null bei $k=M$ und $k=N-M$. Jetzt wird die Rauschfolge $\eta(n)$ zu dem Signal $x(n)$ hinzuaddiert, d.h. $z(n)=x(n)+\eta(n)$. Der N -te Wert der Folge $y_k(n)$ am Ausgang des Goertzel-Filters stellt jetzt eine stochastische Variable dar, die im Weiteren Z_k bezeichnet wird. Die stochastische Variable Z_k ist komplex und es kann gezeigt werden, dass die Wahrscheinlichkeitsdichtefunktion von dem reellen bzw. imaginären Teil von Z_k einer Normalverteilung genügt. Die Mittelwerte des reellen und imaginären Teils lauten:

$$\mu_{\text{Re}\{Z_k\}} = \begin{cases} A_x \frac{N}{2} \sin(\phi_x) & \text{für } k = M, \\ A_x \frac{N}{2} \sin(\phi_x) & \text{für } k = N - M, \\ 0 & \text{sonst.} \end{cases} \quad (4.67)$$

$$\mu_{\text{Im}\{Z_k\}} = \begin{cases} -A_x \frac{N}{2} \cos(\phi_x) & \text{für } k = M, \\ A_x \frac{N}{2} \cos(\phi_x) & \text{für } k = N - M, \\ 0 & \text{sonst.} \end{cases} \quad (4.68)$$

Da $x(n)$ deterministisch ist, ist die Varianz von Z_k gleich der Varianz der weißen Rauschfolge $\eta(n)$:

$$\sigma_{\text{Re}\{Z_k\}}^2 = \sigma_{\text{Im}\{Z_k\}}^2 = \sigma_{\{Z_k\}}^2 = \frac{N}{2} \sigma_\eta^2. \quad (4.69)$$

In Anlehnung an das Beispiel aus Abb. 4.7 definiert man jetzt eine deterministische sinusförmige Folge $x(n)$ mit den folgenden Eigenschaften: Amplitude $A_x = 10$ mV, Phase $\phi_x = \pi/4$, $M = 101$, $N = 4096$. Das Signal $z(n)$ am Eingang des Goertzel-Filters setzt sich jetzt aus dem Signal $x(n)$ zuzüglich der Rauschspannung $\eta(n)$ zusammen. Der 4096-te Wert der Ausgangsfolge des Goertzel-Filters ist eine komplexe normal-

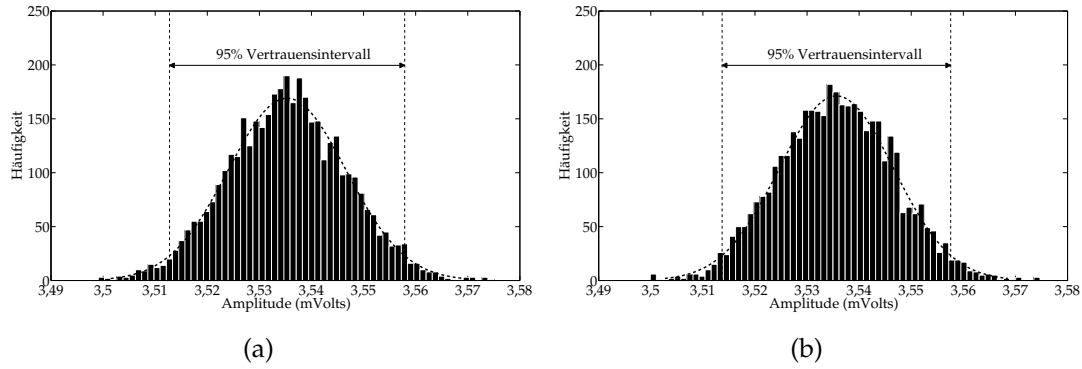


Abb. 4.12: (a) Histogramm des reellen Teils der komplexen Zufallsvariable Z_{101} . (b) Histogramm des imaginären Teils der komplexen Zufallsvariable Z_{101} .

verteilte Zufallsvariable und wird mit Z_k bezeichnet. Im Weiteren wird nur die Variable Z_k für den Index $k = 101$, also Z_{101} , untersucht. Die Mittelwerte des reellen Teils (Gl. (4.67)) und imaginären Teils (Gl. (4.68)) lauten:

$$\mu_{\text{Re}\{Z_{101}\}} = \frac{1}{4096} \left(0.01 \text{ mV} \frac{4096}{2} \sin\left(\frac{\pi}{4}\right) \right) = 3.536 \text{ mV} , \quad (4.70)$$

$$\mu_{\text{Im}\{Z_{101}\}} = \frac{1}{4096} \left(0.01 \text{ mV} \frac{4096}{2} \cos\left(\frac{\pi}{4}\right) \right) = 3.536 \text{ mV} . \quad (4.71)$$

Die Standardabweichung von Z_{101} ist gegeben durch Gl. (4.69) und lautet:

$$\sigma_{\text{Re}\{Z_{101}\}} = \sigma_{\text{Im}\{Z_{101}\}} = \sigma_{\{Z_{101}\}} = \frac{1}{4096} \left(1 \text{ mV} \sqrt{\frac{4096}{2}} \right) = 0.011049 \text{ mV} . \quad (4.72)$$

Die Vertrauensgrenzen von Z_{101} für eine statistische Sicherheit von 95% bei 4096 Abtastwerten lauten also:

$$\mu_{\{Z_{101}\}} \pm 2\sigma_{\{Z_{101}\}} \longrightarrow [3.513902 \text{ mV} \dots 3.558098 \text{ mV}] . \quad (4.73)$$

Die Histogramme des reellen Teils (Abb. 4.12(a)) und imaginären Teils (Abb. 4.12(b)) von Z_{101} bestätigen diese Werte.

Das Betragsquadrat der Variable Z_k wird jetzt untersucht. Hierzu definiert man wieder eine stochastische Variable S_k , welche die Summe der Quadrate des reellen und imaginären Teils von Z_k darstellt:

$$S_k = |Z_k|^2 = [\text{Re}\{Z_k\}]^2 + [\text{Im}\{Z_k\}]^2 . \quad (4.74)$$

Wie schon gesehen konzentriert sich die Leistung der deterministischen Folge $x(n)$ in den Frequenzen bei $k=M$ und $k=N-M$. Deshalb werden im Weiteren nur diese Bins untersucht. $\text{Re}\{Z_k\}$ und $\text{Im}\{Z_k\}$ sind zwei normalverteilte stochastische Variablen. Die Wahrscheinlichkeitsdichtefunktion von S_k genügt einer nichtzentralen χ^2 -Verteilung mit zwei Freiheitsgraden ($c = 2$) und λ als Nichtzentralitätsparameter. Der Nichtzentralitätsparameter λ wird folgendermaßen definiert [BSM05]:

$$\lambda = \frac{\mu_{\text{Re}\{Z_k\}}^2}{\sigma_{\text{Re}\{Z_k\}}^2} + \frac{\mu_{\text{Im}\{Z_k\}}^2}{\sigma_{\text{Im}\{Z_k\}}^2} = \frac{\mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2}{\sigma_{\{Z_k\}}^2}. \quad (4.75)$$

Die Wahrscheinlichkeitsdichtefunktion von S_k ist gegeben durch [BSM05]:

$$\text{wdf}(S_k) = \frac{1}{\sigma_{Z_k}^2} f_{\chi^2} \left(\frac{S_k}{\sigma_{Z_k}^2} \right), \quad (4.76)$$

mit

$$f_{\chi^2}(x) = \begin{cases} \frac{1}{2} e^{-\frac{1}{2}(x+\lambda)} \left(\frac{x}{\lambda} \right)^{\frac{1}{2}(\frac{c}{2}-1)} I_{\frac{c}{2}-1}(\sqrt{\lambda x}) & \text{für } x > 0, \\ 0 & \text{sonst.} \end{cases} \quad (4.77)$$

Nach ein paar Vereinfachungen erhält man:

$$\text{wdf}(S_k) = \frac{1}{2\sigma_{Z_k}^2} e^{-\left(S_k + \mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2 \right) / 2\sigma_{Z_k}^2} I_0 \left(\frac{\sqrt{\left(\mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2 \right) S_k}}{\sigma_{Z_k}^2} \right), \quad (4.78)$$

wobei $I_0(\cdot)$ die modifizierte Besselfunktion 0.ter Ordnung kennzeichnet [BSM05]:

$$I_0(x) = \sum_{j=0}^{\infty} \frac{(x/2)^{2j}}{j! \Gamma(j+1)} \quad \text{mit } x \geq 0. \quad (4.79)$$

$\Gamma(\cdot)$ kennzeichnet die Gamma-Funktion, die gemäß Gl. (4.58) definiert ist. Die Wahrscheinlichkeitsdichtefunktion von S_k ist jetzt bekannt. Die dazugehörigen statistischen Kenngrößen (Mittelwert, Varianz) können also bestimmt werden:

$$\mu_{S_k} = \sigma_{Z_k}^2 (c + \lambda) = 2\sigma_{Z_k}^2 + \mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2, \quad (4.80)$$

$$\sigma_{S_k}^2 = 2 \left(\sigma_{Z_k}^2 \right)^2 (c + 2\lambda) = 4 \left(\sigma_{Z_k}^2 \right)^2 + 4\sigma_{Z_k}^2 \left(\mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2 \right). \quad (4.81)$$

Die Wahrscheinlichkeitsdichtefunktion von S_k wird für verschiedene Werte des Signal-Rausch-Verhältnisses (SNR) in Abb. 4.13 dargestellt. Das Signal-Rausch-Verhältnis

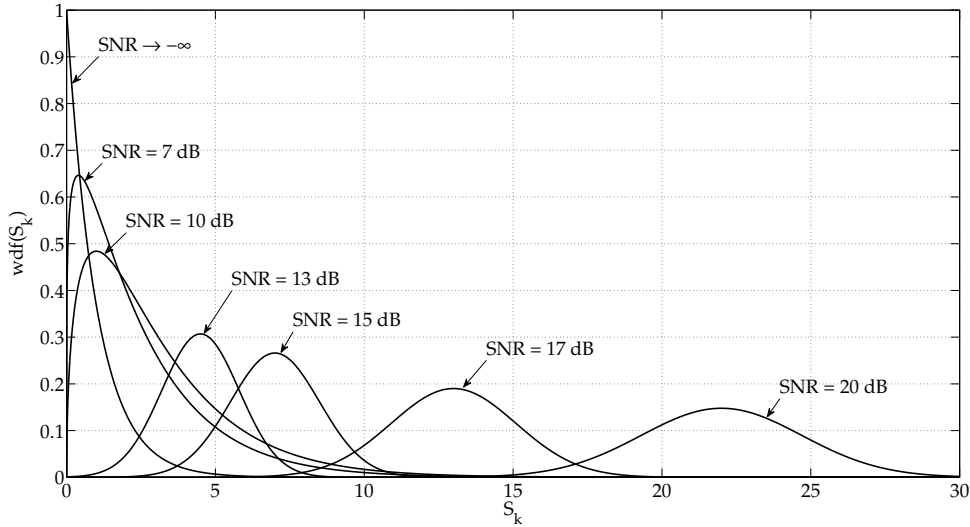


Abb. 4.13: Wahrscheinlichkeitsdichtefunktion von S_k in Abhängigkeit des SNR (Verhältnis der Signalleistung zur Rauschleistung). Für eine vernachlässigbare Signalleistung ($\text{SNR} \rightarrow -\infty$) geht $\text{wdf}(S_k)$ in die exponentielle Funktion über. Für eine große Signalleistung ($\text{SNR} \geq 15$ dB) kann $\text{wdf}(S_k)$ durch eine Normalverteilung approximiert werden.

stellt hier das Verhältnis der Leistung vom Signal $x(n)$, die im Bin $k=M$ bzw. $k=N-M$ enthalten ist, zu der Leistung der Rauschfolge $\eta(n)$, die im Bin $k=M$ bzw. $k=N-M$ enthalten ist. Wie in der Abb. 4.13 angedeutet, kann die Wahrscheinlichkeitsdichtefunktion für große SNR, d.h. für ein sehr starkes deterministisches Signal $x(n)$, durch eine Normalverteilung beschrieben werden. Dies lässt sich unter Verwendung der asymptotischen Näherung für die modifizierte Besselfunktion $I_0(\cdot)$ mathematisch auch sehr einfach nachweisen [BSM05]. Für SNR-Werte größer als ca. 15 dB wird die Wahrscheinlichkeitsdichtefunktion von S_k durch eine Normalverteilung mit folgenden statistischen Kenngrößen approximiert:

$$\mu_{S_k} \approx \mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2, \tag{4.82}$$

$$\sigma_{S_k}^2 \approx 4\sigma_{Z_k}^2 (\mu_{\text{Re}\{Z_k\}}^2 + \mu_{\text{Im}\{Z_k\}}^2). \tag{4.83}$$

Abbildung 4.13 zeigt insbesondere aber auch einen zweiten wichtigen Grenzfall. Verschwindet die Amplitude des deterministischen Signals $x(n)$, so geht die Wahrscheinlichkeitsdichtefunktion von S_k in die bekannte exponentielle Verteilung über (siehe Gl. (4.59)), die durch Angabe eines einzigen Parameters vollständig beschrieben werden kann. Durch numerische Auswertung von Gl. (4.78) können Vertrauensgrenzen für die Variable S_k angegeben werden. Für den Fall, dass der SNR-Wert größer als

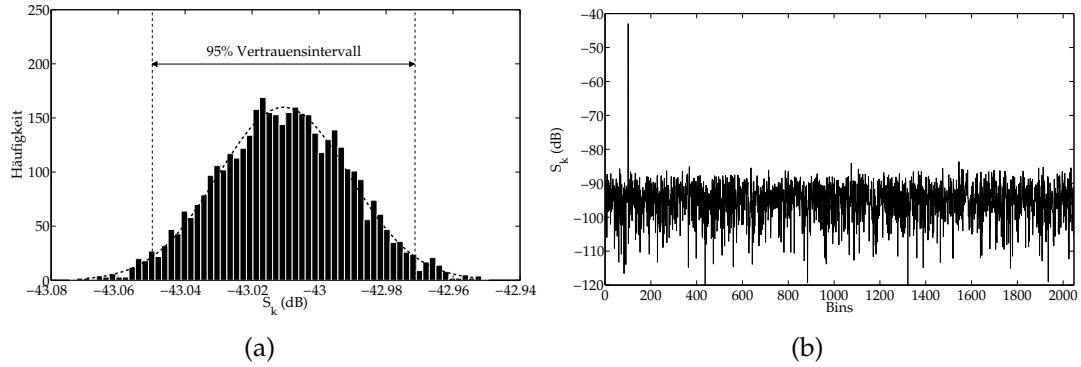


Abb. 4.14: (a) Histogramm der Zufallsvariable S_{101} . (b) Leistungsdichtespektrum der Folge $z(n)$ (4096 Abtastwerte) am Eingang des Goertzel-Filters.

15 dB ist, kann die approximierte Normalverteilung zur Bestimmung der Vertrauensgrenzen herangezogen werden. Die approximierten Vertrauensgrenzen für die stochastische Variable S_k und somit für die Signalleistung bei einer Irrtumswahrscheinlichkeit von 5% bzw. einer statistischen Sicherheit von 95% lauten:

$$\mu_{S_k} \pm 2\sigma_{S_k}^2 = \left(A_x \frac{N}{2} \right)^2 \pm 2\sqrt{\sigma_\eta^2 A_x^2 \frac{N^3}{2}}. \quad (4.84)$$

Man betrachtet wieder das Beispiel aus Abb. 4.7. Die Standardabweichung der Rauschspannung $\eta(n)$ ist $\sigma_\eta = 1$ mV. Die Amplitude des sinusförmigen Signals $x(n)$ ist $A_x = 10$ mV. Somit ist das Verhältnis Signal zu Rauschen (SNR) gleich 16.98 dB. D.h., die Wahrscheinlichkeitsdichtefunktion von S_{101} kann durch eine Normalverteilung approximiert werden. Deren Mittelwert wird mit Gl. (4.82) berechnet und lautet:

$$\mu_{S_{101}} = 2(3.536 \text{ mV})^2 = 25.007 \mu\text{V}^2 \text{ (entspricht } -43.0092 \text{ dB)}. \quad (4.85)$$

Die Standardabweichung wird mit Gl. (4.83) berechnet und lautet:

$$\sigma_{S_{101}} = 2(\sigma_{Z_{101}} \sqrt{\mu_{S_{101}}}) = 0.1105 \mu\text{V}^2 \text{ (entspricht } -66.556 \text{ dB)}. \quad (4.86)$$

Die Vertrauensgrenzen von S_{101} für eine statistische Sicherheit von 95% bei 4096 Abtastwerten lauten also:

$$\mu_{S_{101}} \pm 2\sigma_{S_{101}} \longrightarrow [-43.0477 \text{ dB} \dots -42.9709 \text{ dB}]. \quad (4.87)$$

Diese Werte stimmen mit dem Histogramm von S_{101} (Abb. 4.14(a)) und mit dem Leistungsdichtespektrum von $z(n)$ (Abb. 4.14(b)) überein.

4.5.4 Goertzel-basierte Schätzung der Parameter

Die Ergebnisse und Formeln der vorherigen Abschnitte stellen Werkzeuge dar, mit deren Hilfe die Leistung der Signalkomponente, der Rauschkomponente und der Harmonischen in der Testantwort am Ausgang des ADC mit hoher Genauigkeit abgeschätzt werden können. Ausgangspunkt ist die Annahme, dass das Rauschen unkorreliert ist. Die Leistung der Rauschkomponente in der Testantwort des ADC wird mit Gl. (4.39) berechnet. Die abgeschätzte Rauschleistung dient dann als Grundlage zur Auswahl der Anzahl von Abtastwerten N , die erforderlich sind, um eine vorgegebene Reproduzierbarkeit bei der Messung der Leistung der Signalkomponente bzw. Harmonischen zu erzielen (siehe Gl. (4.84)). Aus den abgeschätzten Leistungen werden die Parameter des ADC mit Hilfe der Gln. (4.34)-(4.37) ermittelt. Aus der Kenntnis der Vertrauensgrenzen der abgeschätzten Leistungen können dann Vertrauensgrenzen für die Parameter des ADC hergeleitet werden.

Das Signal-Rausch-Verhältnis (SNR) ist definiert als Quotient aus der Leistung der Signalkomponente und der Leistung der Rauschkomponente (siehe Gl. (4.34)). Die Signalleistung (\hat{P}_S) und Rauschleistung (\hat{P}_η) stellen zwei stochastische Variablen mit definierten Wahrscheinlichkeitsdichtefunktionen (Normalverteilung) dar. Der Quotient aus zwei normalverteilten Zufallsvariablen stellt wiederum eine neue Zufallsvariable dar, die jedoch *cauchyverteilt* ist [Fel68]:

$$\text{SNR} \sim \frac{\hat{P}_S}{\hat{P}_\eta}; \hat{P}_S \text{ und } \hat{P}_\eta \text{ normalverteilt} \Rightarrow \text{SNR cauchyverteilt.} \quad (4.88)$$

Da die Cauchy-Verteilung weder Erwartungswert noch Varianz besitzt, wird folgende Annahme getroffen, um Vertrauensgrenzen für das SNR herzuleiten. Es wird angenommen, dass die Varianz der Signalleistung (\hat{P}_S) im Vergleich zu der Varianz der Rauschleistung (\hat{P}_η) vernachlässigbar klein ist, d.h.

$$\frac{\sigma_{\hat{P}_S}^2}{\sigma_{\hat{P}_\eta}^2} \ll 1. \quad (4.89)$$

Diese Annahme steht im Einklang mit der Tatsache, dass der effektive Wert der Amplitude der Signalkomponente in der Regel viel größer als der effektive Wert der Amplitude der Rauschkomponente ist.

Vertrauensgrenzen für das SNR können somit angegeben werden, indem die abgeschätzte Leistung der Signalkomponente einfach durch die Vertrauensgrenzen für die

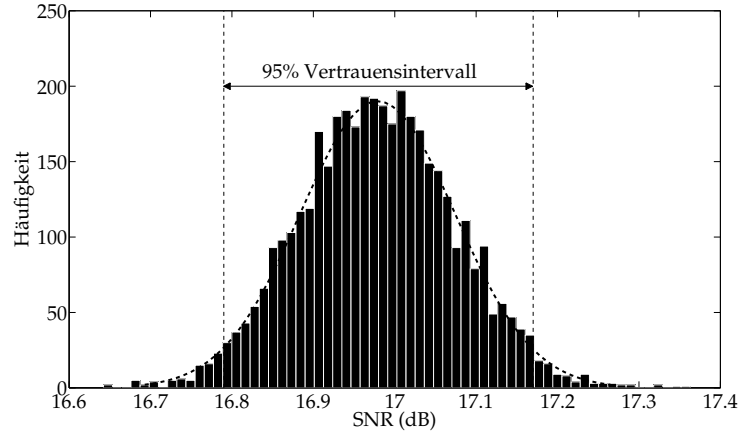


Abb. 4.15: Histogramm des mit dem Goertzel-basierten Verfahren ermittelten SNR-Parameters.

Rauschleistung (siehe Gl. (4.41)) dividiert wird:

$$\left(\frac{\chi_{\alpha/2; N-1}^2}{(N-1)s_{\eta}^2} \right) \hat{P}_S \leq \text{SNR} \leq \left(\frac{\chi_{1-\alpha/2; N-1}^2}{(N-1)s_{\eta}^2} \right) \hat{P}_S . \quad (4.90)$$

Die Quantile der χ^2 -Verteilung sind im Anhang in Tab. A.1 zu finden. Betrachtet man wieder das Beispiel aus Abb. 4.7 mit der weißen Rauschspannung ($\sigma_{\eta} = 1 \text{ mV}$) und dem sinusförmigen Signal ($A_x = 10 \text{ mV}$), dann erhält man folgendes Intervall bei 4096 Abtastwerte:

$$10 \log_{10} \left(\frac{3916}{4095} \cdot \frac{50 \mu\text{V}^2}{1 \mu\text{V}^2} \right) \leq \text{SNR} \leq 10 \log_{10} \left(\frac{4277}{4095} \cdot \frac{50 \mu\text{V}^2}{1 \mu\text{V}^2} \right) \quad (4.91)$$

$$16.79 \text{ dB} \leq \text{SNR} \leq 17.17 \text{ dB} \quad (4.92)$$

Das Vertrauensintervall wird bei steigender Anzahl von Abtastwerten N kleiner. Abbildung 4.15 zeigt das Histogramm des mit dem Goertzel-basierten Verfahren ermittelten SNR-Werts. Der Mittelwert liegt bei ca. 16.98 dB (entspricht tatsächlich dem wahren SNR-Wert) und die Standardabweichung beträgt ungefähr 0.1 dB.

Vertrauensgrenzen für das SINAD können auf ähnliche Weise hergeleitet werden. Das SINAD ist definiert als Quotient aus der Leistung der Signalkomponente und der Summe aus Rauschleistung und Leistung der Harmonischen. Nimmt man wieder an, dass die Varianz der Signalleistung im Vergleich zu der Varianz der Rauschleistung bzw. Summe der Leistungen der Harmonischen vernachlässigbar klein ist, dann gelten die in Gl. (4.90) für das SNR angegebenen Vertrauensgrenzen ebenfalls für das SINAD und somit auch für die effektive Anzahl von Bits (ENOB), da SINAD und

ENOB über Gl. (4.37) linear verknüpft sind.

Die gesamte harmonische Verzerrung (THD) ist definiert als Quotient aus der Summe der Leistungen der Harmonischen und der Leistung der Signalkomponente. Es wird wieder von der vorherigen Annahme Gebrauch gemacht. Die Varianz der Leistung der Signalkomponente ist vernachlässigbar klein im Vergleich zu der Varianz der Summe der Leistungen der Harmonischen. Die einzelnen Leistungen der Harmonischen stellen normalverteilte Zufallsvariablen mit definierten Mittelwerten (siehe Gl. (4.82)) und Varianzen (siehe Gl. (4.83)) dar. Deren Summe stellt wieder eine normalverteilte Zufallsvariable mit den folgenden Eigenschaften dar: der Mittelwert ist die Summe der Mittelwerte und die Varianz ist die Summe der Varianzen. Aus dem Mittelwert und der Varianz der Summe der Leistungen lassen sich nach Gl. (4.84) die Vertrauensgrenzen für das THD ableiten.

4.6 Zusammenfassung

In diesem Kapitel wurde ein Verfahren zur Extraktion und Auswertung der dynamischen Performanzparameter von ADCs vorgestellt. Das vorgestellte Verfahren basiert auf dem Goertzel-Algorithmus [Goe58], welcher die effiziente Extraktion beliebiger Frequenzkomponenten aus einem digitalisierten Testsignal ermöglicht. Im Vergleich zur bekannten schnellen Fourier-Transformation (FFT) stellt der Goertzel-Algorithmus die effizientere Alternative in den Anwendungen dar, welche die Berechnung von wenigen spektralen Komponenten erfordern. Der Algorithmus zeichnet sich dadurch aus, dass beliebige Frequenzkomponenten der Testantwort mit hoher Genauigkeit extrahiert werden können. In diesem Kapitel wurde außerdem die Reproduzierbarkeit bzw. die Genauigkeit des Verfahrens untersucht. Vertrauensgrenzen für die mit dem Verfahren extrahierten Parameter wurden angegeben. Diese dienen dem Testingenieur als Entscheidungshilfe, um einen adäquaten Kompromiss zwischen der erforderlichen Testgenauigkeit (d.h. Testqualität) und der dazu benötigten Testzeit (d.h. Testkosten) zu finden.

5 Experimentelle Ergebnisse

Das in dieser Arbeit entwickelte Verfahren zum eingebauten Selbsttest von analogen und gemischt analog-digitalen integrierten Schaltungen wurde implementiert und anhand von Simulationen und Messungen verifiziert. Im Folgenden werden die Details der praktischen Implementierung beschrieben und die Messergebnisse von ausgewählten Testkonfigurationen vorgestellt, die ein breites Spektrum möglicher Testfälle abdecken.

5.1 BIST-Hardware

Ein wesentliches Bewertungskriterium für jedes BIST-Verfahren liegt in der zusätzlichen Chip-Fläche, welche zur praktischen Implementierung des Verfahrens erforderlich ist. Dieser Abschnitt beschreibt die praktische Implementierung des entwickelten Verfahrens und gibt zudem eine gute Abschätzung des Ressourcenaufwands sowie der erzielbaren Performanz.

5.1.1 Digitaler Synthesizer

Der digitale Synthesizer ist die erste Stufe des Signalgenerators. Seine Aufgabe besteht darin, ein zeitdiskretes sinusförmiges Signal hoher spektraler Reinheit zu generieren. Im Abschnitt 3.2 werden verschiedene Verfahren zur Generierung zeitdiskreter sinusförmiger Signale vorgestellt. Für eine multipliziererfreie Implementierung des Signalgenerators kommt jedoch nur der CORDIC-basierte digitale Synthesizer infrage. Im Hinblick auf die vorgesehene Testanwendung muss das Ausgangssignal des digitalen Synthesizers die in Tab. 5.1 angegebenen Spezifikationen erfüllen.

Das Blockschaltbild des CORDIC-basierten digitalen Synthesizers ist in Abb. 3.7 dargestellt. Die Frequenzauflösung des Synthesizers hängt von der Wortbreite des Phasenakkumulators ab. Dieser wird mit 16 Bit (Frequenzauflösung $50 \text{ kHz} / 2^{16} = 0.76 \text{ Hz}$) so dimensioniert, dass die geforderte Spezifikation (Frequenzauflösung kleiner als 1 Hz) eingehalten werden kann. Das Ausgangssignal des Phasenakkumulators (Pha-

Abtastfrequenz	50 kHz
Frequenzauflösung	≤ 1 Hz
SNR (Nyquist-Band)	≥ 80 dB
Wortbreite des Signals	16 Bit

Tab. 5.1: Spezifikationen des digitalen Synthesizers.

senwert φ) ist zugleich das Eingangssignal des CORDIC-Moduls. Dieses Modul wandelt dann diese Phase in die entsprechende Amplitude ($\sin(\varphi)$ und/oder $\cos(\varphi)$) um. Zur Realisierung des Moduls wird die iterative CORDIC-Struktur (siehe Abb. 5.1(a)) ausgewählt [And98]. Somit ist eine Zustandsmaschine erforderlich, um den Datenfluss zu steuern. Die Anzahl der Iterationen wird auf 16 festgelegt, um den durch die Approximation des Winkels φ durch vorgegebene Teilwinkel hervorgerufenen Fehler unterhalb einer bestimmten Schranke zu halten. Die Auflösung der Teilwinkel und die verwendete Rechengenauigkeit betragen 16 Bit. Die Variablen x_0 und y_0 werden (falls erforderlich) mit einem Faktor G bzw. $-G$ initialisiert, um den bei den Iterationen auftretenden Verstärkungsfaktor K_n zu kompensieren. Das implementierte Modul berechnet zwar gleichzeitig den Sinus und den Kosinus, es wird jedoch nur der Sinus am Ausgang des digitalen Synthesizers weitergeleitet.

Das Leistungsdichtespektrum des Ausgangssignals des Synthesizers wird in Abb. 5.1(b) gezeigt. Hierbei wurde der Phaseninkrement Δf des Phasenakkumulators so konfiguriert, dass sich eine Ausgangsfrequenz von 988.77 Hz ($81 \cdot 50 \text{ kHz} / 4096$) einstellt. Zur Bestimmung des Leistungsdichtespektrums wurden 4096 Abtastwerte des Ausgangssignals aufgenommen und mit einer diskreten Fourier-Transformation (ohne Fensterung) in den Frequenzbereich überführt. Wie aus der Abbildung entnommen werden kann, besitzt das Leistungsdichtespektrum genau eine starke Komponente bei der Frequenz 988.77 Hz. Die übrigen Komponenten sind Rauschkomponenten, die durch Rundungsfehler (aufgrund der endlichen Arithmetik) bzw. Fehler des CORDIC-Algorithmus verursacht werden. Das Signal-Rausch-Verhältnis des erzeugten Signals erfüllt mit ca. 82 dB die in Tab. 5.1 geforderte Spezifikation. Es kann verbessert werden, indem die interne Rechengenauigkeit (Wortbreite der Addierer und Register) erhöht wird. Dies geht jedoch auf Kosten der benötigten Ressourcen.

5.1.2 Interpolationsfilter

Der Interpolationsfilter ist die zweite Stufe des Signalgenerators. Seine Aufgabe besteht darin, die Abtastrate des zeitdiskreten Eingangssignals um einen ganzzahligen

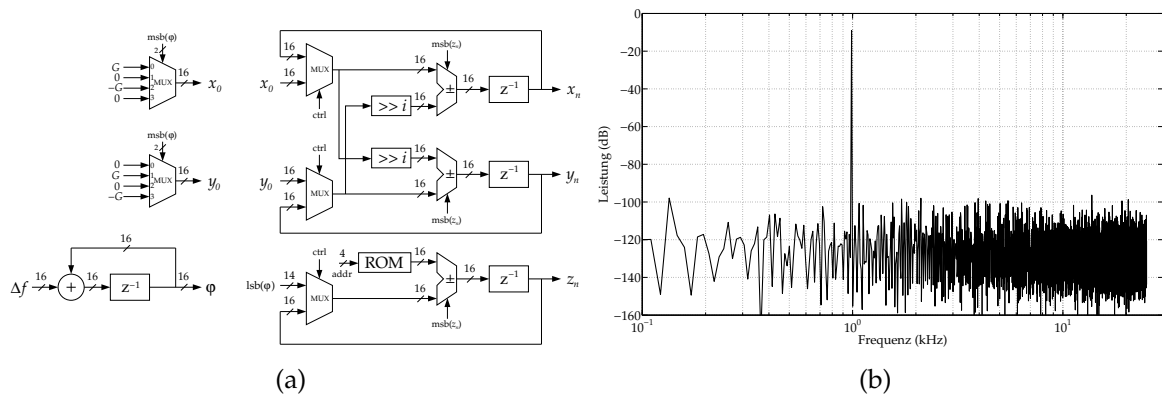


Abb. 5.1: (a) Festkomma-Realisierung der iterativen Struktur des CORDIC-Moduls .
 (b) Leistungsdichtespektrum des Signals am Ausgang des digitalen Synthesizers (Ausgangsfrequenz 988.77 Hz, Abtastrate 50 kHz).

Interpolationsfaktor M	64
Durchlassbereich	0 bis 20 kHz
Dämpfung im Durchlassbereich	≤ 0.01 dB
Dämpfung im Sperrbereich	≥ 100 dB

Tab. 5.2: Spezifikationen des Interpolationsfilters.

Faktor zu erhöhen. Im Abschnitt 3.3.1.2 wird eine spezielle Klasse von linearphasigen Filtern vorgestellt, die sich hervorragend für diese Aufgabe eignen: CIC-Filter. CIC-Filter kommen ohne Multiplizierer aus und stellen deshalb die günstigere Alternative zu typischen FIR-Filtern. Die Frequenzcharakteristik von CIC-Filtern wird durch 3 Parametern vollständig beschrieben: der Interpolationsfaktor M , die Anzahl der Stufen N und die Anzahl der Speicherregister pro Stufe L . Die Entwurfsaufgabe besteht also darin, aus einer gegebenen Frequenzspezifikation geeignete Parameterwerte zu finden. Die gewünschten Systemeigenschaften des Interpolationsfilters werden in Tab. 5.2 angegeben.

Ausgehend von dieser Spezifikation und mit Hilfe der Tabellen A.2 und A.3 im Anhang werden folgende Werte für die Parameter ausgewählt: $N = 3$, $L = 1$. Integrator- und Differentiator-Block bestehen jeweils aus 3 Stufen. Jede einzelne Stufe besteht wiederum aus einem Addierer und einem Register. Bei einer Festkommaarithmetik müssen diese so dimensioniert werden, dass Überläufe bei den Filterberechnungen vermieden werden. Abbildung 5.2(a) zeigt den implementierten Interpolationsfilter. Die Wortlänge des Ein- bzw. Ausgangssignals beträgt 16 Bit. Bei dem gewählten Interpolationsfaktor sind für jeden Eingangsabtastrwert 195 Additionen zur Berechnung eines Ausgangsabtastrwertes erforderlich. Die Latenz des Filters beträgt 130 Eingangs-

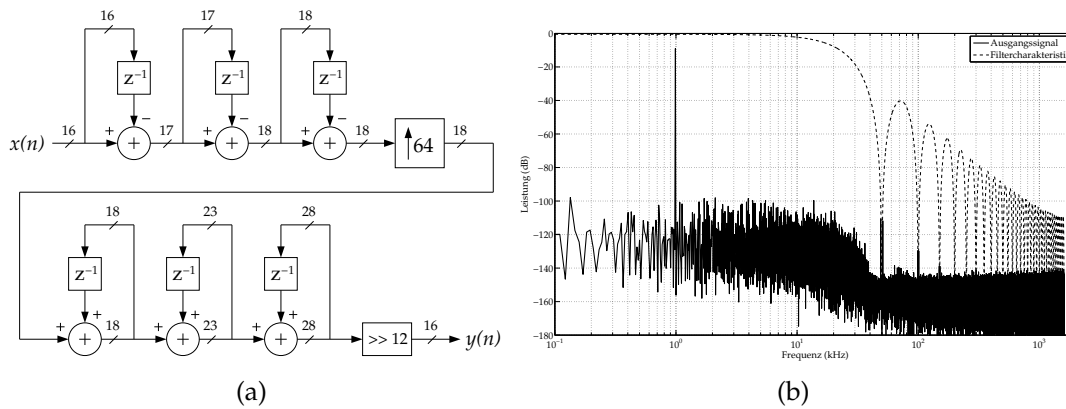


Abb. 5.2: (a) Festkomma-Realisierung des CIC-Interpolationsfilters. (b) Filtercharakteristik (gestrichelte Linie) und Leistungsdichtespektrum (durchgezogene Linie) der Antwort des Filters auf ein zeitdiskretes sinusförmiges Signal (Amplitude 0.5 V, Frequenz 988.77 Hz, Abtastrate 50 kHz).

abtastwerte.

Der Frequenzgang des implementierten Filters und das Leistungsdichtespektrum der Antwort des Filters auf ein zeitdiskretes sinusförmiges Signal (Amplitude 0.5 V, Frequenz 988.77 Hz, Abtastrate 50 kHz) werden in Abb. 5.2(b) gezeigt. Zur Bestimmung des Leistungsdichtespektrums der Antwort werden 262144 ($64 \cdot 4096$) Abtastwerte aufgenommen und mit der diskreten Fourier-Transformation (ohne Fensterung) in den Frequenzbereich überführt. Wie aus der Abbildung entnommen werden kann, beträgt die Abtastfrequenz der Antwort nun 3.2 MHz ($64 \cdot 50$ kHz). Die Komponenten bei den Spiegelfrequenzen (Vielfachen von 50 kHz) werden mit minimal 100 dB gedämpft und die Dämpfung im Durchlassbereich liegt mit maximal 0.008 dB noch in dem spezifizierten Toleranzbereich.

5.1.3 Rauschformungsfilter

Der Rauschformungsfilter ist die dritte Stufe des Signalgenerators. Seine Aufgabe besteht darin, das bei der $\Delta\Sigma$ -Modulation entstehenden Quantisierungsrauschen so zu formen, dass ein möglichst großer Teil der Rauschleistung außerhalb des Signalbands verschoben wird. Diese Rauschleistung kann anschließend mit einem Tiefpassfilter gedämpft werden. Im Folgenden werden der Entwurf und die Implementierung eines Rauschformungsfilters behandelt. Dieser soll die in Tab. 5.3 angegebene Spezifikationen erfüllen.

Die Entwurfsprozedur wird in [NST96] ausführlich erklärt. Zur Implementierung

SNR (Signalband)	≥ 80 dB
Überabtastungsfaktor	64
Signalband	0 bis 20 kHz

Tab. 5.3: Spezifikationen des Rauschformungsfilters.

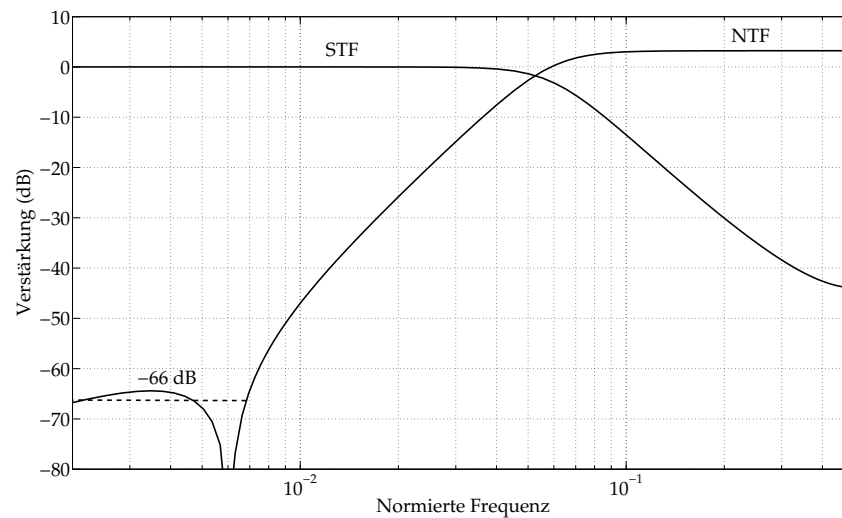


Abb. 5.3: Frequenzgang der Signal- (STF) und Rauschübertragungsfunktion (NTF).

der Rauschübertragungsfunktion (NTF) wird ein Tschebyscheff-Hochpassfilter dritter Ordnung gewählt. Seine Übertragungsfunktion lautet:

$$\text{NTF}(z) = \frac{(z - 1)(z^2 - 1.999z + 1)}{(z - 0.6916)(z^2 - 1.573z + 0.6872)}. \quad (5.1)$$

Die NTF und die sich ergebende Signalübertragungsfunktion (STF) werden in Abhängigkeit der Frequenz in Abb. 5.3 dargestellt. Aus dieser Abbildung geht hervor, dass die effektive Verstärkung der NTF im Signalband ca. -66 dB beträgt, während die maximale Verstärkung außerhalb des Signalbands ca. 3.5 dB beträgt. Zur Realisierung des Rauschformungsfilters wird eine Topologie aus rückgekoppelten kaskadierten Integratoren (*cascade-of-integrators, feedback form* - CIFB) ausgewählt (siehe Abb. 5.4(a)). Der Vorteil dieser Architektur besteht darin, dass die lokale Rückkopplung (Koeffizient g_1 in der Abb. 5.4(a)) eine optimale Anordnung der Nullstellen der NTF auf dem Einheitskreis erlaubt [NST96]. Für eine multipliziererfreie Realisierung des Rauschformungsfilters müssen die Filterkoeffizienten (g_1, b_1, c_1, c_2, c_3) als Zweierpotenzen bzw. als Summe von wenigen Zweierpotenzen quantisiert werden. Die Lage der Nullstellen der NTF verändert sich zwar dadurch, die Gesamtleistung des

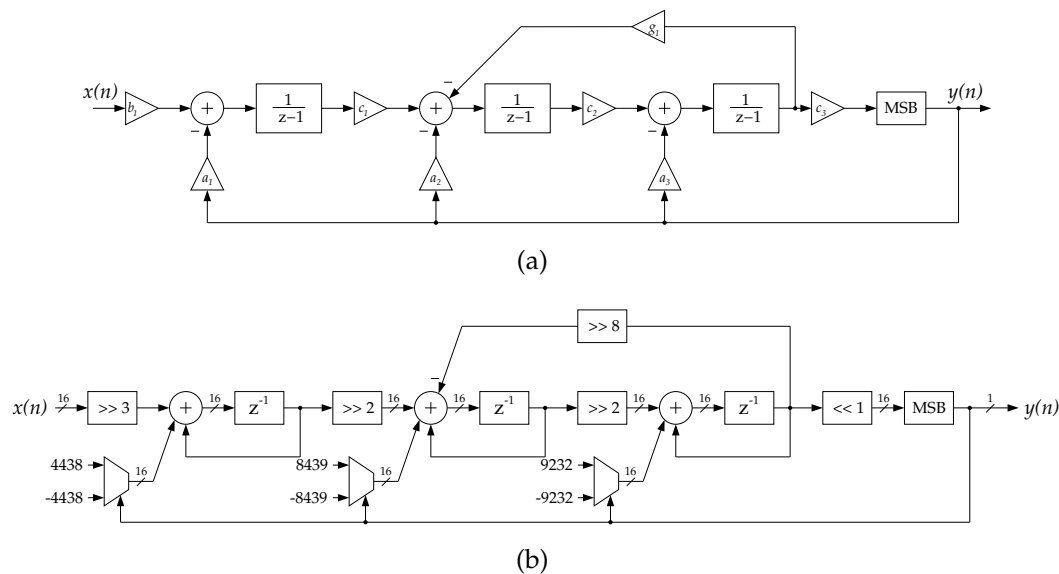


Abb. 5.4: (a) Blockschaltbild der CIFB-Topologie eines Rauschformungsfilters dritter Ordnung [NST96]. (b) Festkomma-Realisierung des Rauschformungsfilters.

Rauschformungsfilters wird jedoch durch geeignete Dimensionierung nicht wesentlich beeinflusst. Wird der Rauschformungsfilter mit Festkommaarithmetik implementiert, dann müssen die Dynamikbereiche der einzelnen Integriertoren sorgfältig abgeschätzt und die verwendete Rechengenauigkeit dementsprechend festgelegt werden.

Abbildung 5.4(b) zeigt den implementierten Rauschformungsfilter mit Festkommaarithmetik. Einen Ausschnitt der Antwort des Rauschformungsfilters auf ein sinusförmiges Signal (Amplitude 0.5 V, Frequenz 988.77 Hz, Abtastrate 3.2 MHz) wird in Abb. 5.5(a) gezeigt. Wie aus der Abbildung hervorgeht, wird das sinusförmige Eingangssignal (16 Bit) in ein 1-Bit-Signal umgewandelt. Das Leistungsdichtespektrum dieses Signal wird in Abb. 5.5(b) gezeigt. Zur Bestimmung des Leistungsdichtespektrums wurden 262144 Abtastwerte aufgenommen und mit der diskreten Fourier-Transformation (ohne Fensterung) in den Frequenzbereich überführt. Der Rauschformungsfilter erzielt ein SNR von 78.1 dB im Signalband (0 bis 20 kHz) bei einem Überabtaustungsfaktor von 64. Die maximale Eingangsspannung für eine stabile Operation des Rauschformungsfilters beträgt ungefähr 70% der Vollaussteuerung. Der maximal erreichbare SNR-Wert von 84.4 dB wird bei einer Eingangsamplitude von -3 dBFS erreicht.

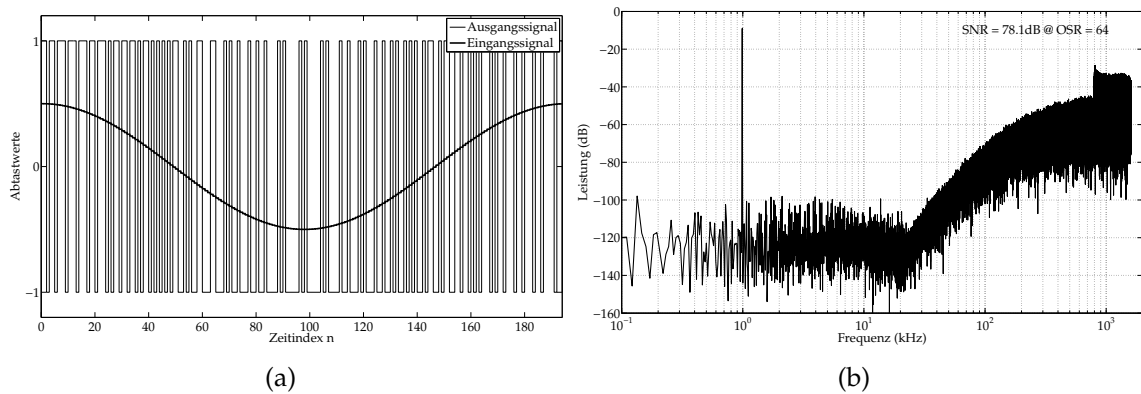


Abb. 5.5: (a) Ausschnitt der Antwort des Rauschformungsfilters auf ein zeitdiskretes sinusförmiges Signal (Amplitude 0.5 V, Frequenz 988.77 Hz, Abtastrate 3.2 MHz) im Zeitbereich. (b) Leistungsdichtespektrum dieser Antwort.

Durchlassbereich	0 bis 10 kHz
Sperrbereich	ab 40 kHz
Dämpfung im Durchlassbereich	≤ 0.1 dB
Dämpfung im Sperrbereich	≥ 80 dB

Tab. 5.4: Spezifikationen des analogen Tiefpassfilters.

5.1.4 Analoges Tiefpassfilter

Der analoge Tiefpassfilter ist die letzte Stufe des Signalgenerators. Seine Aufgabe besteht darin, das bei der $\Delta\Sigma$ -Modulation erzeugte hochfrequente Wandlungsrauschen außerhalb des Signalbands möglichst stark zu dämpfen. Seine Eigenschaften hängen somit von den Eigenschaften des vorgeschalteten $\Delta\Sigma$ -Modulators ab (siehe voriger Abschnitt). Aus diesen Kennwerten werden die folgenden Filtereigenschaften spezifiziert (Tab. 5.4).

Zwei Filterkategorien werden in Abschnitt 3.4 ausführlich untersucht. Beide können zur Implementierung des spezifizierten Filters eingesetzt werden. Da jedoch bei gleichen Frequenzspezifikationen der Tschebyscheff-Filter den Filter mit der geringsten minimal erforderlichen Ordnung darstellt, wird er ausgewählt und implementiert. Die minimal erforderliche Ordnung des Filters wird mit Gl. (3.85) bestimmt. Mit den spezifizierten Kennwerten ($A_0 = 0$ dB, $A_S = 80$ dB, $A_r = 0.1$ dB, $f_C = 10$ kHz, $f_S = 40$ kHz) kommt man auf eine Ordnung von 6. Der Filter wird als aktiver Filter mit der in Abschnitt 3.4 vorgestellten Sallen-Key-Schaltung realisiert. Die Dimensionierung der Schaltung wird mit Hilfe der Gln. (3.86)-(3.87) und der Tabellen in [TS09] vorgenommen. Die dimensionierte Schaltung wird in Abb. 5.6 dargestellt.

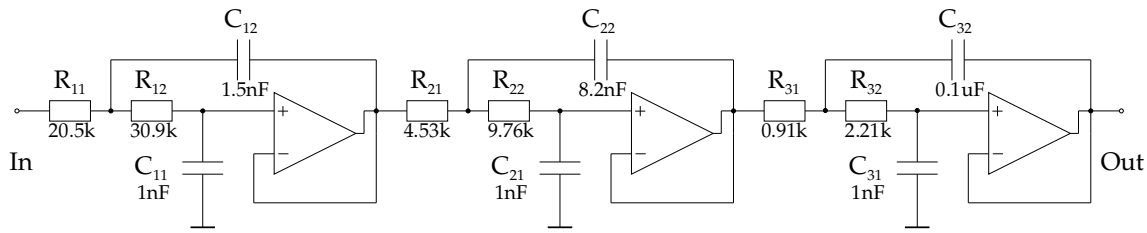


Abb. 5.6: Aktiver Tschebyscheff-Filter sechster Ordnung.

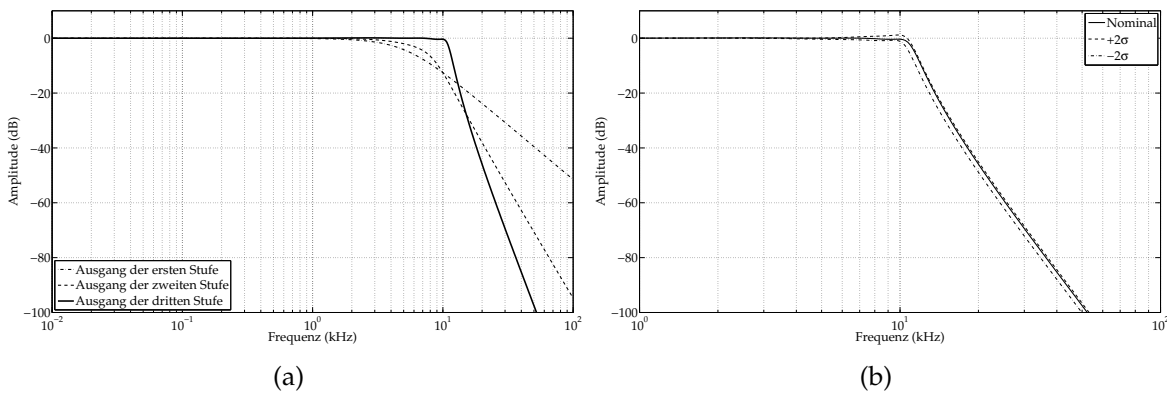


Abb. 5.7: (a) Amplitudengang des dimensionierten Tschebyscheff-Filters sechster Ordnung. (b) Monte-Carlo-Analyse des Amplitudengangs zur Untersuchung der Empfindlichkeit gegenüber Toleranzen von Widerständen und Kapazitäten.

Zur Untersuchung des Amplitudengangs wird eine AC-Analyse mit PSPICE durchgeführt. Die Widerstände, Kapazitäten und Operationsverstärker werden dabei als diskrete Bauelemente implementiert. Abbildung 5.7(a) stellt die Amplitudengänge der Teilfilter (gestrichelte Linien) sowie des gesamten Filters (durchgezogene Linie) dar. Wie aus der Abbildung entnommen werden kann, ist der Amplitudengang im Durchlassbereich (bis ca. 10 kHz) weitgehend konstant und sinkt dann unter -80 dB ab ca. 40 kHz. Der Amplitudengang des Filters ist größtenteils von den Werten der Widerstände und Kapazitäten abhängig. Diese sind jedoch toleranzbehaftet. Um den Einfluss dieser Toleranzen auf den Amplitudengang des Filters zu untersuchen, wird eine Monte-Carlo-Analyse durchgeführt. Das Ergebnis der Monte-Carlo-Analyse (5% Toleranz, 1000 Simulationen) wird in Abbildung 5.7(b) dargestellt. Die durchgezogene Linie stellt den nominalen Amplitudengang dar. Die gestrichelten Linien stellen die Grenzen des Vertrauensintervalls ($\pm 2\sigma$) dar. Wie aus der Abbildung entnommen werden kann, bleiben die Filtereigenschaften weiterhin innerhalb eines akzeptablen Toleranzbereichs.

5.1.5 Goertzel-Filter

Die Aufgabe des Goertzel-Filters besteht darin, die Amplitude einzelner Frequenzkomponenten eines gegebenen zeitdiskreten Signals zu bestimmen. Der Goertzel-Filter stellt gegenüber einem vergleichbaren FFT-Modul die effizientere Alternative dar, wenn lediglich wenige Frequenzkomponenten zu bestimmen sind. Im Hinblick auf die vorgesehene Anwendung als hochauflösender Spektralanalysator muss der zu implementierende Goertzel-Filter noch in der Lage sein, Frequenzkomponenten mit einer Leistung von ca. -80 dB zu erkennen.

Die herkömmliche Struktur des Goertzel-Filters wird in Abb. 4.5 gezeigt. Zur Implementierung dieser Struktur sind ein komplexer Multiplizierer, ein reeller Multiplizierer, zwei Addierer, ein Subtrahierer und zwei Register erforderlich. Die Anzahl der Ressourcen kann folgendermaßen reduziert werden [TMS08a]. Die Gleichungen (4.22) und (4.23) werden zuerst umgeschrieben.

$$v(n) = x(n) - 2 \left[\frac{1}{2}v(n-2) + a_k v(n-1) \right], \quad (5.2)$$

$$\operatorname{Re}\{y_k\} = v(n) + a_k v(n-1), \quad (5.3)$$

$$\operatorname{Im}\{y_k\} = b_k v(n-1), \quad (5.4)$$

mit $a_k = -\cos(\omega_k)$ und $b_k = \sin(\omega_k)$. Es wird dann die Tatsache ausgenutzt, dass Gleichungen (5.3) und (5.4) lediglich nach der N -ten Iteration ausgeführt werden müssen. Die resultierende Struktur wird in Abb. 5.8(a) dargestellt. Sie weist folgende Vorteile auf: (1) es sind nur noch zwei reelle Multiplizierer erforderlich, da der komplexe Multiplizierer (Abb. 4.5) durch einen reellen Multiplizierer ersetzt wird. (2) Die Schieberegister für die Division bzw. Multiplikation mit zwei werden durch feste Verdrahtung realisiert und verbrauchen somit keine zusätzlichen Ressourcen. Der Goertzel-Filter berechnet die Amplitude eines durch die Koeffizienten a_k und b_k definierten Punkts des Frequenzspektrums. Sollen mehrere Punkte berechnet werden, stehen dann zwei grundlegende Architekturen zur Auswahl: (1) die parallele Architektur (auf Durchsatz optimiert), welche zu jedem Punkt einen Goertzel-Filter bereitstellt. (2) Die serielle Architektur (auf Ressourcen optimiert), welche einen einzigen Goertzel-Filter mit programmierbaren Koeffizienten verwendet. Der in dieser Arbeit implementierte Goertzel-Filter (Abb. 5.8(b)) verwendet die serielle Architektur und kommt durch gemeinsame Nutzung der Ressourcen mit einem einzigen reellen Multiplizierer aus. Bis zu 16 Koeffizienten (d.h. 16 Punkte des Frequenzspektrums) können programmiert werden.

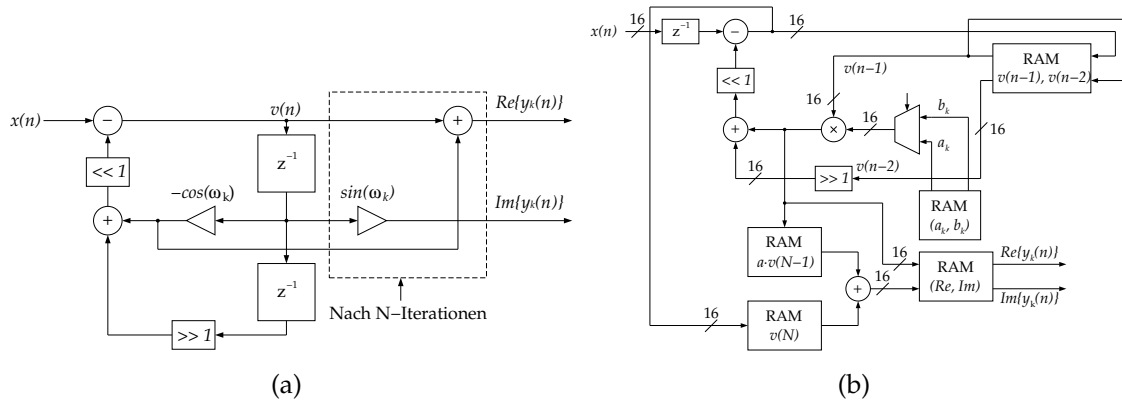


Abb. 5.8: (a) Optimierte Struktur des Goertzel-Filters [TMS08a]. (b) Realisierung des Filters mit Festkommaarithmetik.

Koordinatensystem	Modus	Anfangswerte	Endwerte
zirkular	Vectoring	$x_0 = x$ $y_0 = y$ $z_0 = \Theta$	$x_n = K_n \sqrt{x^2 + y^2}$ $y_n = 0$ $z_n = \Theta + \arctan\left(\frac{y}{x}\right)$
linear	Rotation	$x_0 = x$ $y_0 = y$ $z_0 = z$	$x_n = x$ $y_n = y + x \cdot z$ $z_n = 0$
linear	Vectoring	$x_0 = x$ $y_0 = y$ $z_0 = z$	$x_n = x$ $y_n = 0$ $z_n = z + \frac{y}{x}$

Tab. 5.5: Auswahl von mathematischen Funktionen, die mit dem CORDIC berechnet werden können [Wal71].

5.1.6 Leistungs- und Parameterschätzer

Der Leistungsschätzer ist die zweite Stufe der Auswerteeinheit. Seine Aufgabe besteht darin, die vom Goertzel-Filter berechneten Amplitudenwerte ($Re\{Y_k\}$ und $Im\{Y_k\}$) in Leistungen (P_k) umzurechnen. Diese Leistungen werden dann vom Parameterschätzer benutzt, um die Parameterwerte (z.B. THD, SNR, usw.) zu bestimmen.

Die Umrechnung von Amplituden in Leistungen und die anschließende Parameterauswertung erfordern sehr viele Multiplikationen. Die Verwendung von dedizierten Multiplizierern kann umgangen werden, indem man auf den CORDIC-Algorithmus zurückgreift. Dieser wurde bisher zur Berechnung trigonometrischer Funktionen (Sinus und Kosinus) eingesetzt. Der Algorithmus kann jedoch bei entsprechender Konfiguration weit mehr Funktionen berechnen [Wal71]. Tabelle 5.5 listet eine Auswahl von Funktionen auf, die zur Implementierung des Leistungs- und Parameterschätzers

gebraucht werden.

Der Kern des Leistungs- und Parameterschätzers ist also ein voll programmierbares CORDIC-Modul. Die Prozedur zur Berechnung der Parameter (z.B. THD) sieht folgendermaßen aus:

- (1) Zirkulares Koordinatensystem, Vectoring-Modus; das Modul berechnet den Betrag des komplexen Amplitudenzeigers: $|Y_k| = \sqrt{[\text{Re}\{Y_k\}]^2 + [\text{Im}\{Y_k\}]^2}$.
- (2) Lineares Koordinatensystem, Rotationsmodus; das Modul berechnet das Quadrat des Betrags des komplexen Amplitudenzeigers: $P_k = |Y_k| \cdot |Y_k|$.
- (3) Schritt 1 und 2 werden für alle Frequenzkomponenten (Signalkomponente, Harmonische) wiederholt.
- (4) Lineares Koordinatensystem, Vectoring-Modus; das Modul berechnet das Verhältnis der Oberwellenleistungen zu der Signalleistung: $\text{THD} = \frac{P_{\text{HAR}}}{P_{\text{SIG}}}$. Das Ergebnis ist der gesuchte THD-Wert.

Die anderen Parameter (SNR, SINAD, usw.) können auf ähnliche Art und Weise bestimmt werden.

5.1.7 Ressourcenabschätzung

Die in den vorigen Abschnitten vorgestellten digitalen Blöcke wurden in dem Xilinx XC3S500E FPGA [Xil05] implementiert. Dieses FPGA stellt eines der kleinsten FPGAs der Spartan-3E-Familie dar und erlaubt Taktfrequenzen von bis zu 280 MHz, was mehr als genug Spielraum für die Implementierung des Interpolationsfilters und des Rauschformungsfilters bietet. Der FPGA-Entwurf wird mit Hilfe der Software Xilinx ISE 9.1 [Xil09] realisiert.

Tabelle 5.6 fasst die Ergebnisse der FPGA-Implementierung zusammen. Man stellt fest, dass das verwendete FPGA genug Ressourcen enthält, um die vollständige digitale BIST-Hardware (Auswerteeinheit und digitaler Teil des Signalgenerators) zu implementieren. Die maximal mögliche Taktfrequenz wird von dem Rauschformungsfilter festgelegt und beträgt 82 MHz. Dadurch ist eine Echtzeitverarbeitung der Testantworten des DUT möglich.

Um den Ressourcenaufwand im Rahmen einer BIST-Implementierung zu reduzieren, können die auf dem Chip bereits vorhandenen Ressourcen verwendet werden. Falls eine leistungsfähige DSP-Einheit auf dem Chip vorhanden ist, dann können z.B. der

FPGA Ressourcen	DDS	CIC	RFF	GF	LPS
4 input LUTs (9312)	114	141	141	99	557
Slices flip-flops (9312)	196	202	64	32	546
Slices (4656)	121	110	74	69	293
Block RAMs (20)	0	0	0	0	1
Ded. Multipliers (20)	0	0	0	2	0
Max. Frequenz	206 MHz	185 MHz	82 MHz	140 MHz	181 MHz

Tab. 5.6: FPGA-Implementierung der BIST-Hardware: Ressourcenverbrauch und Performanz auf dem Xilinx Spartan-3E XC3S100E [Xil05]. (DDS: digitaler Synthesizer, CIC: Interpolationsfilter, RFF: Rauschformungsfilter, GF: Goertzel-Filter, LPS: Leistungs- und Parameterschätzer).

digitale Synthesizer und die Auswerteeinheit in Form von Software auf dieser DSP-Einheit implementiert werden.

5.2 Versuchsaufbau

Um das vorgeschlagene Verfahren zu validieren, wurden zahlreiche Simulationen und physikalische Experimente durchgeführt. Die Versuchsanlage besteht u.a. aus einer Workstation (PC), einem FPGA-basierten Entwicklungsboard und diskreten analogen Komponenten. Das verwendete Entwicklungsboard ist das Spartan-3E Starterkit, welches u.a. ein XILINX XC3S500E FPGA (500k Gatter) und ein 14-Bit serieller ADC (LTC1407A) enthält. Ausführliche Details zu dem Entwicklungsboard sowie zu dem ADC können hier [Lin04, Xil06] nachgeschlagen werden.

Zur Durchführung der Messungen werden vier Testkonfigurationen implementiert. Die erste Testkonfiguration (Abb. 5.9(a)) zielt darauf, den vom Rauschformungsfilter generierten Bitstream als gültiges analoges Testsignal zu validieren. In dieser Konfiguration wird der Bitstream auf der Workstation generiert und in einem Speicher auf dem Entwicklungsboard abgelegt. Der Inhalt des Speichers wird dann ausgelesen und an den Eingang eines externen analogen Filters (Tschebyscheff Tieffpass sechster Ordnung) gelegt. Das Signal am Ausgang des analogen Filters wird dann mit einem Spektrumanalysator untersucht. Daraus werden die Spezifikationen (SNR) des analogen Testsignals bestimmt.

In der zweiten Testkonfiguration (Abb. 5.9(b)) wird die Genauigkeit der Auswerteeinheit (auf dem FPGA) untersucht. Dazu wird auf der Workstation ein zeitdiskreter Teststimulus mit spezifizierten Eigenschaften erzeugt. Dieser Teststimulus wird auf das Entwicklungsboard übertragen und von der Auswerteeinheit verarbeitet. Die Ergebnisse dieser Verarbeitung werden dann mit Referenzwerten auf der Workstation

verglichen.

In der dritten Testkonfiguration (Abb. 5.9(c)) werden die Parameter des 14-Bit seriellen ADC mit dem vorgeschlagenen Verfahren ermittelt. Der Bitstream wird jetzt auf dem Board generiert. Die dazu erforderlichen Komponenten (digitaler Synthesizer, Interpolationsfilter und Rauschformungsfilter) werden auf dem FPGA implementiert. Der Bitstream gelangt über einen analogen Filter an den Eingang des ADC. Die Antwort des ADC wird aufgenommen und von der Auswerteeinheit verarbeitet. Zu Vergleichszwecken wird die aufgenommene ADC-Antwort ebenfalls an die Workstation übertragen, wo eine FFT-basierte Nachverarbeitung durchgeführt wird. In der vierten und letzten Testkonfiguration (Abb. 5.9(d)) wird der Frequenzgang eines externen analogen Verstärkers ermittelt. Dazu wird der bereits verifizierte ADC verwendet. Diese Testkonfiguration ist nahezu identisch mit der dritten Testkonfiguration. Die analoge Signalgenerierung und die Auswertung der Testantworten werden ebenfalls auf dem Board durchgeführt. Die Testprozedur dauert jedoch wesentlich länger, da die Generierung von Mehrfrequenzsignalen mit dem implementierten Signalgenerator nicht möglich ist. Deshalb muss für jeden zu bestimmenden Frequenzpunkt das entsprechende analoge Testsignal einzeln generiert werden.

5.3 Bewertung des Signalgenerators

Das Ziel dieser Messung ist die Bestimmung der Qualität des generierten analogen Testsignals. Hierfür wird die erste Testkonfiguration (Abb. 5.9(a)) verwendet. Der Bitstream-Generator (digitaler Synthesizer, Interpolationsfilter und Rauschformungsfilter) wird softwaremäßig auf der Workstation implementiert. Der generierte Bitstream hat eine Abtastrate von 3.2 MHz und erzielt ein (simuliertes) SNR von 78.1 dB im Signalband (0 bis 20 kHz) bei einer Signalfrequenz von 988.77 Hz. Der generierte Bitstream (2^{18} Abtastwerte) wird in einen Speicher auf dem Entwicklungsboard abgelegt, welcher sequenziell abgelesen wird. Der periodisch wiederholte Bitstream dient dann als Eingangssignal des in Abschnitt 5.1.4 beschriebenen analogen Tiefpassfilters. Das Ausgangssignal dieses Filters wird anschließend von einem Spektrumanalysator aufgenommen und analysiert.

Das gemessene Leistungsdichtespektrum (Frequenzbereich von 0 bis 20 kHz) wird in Abb. 5.10(a) gezeigt. Zum Vergleich wird ebenfalls das simulierte Leistungsdichtespektrum gezeigt, welches sich aus der diskreten Fourier-Transformation des digitalen Bitstreams ergibt (Abb. 5.10(b)). Wie aus der Abbildung entnommen werden kann, besitzt das gemessene Leistungsdichtespektrum ein höheres Grundrauschen

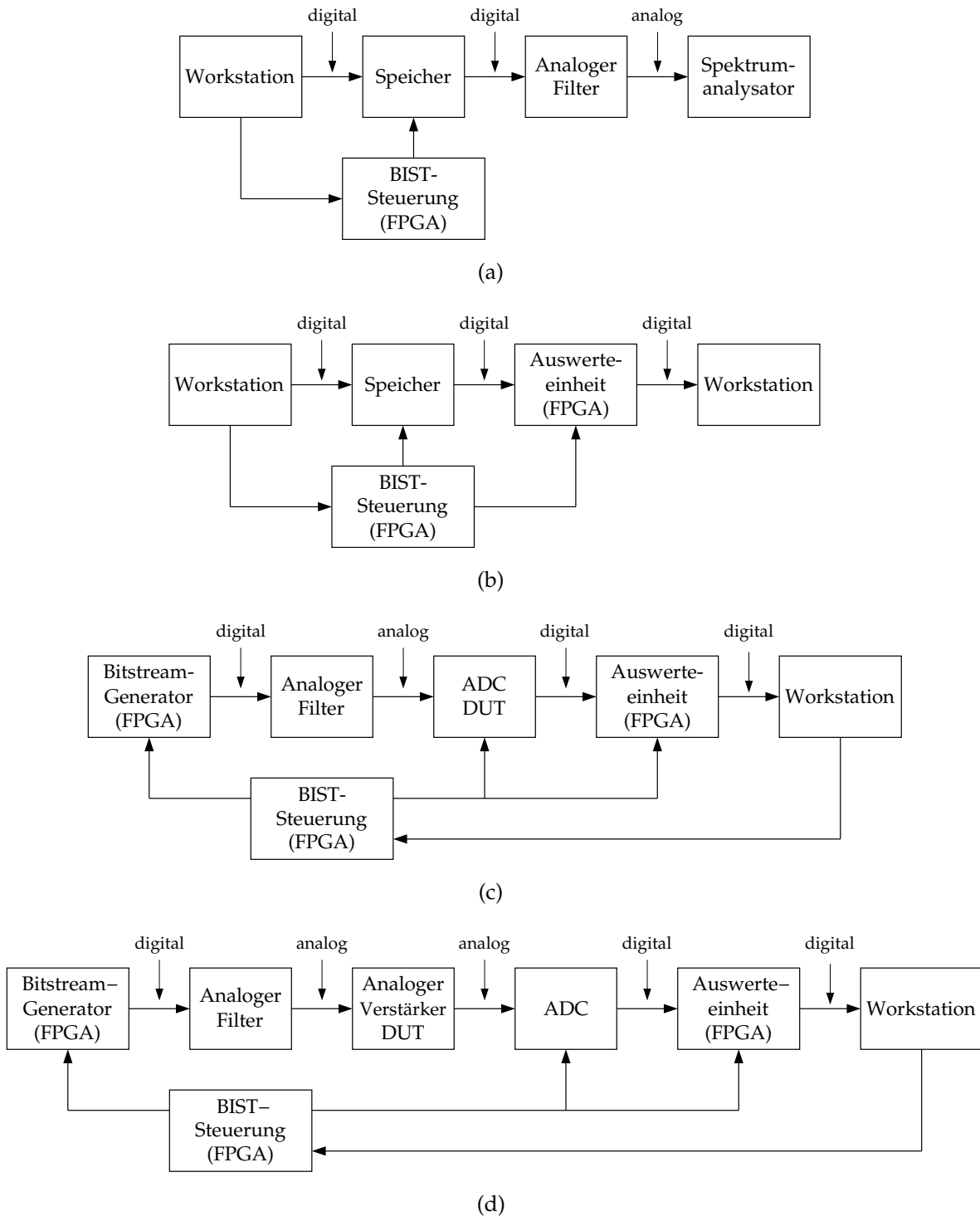


Abb. 5.9: Testkonfigurationen zur Durchführung der experimentellen Messungen. (a) Bewertung des Signalgenerators. (b) Bewertung der Auswerteeinheit. (c) Auswertung der Parameter des ADC. (d) Auswertung des Frequenzgangs eines analogen Verstärkers.

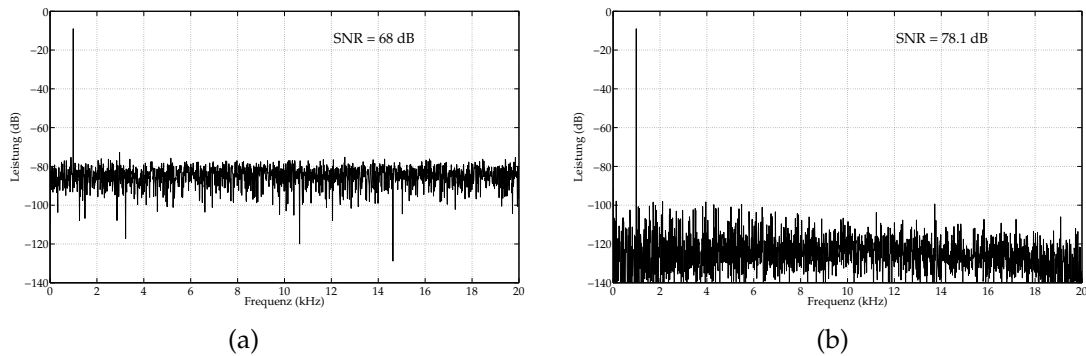


Abb. 5.10: (a) Gemessene und (b) simulierte Leistungsdichtespektren (Frequenzbereich 0 bis 20 kHz) eines tiefpassgefilterten Bitstreams mit den folgenden Eigenschaften: Abtastrate 3.2 MHz, Signalfrequenz 988.77 Hz.

(ca. -80 dB) als das simulierte Leistungsdichtespektrum (ca. -110 dB). Dies spiegelt sich in dem niedrigeren gemessenen SNR von ca. 68 dB wider.

Dieser Unterschied beruht auf der Tatsache, dass der physikalische Bitstream am Eingang des analogen Filters aus elektrischen Impulsen besteht, deren Anstiegs- und Abfallzeiten ungleich Null sind und deren Flankensteilheiten unsymmetrisch und jitterbehaftet sind. Außerdem verursacht die elektromagnetische Umgebung der verwendeten Testanlage ein Signal überlagerndes Rauschen. Diese Effekte tragen erheblich zur Verschlechterung der Signalqualität bei. Das simulierte SNR von 78.1 dB stellt also einen idealen Fall dar, welcher in der Praxis nie erreicht wird. Nichtsdestotrotz reicht die Qualität des generierten analogen Testsignals (SNR von 68 dB) zur Charakterisierung eines 10-Bit ADC (theoretisches SNR von 62 dB) vollkommen aus.

5.4 Bewertung der Auswerteeinheit

In diesem Versuch geht es darum, die vorgeschlagene Auswerteeinheit mit dem FFT-basierten Standardverfahren zu vergleichen. Hierfür wird die zweite Testkonfiguration (Abb. 5.9(b)) verwendet. Um Unterschiede zwischen beiden Verfahren hervorzuheben, wird als Testsignal das digitale Ausgangssignal eines idealen 12-Bit ADC (SNR in der Größenordnung von 74 dB) verwendet. Da ein Signal solcher Auflösung auf der verwendeten Testanlage nicht erzeugt werden kann, wird es auf der Workstation nachgebildet. Das künstlich erzeugte Testsignal besitzt eine Amplitude von 1 V, eine Frequenz von 988.77 Hz, eine Abtastrate von 50 kHz. Das generierte Testsignal (4096 Abtastwerte) gelangt über einen Speicher an den Eingang der Auswerteein-

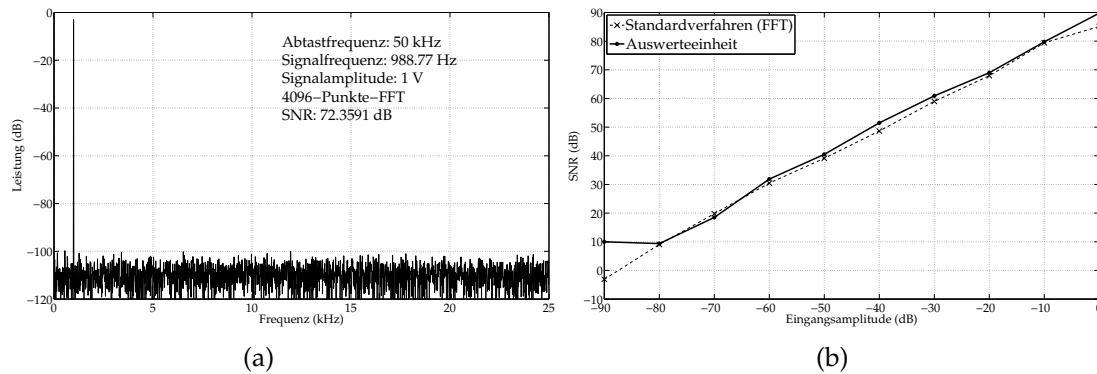


Abb. 5.11: (a) Leistungsdichtespektrum des verwendeten Testsignals (Amplitude 1 V, Signalfrequenz 988.77 Hz, Abtastrate 50 kHz). Das FFT-basierte Standardverfahren ergibt ein SNR von 72.3591 dB. (b) SNR als Funktion der Eingangsamplitude des Testsignals.

heit auf dem FPGA. Die Ergebnisse der Auswerteeinheit werden dann mit denen des Standardverfahrens auf der Workstation verglichen.

Abbildung 5.11(a) zeigt das Leistungsdichtespektrum des Testsignals, das mit dem Standardverfahren (4096-Punkte-FFT ohne Fensterung) ermittelt wurde. Es ergibt sich ein SNR von 72.3591 dB. Zum Vergleich berechnet die Auswerteeinheit ein SNR von 72.4826 dB. Die Abweichung ist geringfügig und liegt noch in dem 95% Vertrauensintervall (± 0.1915 dB bei 4096 Abtastwerte).

Als Nächstes wird die Genauigkeit der Auswerteeinheit in Abhängigkeit der Anzahl der Abtastwerte untersucht. Dies ist von großer Bedeutung, da die Anzahl der Abtastwerte proportional zur Testzeit und somit zu den Testkosten ist. Tabelle 5.7 fasst die Ergebnisse dieser Untersuchung zusammen. Wie erwartet steigt die Genauigkeit mit der Anzahl von Abtastwerten N an. Man kann ebenfalls feststellen, dass bereits bei 512 Abtastwerten die Grenzen des 95% Vertrauensintervalls unterhalb 1 dB liegen. Die Anzahl der Abtastwerte (Testzeit) kann also hier, ohne signifikante Verschlechterung der Genauigkeit (Testqualität), wesentlich reduziert werden.

Anschließend wird die minimale Auflösung der Auswerteeinheit ermittelt. Dazu erzeugt man ein digitales Testsignal bestehend aus einer sinusförmigen Komponente und einer Rauschkomponente. Die gesamte Rauschleistung beträgt hierbei -90 dB. Die Amplitude der sinusförmigen Komponente wird über den Bereich -90 bis 0 dB schrittweise variiert. Das SNR wird dabei jedesmal von der Auswerteeinheit berechnet. Abb. 5.11(b) zeigt das Ergebnis. Die gestrichelte bzw. durchgezogene Linie stellt das Ergebnis der Berechnung mit dem Standardverfahren auf der Workstation bzw. mit der Auswerteeinheit auf dem FPGA dar. Beide Kurven weisen einen ähnlichen

Anzahl der Abtastwerte N	SNR	
	Mittelwert (dB)	2σ -Abweichung (dB)
128	69.7412	± 1.0918
256	70.6923	± 0.7690
512	71.5377	± 0.5427
1024	71.5664	± 0.3834
2048	72.3422	± 0.2709
4096	72.4826	± 0.1915

Tab. 5.7: Genauigkeit der Auswerteeinheit in Abhängigkeit der Anzahl von Abtastwerten N .

Verlauf bis zu einer Signalamplitude von -80 dB auf. Von da an können geringere Signalamplituden aufgrund des internen Rundungsrauschens der Auswerteeinheit nicht mehr fehlerfrei aufgelöst werden. Die implementierte Auswerteeinheit besitzt also eine Amplitudenauflösung von ca. -80 dB. Diese Auflösung kann zwar verbessert werden, indem die interne Rechengenauigkeit der Auswerteeinheit vergrößert wird. Dies geht jedoch auf Kosten zusätzlicher Ressourcen.

Jetzt wird das vorgeschlagene Verfahren mit dem Standardverfahren im Hinblick auf die Testzeit verglichen. Hierfür werden zwei Testszenarien betrachtet. Das erste Testszenario (Standardverfahren) besteht darin, die aufgenommene Antwort des DUT auf den externen ATE zu übertragen, welcher dann eine FFT zur Überführung der Testantwort in den Frequenzbereich gefolgt von einer Nachverarbeitung zur Auswertung des Frequenzspektrums durchführt. Das zweite Testszenario (Goertzel-basierte Parameterauswertung) besteht darin, die aufgenommene Antwort des DUT direkt auf dem Chip (hier auf dem FPGA) zu verarbeiten und lediglich die Ergebnisse der Auswertung auf den externen ATE zu übertragen.

Tabelle 5.8 gibt die auf einem typischen ATE gemessene Testzeiten (Testszenario 1) sowie die für das verwendete FPGA simulierte Testzeiten (Testszenario 2) an. Die gemessene Testzeit des Standardverfahrens beträgt insgesamt 100 ms. Davon werden 22 ms für die Aufnahme der Testantwort des DUT, 63 ms für den Transfer der Testantwort zum externen ATE und etwa 15 ms für die anschließende Verarbeitung verwendet. Bei dem zweiten Testszenario entfällt der größte Teil des Datentransfers zum ATE (0.48 ms). Die gesamte Testzeit beträgt nur noch 22.5 ms. Dies entspricht einer Testzeiteinsparung von ca. 77.5 ms (77%) im Vergleich zum Standardverfahren.

	Testszenario 1	Testszenario 2
Aufnahme der Testantwort	22 ms	22 ms
Transfer zum ATE	63 ms	0.48 ms
Nachverarbeitung	15 ms	20 μ s
Gesamttestzeit	100 ms	22.5 ms

Tab. 5.8: Vergleich des vorgeschlagenen Verfahrens mit dem Standardverfahren im Hinblick auf die Testzeit.

5.5 Messung der Testparameter des ADC

Das Ziel dieser Messung ist die Bestimmung der dynamischen Parameter (SNR, SINAD, ENOB, usw.) eines ADC. Hierfür wird die Testkonfiguration nach Abb. 5.9(c) verwendet. Die Generierung des analogen Testsignals erfolgt jetzt direkt auf dem Entwicklungsboard (Bitstream-Generator auf dem FPGA). Der zu testende Baustein (LTC1407A) ist ein 14-Bit serieller ADC mit einer maximalen Abtastrate von 1.5 MHz [Lin04]. Das digitale Ausgangssignal des ADC wird von der Auswerteeinheit auf dem FPGA verarbeitet und die dynamischen Parameter des ADC werden bestimmt.

Wie bereits festgestellt, erzielt der implementierte analoge Signalgenerator ein maximales SNR von 68 dB (gemessen). Dies reicht nicht aus, um einen 14-Bit ADC (theoretisches SNR von 86 dB) testen zu können. Um dennoch das Verfahren validieren zu können, wird ein 10-Bit ADC simuliert, indem nur die 10 höchstwertigen Bits des 14-Bit seriellen ADC betrachtet und weiterverarbeitet werden. Ein idealer 10-Bit ADC besitzt ein theoretisches SNR von 62 dB und kann also mit dem implementierten analogen Testsignalgenerator getestet werden.

Um die dynamischen Parameter des ADC zu bestimmen, müssen dessen digitale Ausgangscodes vom analogen Testsignal mindestens einmal angeregt werden. Ist das Testsignal ein sinusförmiges Signal und besitzt der ADC eine Wortbreite von w Bits (d.h. 2^w digitale Ausgangscodes), dann gilt [Mah87]:

$$N = \begin{cases} 2^w \cdot h \cdot \pi & \text{für } N \text{ gerade,} \\ 2^w \cdot h \cdot \frac{\pi}{2} & \text{für } N \text{ ungerade,} \end{cases} \quad (5.5)$$

wobei jeder Ausgangscode h -mal getroffen wird. Im Rahmen dieser Messung wählt man eine gerade Anzahl von Abtastwerten und alle digitalen Ausgangscodes werden zweimal angeregt ($h = 2$). Dies ergibt $N = 6434$. Diese Zahl wird auf die nächstgrößte Zweierpotenz (8192) aufgerundet, um die bei der Berechnung auftretenden Divisionen zu vereinfachen. Die Abtastrate des ADC beim Test beträgt 1 MHz und die Frequenz des analogen Testsignals wird auf 10 kHz festgelegt. Um die Kohärenz-

Parameter	Wert
SNR	59.6 dB
SINAD	59.5 dB
THD	-70 dB
ENOB	9.6 Bits

Tab. 5.9: Gemessene dynamische Parameter des 10-Bit ADC (Abtastfrequenz 1 MHz). Als Testsignal wird ein sinusförmiges Signal der Amplitude 0.5 V und der Frequenz 9887.7 Hz.

Bedingung beim Abtasten einhalten zu können, müssen die 8192 Abtastwerte auf einer ganzen Anzahl (M) von Perioden verteilt werden, wobei die Anzahl der Perioden M und der Abtastwerte N zueinander prim sein müssen [Mah87]. Es gilt folgende Beziehung:

$$\frac{M}{N} = \frac{f_0}{f_s}, \quad (5.6)$$

wobei M die Anzahl der Perioden ist, f_0 die Signalfrequenz und f_s die Abtastfrequenz. Dies ergibt $M = 81$ Perioden (entspricht einer Signalfrequenz $f_0 = 9887.7$ Hz). Die von der Auswerteeinheit berechneten Werte werden in Tab. 5.9 angegeben. Man kommt auf ein SNR von 59.6 dB. Dieser Wert kommt dem theoretischen SNR von 62 dB schon sehr nah, welches man von einem idealen 10-Bit ADC in einer rauschfreien Testumgebung erwarten würde. Der SINAD-Wert von 59.5 dB ergibt einen ENOB-Wert von 9.6 Bits. Das Verfahren weist also einen hohen Vertrauensgrad auf und kann somit für den Test von ADCs eingesetzt werden.

5.6 Messung der Testparameter eines analogen Verstärkers

Das Ziel dieser Messung ist die Bestimmung des Frequenzgangs eines analogen Verstärkers. Als DUT wird der auf dem Entwicklungsboard montierte LTC6912 benutzt. Der LTC6912 ist ein zweifacher programmierbarer Operationsverstärker mit serieller digitaler Schnittstelle [Lin05]. Zur Durchführung der Messung wird die Testkonfiguration nach Abb. 5.9(d) verwendet. Das analoge Testsignal wird wieder auf dem Entwicklungsboard generiert. Der analoge Signalgenerator ist direkt mit dem Verstärker verbunden, dessen Ausgangssignal von dem bereits verifizierten ADC aufgenommen wird und an die Auswerteeinheit zur Nachverarbeitung übertragen wird.

Der Frequenzgang des Verstärkers wird in dem Frequenzbereich von 100 bis 10 kHz

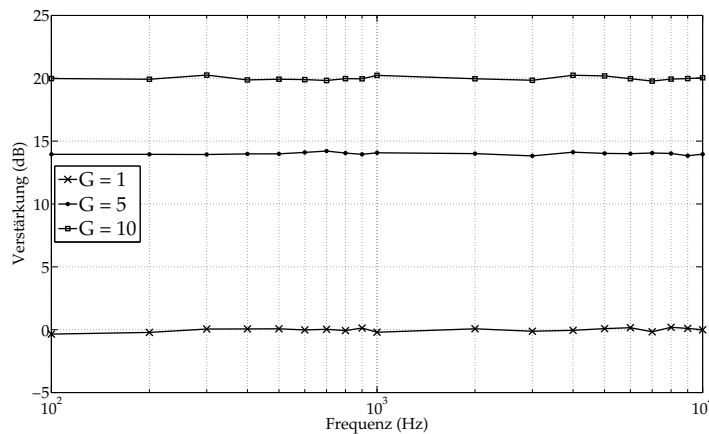


Abb. 5.12: Gemessener Frequenzgang eines analogen Verstärkers (LTC6912). Als Parameter wird der programmierbare Verstärkungsfaktor G verwendet.

ermittelt. Hierfür wird die Frequenz des analogen Testsignals in diesem Frequenzbereich schrittweise variiert. Die Amplitude des analogen Testsignals beträgt dabei immer 100 mV. Die Auswerteeinheit berechnet zuerst die Amplitude der entsprechenden Frequenzkomponente im Ausgangssignal und anschließend das Verhältnis dieser Amplitude zur Amplitude des analogen Testsignals. Zur Auswertung der einzelnen Frequenzkomponenten werden immer 2048 Abtastwerte der Antwort des Verstärkers aufgenommen.

Die Ergebnisse der Messungen werden in Abb. 5.12 dargestellt. Diese Abbildung zeigt die gemessene Verstärkung als Funktion der Frequenz (Frequenzbereich von 100 bis 10 kHz) für verschiedene Verstärkungsfaktoren ($G = 1, 5, 10$). Der Frequenzgang des LTC6912 besitzt eine Tiefpass-Charakteristik [Lin05]. Er zeigt einen flachen Verlauf bis zur Grenzfrequenz (100 kHz). Wie erwartet stimmt der gemessene Frequenzgang mit dem spezifizierten Frequenzgang überein. Die gemessenen Verläufe sind mehr oder weniger konstant über den spezifizierten Frequenzbereich (Standardabweichung ± 0.15 dB).

5.7 Zusammenfassung

Zahlreiche Simulationen und Messungen wurden durchgeführt, um das in dieser Arbeit entwickelte Verfahren zu validieren. Die Ergebnisse wurden in diesem Kapitel vorgestellt. Das Verfahren wurde auf einer FPGA-basierten Plattform implementiert. Der Ressourcenverbrauch auf dem verwendeten FPGA wurde angegeben und dient dem Test- bzw. Designingenieur als Abschätzung für die erforderliche Chip-

fläche. Die Ergebnisse der Messungen am analogen Signalgenerator zeigen, dass der Delta-Sigma-modulierte Bitstream einen gültigen analogen Teststimulus darstellt. Die entwickelte Auswerteeinheit zeigt eine ähnliche Genauigkeit wie das FFT-basierte Standardverfahren, trägt jedoch zu einer signifikanten Testzeiteinsparung im Vergleich zum Standardverfahren bei. Im Rahmen dieser Arbeit wurde zwar keine Chip-Implementierung des vorgeschlagenen Verfahrens realisiert, die mit der verwendeten Plattform erzielten Messergebnisse beim Test eines kommerziellen ADC und eines analogen Verstärkers zeigen jedoch deutlich das hohe Potenzial des Verfahrens.

6 Zusammenfassung

Der Produktionstest ist die letzte Etappe in dem Produktionsablauf von integrierten Schaltungen und stellt laut der *International Technology Roadmap For Semiconductors* (ITRS) aufgrund der Testkomplexität und der dazugehörigen Testkosten eine der größten Herausforderung für eine ökonomisch erfolgreiche Massenfertigung zukünftiger integrierter Schaltungen dar [Sem07]. Als besonders kritisch erweist sich der Test von analogen und gemischt analog-digitalen (*mixed signal*) Komponenten, welche für Produkte bestimmter Marktsegmente etwa 20% der Chipfläche beanspruchen, jedoch bis zu 80% der Entwurfskosten und 85% der Testkosten beitragen [Hue02]. Sowohl aus der technischen als auch aus der ökonomischen Perspektive stellt die Testaufgabe bei analogen und gemischt analog-digitalen integrierten Schaltungen ein breites Forschungsthema dar, welches bereits seit Jahren unter den verschiedensten Aspekten behandelt wird. Die beachtliche Anzahl entsprechender Veröffentlichungen sowie die verstärkten Aktivitäten seitens der Industrie spiegeln die Bedeutung dieses Themas wider.

Traditionelle Testansätze für analoge bzw. gemischt analog-digitale Schaltungen sind spezifikationsbasiert. Darunter versteht man das direkte Überprüfen der Funktionalität der Schaltung auf die Einhaltung vorgegebener Spezifikationen. Hierbei müssen die Messung und Auswertung der spezifizierten Schaltungseigenschaften mit hoher Genauigkeit durchgeführt werden, woraus sich in der Regel die Notwendigkeit des Einsatzes von sehr teuren Testautomaten (ATE) ergibt. Außerdem werden traditionelle Testansätze durch den Trend zur Entwicklung ganzer elektronischer Systeme auf einem einzigen Chip (SoC) bzw. in einem einzigen Gehäuse (SiP) und die ständig steigende Performance dieser Systeme immer stärker erschwert. Hieraus resultiert die Tatsache, dass der traditionelle ATE-basierte Spezifikationstest eine sehr aufwendige und damit teure Art des Testens analoger bzw. gemischt analog-digitaler Schaltungen darstellt.

Zu der Aufgabenstellung, Alternativen zum traditionellen ATE-basierten Test bereitzustellen, leistet die vorliegende Arbeit durch die Entwicklung eines effizienten eingebauten Selbsttestverfahrens für analoge und gemischt analog-digitale Schaltungen neue wissenschaftliche Beiträge. Solche Testverfahren nehmen beim Produktionstest

komplexer gemischt analog-digitaler SOCs eine zentrale Rolle ein, da aufgrund der begrenzten Anzahl von primären Anschlüssen auf die tief eingebetteten analogen bzw. gemischt analog-digitalen Komponenten in der Regel von außen nicht zugegriffen werden kann. Die wesentlichen Beiträge der Arbeit sind die Verwendung eines auf der Delta-Sigma-Modulation basierten digitalen Verfahrens zur Generierung des erforderlichen analogen Testsignals und die Verwendung eines auf dem Goertzel-Algorithmus basierten digitalen Verfahrens zur Extraktion und Auswertung der Testparameter. Das entwickelte Selbsttestverfahren wird ausschließlich mit digitalen Ressourcen (ausgenommen ein eventueller analoger Filter) realisiert und kann somit einfach und schnell in verschiedene Systeme integriert werden. Dies führt außerdem zu einer vereinfachten Testkalibrierung, einer besseren Genauigkeit und Reproduzierbarkeit der Testergebnisse, einem erhöhten Test-Durchsatz und schließlich zu reduzierten Anforderungen an den Testautomaten. Im Gegensatz zu bestehenden (defektorientierten) Selbsttestverfahren, welche direkte Messungen von Spezifikationsparametern durch indirekte Messungen von Testsignaturen ersetzen, stellt das entwickelte Verfahren eine effizientere spezifikationsbasierte Alternative dar. Die Spezifikationsparameter werden direkt ausgewertet und stehen somit in weiteren Phasen der Fertigungsprüfung zur Verfügung.

Es wurde besonders Gewicht darauf gelegt, das implementierte Selbsttestverfahren durch zahlreiche Simulationen und Messungen zu validieren. Die erzielten Ergebnisse unterstreichen das hohe Potenzial des entwickelten Verfahrens. Im Einzelnen wurden die folgenden wichtigen Ziele erreicht:

Eine der größten Herausforderung bei der praktischen Anwendung von spezifikationsbasierten Selbsttestverfahren für analoge und gemischt analog-digitale Schaltungen liegt in der Implementierung von analogen Signalgeneratoren hoher Auflösung auf dem Chip. In Kapitel 3 wurde ein auf dem Prinzip der Delta-Sigma-Modulation basiertes Verfahren vorgeschlagen. Ein mithilfe digitaler Verfahren erzeugtes digitales sinusförmiges Signal wird durch einen Delta-Sigma-Modulator in einen hochfrequenten digitalen Bitstream umgewandelt. Der erzeugte Bitstream besteht aus einem sinusförmigen Signal und einem hochfrequenten Rauschsignal (Wandlungsrauschen), welches durch einen nachgeschalteten analogen Filter entfernt bzw. gedämpft werden kann. Der Bitstream-Generator besteht aus einem digitalen Synthesizer, einem Interpolationsfilter und einem Rauschformungsfilter. Zur Realisierung des digitalen Synthesizers wurde eine effiziente CORDIC-basierte Architektur vorgeschlagen. Zur Realisierung des Interpolationsfilters wurde eine besondere Klasse von linearphasigen Filtern (CIC-Filter) - vorgestellt, die sich hervorragend für diese Aufgabe eignen und die effizientere Alternative zu typischen FIR-Filtern darstellen. Zur

Realisierung des Rauschformungsfilters wurde eine Topologie aus rückgekoppelten kaskadierten Integratoren vorgeschlagen. Durch geeignete Konfiguration der Koeffizienten des Rauschformungsfilters wurde eine multipliziererfreie Realisierung des Rauschformungsfilters und somit des gesamten Bitstream-Generators erreicht. Dieser kann deshalb sowohl in Hardware- als auch Software effizient realisiert werden. Zur Rekonstruktion des im hochfrequenten Bitstream modulierten analogen Signals wurden zwei Kategorien von analogen Filtern (Butterworth und Tschebyscheff) vorgestellt, die sich besonders gut für diese Aufgabe eignen. Die Charakteristiken beider Filterkategorien wurden ausführlich analysiert und verschiedene schaltungstechnische Realisierungsmöglichkeiten wurden in Betracht gezogen.

Eine ebenfalls wesentliche Hürde bei der praktischen Anwendung von spezifikationsbasierten Selbsttestverfahren für analoge und gemischt analog-digitale Schaltungen liegt in der Auswertung von Testantworten auf dem Chip. In Kapitel 4 wurde auf der Basis des Goertzel-Algorithmus ein effizientes Verfahren zur Extraktion und Auswertung der dynamischen Spezifikationsparameter von ADCs entwickelt. Die besonderen Merkmale des Verfahrens liegen in der hohen Genauigkeit und dem im Vergleich zum FFT-basierten Standardverfahren geringeren Realisierungsaufwand. Einen zentralen Aspekt der Arbeit stellt die Untersuchung der Genauigkeit des entwickelten Verfahrens dar. Zu diesem Zweck werden die unvermeidlichen Messunsicherheiten in der Testphase systematisch berücksichtigt. Ein hohes Maß an Reproduzierbarkeit der Testergebnisse wird darüber hinaus durch die Verwendung eines stochastischen Modells für die Messunsicherheiten (Eigenrauschen der Schaltung, Messrauschen) erreicht. Besonders hervorzuheben sind die in diesem Kapitel abgeleiteten analytischen Formeln zur Abschätzung der Vertrauensgrenzen für die ermittelten Spezifikationsparameter. Diese dienen dem Testingenieur als Entscheidungshilfe, um einen adäquaten Kompromiss zwischen der erforderlichen Testgenauigkeit (d.h. Testqualität) und der dazu benötigten Testzeit (d.h. Testkosten) zu finden.

Ein wichtiges Bewertungskriterium für jedes Selbsttestverfahren liegt in dem zusätzlichen Ressourcenaufwand, welcher zur praktischen Implementierung des Verfahrens aufgebracht werden muss. In Kapitel 5 wurde ein konkretes Implementierungsbeispiel präsentiert. Die Implementierung geschah hier auf einer FPGA-basierter Plattform. Der Ressourcenverbrauch auf dem verwendeten FPGA wurde angegeben und dient dem Test- bzw. Designingenieur als gute Abschätzung für die erforderliche Chipfläche. Außerdem konnten anhand der experimentellen Testergebnissen von kommerziellen Schaltungen (ADC, analoger Verstärker) die in Kapitel 4 aufgestellten theoretischen Aussagen zur Genauigkeit des Verfahrens bestätigt werden. Desweiteren wurde anhand von zwei Testszenarien gezeigt, dass das entwickelte Verfahren im

Vergleich zum FFT-basierten Standardverfahren zu einer signifikanten Testzeiteinsparung und somit zu einer Reduktion der Testkosten beim Produktionstest beiträgt. Die im Rahmen dieser Arbeit erzielten experimentellen Ergebnisse zeigen deutlich das hohe Potenzial des entwickelten Selbsttestverfahrens auf. Eine Weiterentwicklung des Verfahrens in Form einer vollständigen optimierten Chip-Implementierung erscheint daher vielversprechend.

A Anhang

A.1 Chi-Quadrat-Verteilung

Vertrauensintervall ($1-\alpha$)	N	Untere Grenze $\chi_{\alpha/2;N-1}^2$	Obere Grenze $\chi_{1-\alpha/2;N-1}^2$
68.3 % ($\pm\sigma$)	128	111.0953	142.9068
	256	232.4328	277.5691
	512	479.0325	542.9693
	1024	977.7538	1068.2479
	2048	1982.9858	2111.0158
	4096	4004.4515	4185.5501
	8192	8062.9317	8319.0699
95.4 % ($\pm 2\sigma$)	128	97.2259	160.7449
	256	211.9538	302.0193
	512	449.2178	576.7564
	1024	934.7451	1115.2297
	2048	1921.3240	2176.6511
	4096	3916.4147	4277.5606
	8192	7937.5981	8448.3772
99.7 % ($\pm 3\sigma$)	128	84.8579	179.5302
	256	193.1519	327.2471
	512	421.3087	611.0958
	1024	893.9515	1162.4557
	2048	1862.3061	2242.1024
	4096	3831.6218	4368.7874
	8192	7816.3528	8576.0567

Tab. A.1: Quantile der χ^2 -Verteilung in Abhängigkeit der Irrtumswahrscheinlichkeit α und der Anzahl der Freiheitsgrade N .

A.2 CIC-Interpolationsfilter

Produkt $M \times L$	Maximale Dämpfung (in dB) im Durchlassbereich als Funktion der Anzahl der Stufen N					
	1	2	3	4	5	6
128	0.00	0.00	0.00	0.00	0.00	0.01
64	0.00	0.01	0.01	0.01	0.02	0.02
32	0.01	0.03	0.04	0.06	0.07	0.08
16	0.06	0.11	0.17	0.22	0.28	0.34
8	0.22	0.45	0.67	0.90	1.12	1.35
4	0.91	1.82	2.74	3.65	4.56	5.47

Tab. A.2: Dimensionierungsvorschriften für den CIC-Filter: Dämpfung im Durchlassbereich als Faktor von M , N und L .

L	M	Minimale Dämpfung (in dB) im Sperrbereich als Funktion der Anzahl der Stufen N					
		1	2	3	4	5	6
1	128	42.1	84.2	126.2	168.3	210.4	252.5
1	64	36.0	72.0	108.0	144.0	180.0	215.9
1	32	29.8	59.7	89.5	119.4	149.2	179.0
1	16	23.6	47.2	70.7	94.3	117.9	141.5
1	8	17.1	34.3	51.4	68.5	85.6	102.8
1	4	10.5	20.9	31.4	41.8	52.3	62.7
2	256	48.1	96.3	144.4	192.5	240.7	288.8
2	128	42.1	84.2	126.2	168.3	210.4	252.5
2	64	36.0	72.0	108.0	144.0	180.0	216.0
2	32	29.9	59.8	89.6	119.5	149.4	179.3
2	16	23.7	47.5	71.2	95.0	118.7	142.5
2	8	17.8	35.6	53.4	71.3	89.1	106.9

Tab. A.3: Dimensionierungsvorschriften für den CIC-Filter: Dämpfung im Sperrbereich als Faktor von M , N und L .

Abkürzungsverzeichnis

AC	Alternating Current
ADC	Analog Digital Converter
ATE	Automatic Test Equipment
BIST	Built In Self Test
CIC	Cascaded Integrator Comb
CIFB	Cascade of Integrators, Feedback Form
CMRR	Common Mode Rejection Ratio
CORDIC	Coordinate Rotation Digital Computer
DAC	Digital Analog Converter
DC	Direct Current
DFT	Discrete Fourier Transform
DIB	Device Interface Board
DNL	Differential Non-Linearity
DSP	Digital Signal Processing
DTMF	Dual-Tone Multi-Frequency
DUT	Device Under Test
DfT	Design for Testability
EDA	Electronic Design Automation
ENOB	Equivalent Number Of Bits
FFT	Fast Fourier Transformation
FIR	Finite Impulse Response
FPGA	Field Programmable Gate Array
INL	Integral Non-Linearity
LFSR	Linear Feedback Shift Register
LSB	Least Significant Bit
LUT	Look Up Table
MEMS	Micro Electro Mechanical System
MISR	Multiple Input Signature Register
NTF	Noise Transfer Function
OSR	Oversampling Ratio

PPM	Pulse Phase Modulation
PSSR	Power Supply Rejection Ratio
PWM	Pulse Width Modulation
RF	Radio Frequency
SFDR	Spurious Free Dynamic Range
SFT	Signal Transfer Function
SINAD	Signal-to-Noise and Distortion Ratio
SNR	Signal-to-Noise Ratio
SiP	System in Package
SoC	System on Chip
THD	Total Harmonic Distortion

Abbildungsverzeichnis

2.1. Typische DSP-basierte Testkonfiguration	8
2.2. Themengebiete im Bereich des Tests analoger Schaltungen	9
2.3. Histogramm-basiertes BIST-Verfahren zum ADC-Test	14
2.4. Polynom-basiertes BIST-Verfahren zum ADC-Test	16
2.5. Hybrid-BIST-Verfahren für ein gemischt analog-digitales SoC	17
2.6. Mixed-Analog-Digital-BIST-Verfahren für ein gemischt analog-digitales SoC	18
3.1. Delta-Sigma-basiertes Verfahren zur Generierung von analogen Signalen hoher Auflösung auf dem Chip	21
3.2. Blockschaltbild eines rückgekoppelten linearen Systems	23
3.3. Blockschaltbild eines generischen Oszillators	25
3.4. Blockschaltbild eines zeitdiskreten Biquad-Oszillators	26
3.5. Blockschaltbild eines gekoppelten Quadraturoszillators	28
3.6. Blockschaltbild eines digitalen Synthesizers	31
3.7. Blockschaltbild eines CORDIC-basierten digitalen Synthesizers	32
3.8. Blockschaltbild eines konventionellen Delta-Sigma-Modulators	34
3.9. Leistungsdichtespektren der Signale in einem Delta-Sigma-Modulator	35
3.10. Blockschaltbild eines zeitdiskreten Interpolators	36
3.11. Frequenzgang und Impulsantwort eines Rekonstruktionsfilters	37
3.12. Spektren der Signale und Filtercharakteristiken beim mehrstufigen Interpolationsfilter	38
3.13. Blockschaltbild eines CIC-Interpolationsfilters	39
3.14. Frequenzgang eines CIC-Interpolationsfilters	40
3.15. Grundstruktur eines allgemeinen Rauschformungsfilters	41
3.16. Lineares Modell des Rauschformungsfilters	42
3.17. Blockschaltbild eines Rauschformungssystem erster Ordnung	43
3.18. Leistungsdichtespektren des Quantisierungsrauschens und des Signals	44
3.19. Rauschformungssystem dritter Ordnung	45
3.20. Theoretische Rauschleistung im Signalband als Funktion von M und k	46

3.21. Theoretische Rauschleistung als Funktion von M und k bei einem stabilen Rauschformungssystem mit optimierten NTF	46
3.22. Pol-Nullstellen-Diagramm und Amplitudengang von Butterworth-Filtern	49
3.23. Sprungantwort und Gruppenlaufzeit von Butterworth-Filtern	50
3.24. Realisierungsmöglichkeit für einen passiven Butterworth-Filter.	50
3.25. Aktiver Butterworth-Filter mit Einfachmitkopplung	51
3.26. Pol-Nullstellen-Diagramm und Amplitudengang von Tschebyscheff-Filtern	53
4.1. Ideale Übertragungsfunktion eines N -Bit-ADC	59
4.2. Übertragungsfunktion eines 3-Bit-ADC mit Verstärkungs- und Offsetfehler	60
4.3. Übertragungsfunktion eines ADC mit Nichtlinearitäten	61
4.4. FFT-Frequenzspektrum eines sinusförmigen Signals	62
4.5. Darstellung einer Differenzgleichung als Blockschaltbild	67
4.6. Goertzel-basierte Parameterauswertung	67
4.7. Weiße Rauschspannung mit definierten statistischen Kenngrößen . . .	72
4.8. Goertzel-basierte Schätzung der Rauschleistung	73
4.9. Histogramme des Amplitudenspektrums der weißen Rauschspannung	74
4.10. Leistungsdichtespektrum einer weißen Rauschspannung mit definierten statistischen Kenngrößen	76
4.11. Goertzel-basierte Schätzung der Signalleistung	76
4.12. Histogramme des Amplitudenspektrums eines sinusförmigen Signals zuzüglich weißer Rauschspannung	78
4.13. Wahrscheinlichkeitsdichtefunktion von S_k in Abhängigkeit des SNR .	80
4.14. Leistungsdichtespektrum eines sinusförmigen Signals zuzüglich einer weißen Rauschspannung mit definierten statistischen Kenngrößen . .	81
4.15. Histogramm des SNR-Parameters	83
5.1. Eigenschaften des implementierten CORDIC-basierten digitalen Synthesizers	87
5.2. Eigenschaften des implementierten Interpolationsfilters	88
5.3. Frequenzgang der Signal- (STF) und Rauschübertragungsfunktion (NTF).	89
5.4. CIFB-Topologie eines Rauschformungsfilters dritter Ordnung	90
5.5. Eigenschaften des Rauschformungsfilters dritter Ordnung	91
5.6. Aktiver Tschebyscheff-Filter sechster Ordnung.	92
5.7. Eigenschaften des Tschebyscheff-Filters sechster Ordnung	92
5.8. Eigenschaften des implementierten Goertzel-Filters	94
5.9. Testkonfigurationen zur Durchführung der Messungen	98

5.10. Leistungsdichtespektrum des generierten analogen Testsignals	99
5.11. Vergleich der Auswerteeinheit mit dem Standardverfahren	100
5.12. Gemessener Frequenzgang eines analogen Verstärkers	104

Tabellenverzeichnis

3.1. Die ersten 5 Tschebyscheff-Polynome [BSM05].	52
5.1. Spezifikationen des digitalen Synthesizers	86
5.2. Spezifikationen des Interpolationsfilters	87
5.3. Spezifikationen des Rauschformungsfilters	89
5.4. Spezifikationen des analogen Tiefpassfilters	91
5.5. Auswahl von CORDIC-Funktionen	94
5.6. Ressourcenverbrauch der implementierten BIST-Hardware	96
5.7. Genauigkeit der Auswerteeinheit in Abhängigkeit der Anzahl von Ab- tastwerten	101
5.8. Vergleich des vorgeschlagenen Verfahrens mit dem Standardverfahren im Hinblick auf die Testzeit	102
5.9. Gemessene dynamische Parameter des 10-Bit ADC	103
A.1. Quantile der Chi-Quadrat-Verteilung	111
A.2. Dimensionierungsvorschriften für den CIC-Filter im Durchlassbereich	112
A.3. Dimensionierungsvorschriften für den CIC-Filter im Sperrbereich . . .	112

Literaturverzeichnis

- [ABBR01] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell. Implementation of a Linear Histogram BIST for ADCs. In *Proc. Design, Automation and Test in Europe DATE '01*, pages 590–595, 2001.
- [AEHAI86] A. Abu-El-Haija and M. Al-Ibrahim. Improving Performance of Digital Sinusoidal Oscillators by Means of Error Feedback Circuits. *IEEE Trans. Circuits Syst.*, 33(4):373–380, Apr. 1986.
- [AK96] K. Arabi and B. Kaminska. Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits. In *Proceedings of 14th VLSI Test Symposium*, pages 476–482, 1996.
- [AK97a] K. Arabi and B. Kaminska. Oscillation Built-In Self Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits. In *Proceedings., International Test Conference*, pages 786–795, Nov. 1997.
- [AK97b] K. Arabi and B. Kaminska. Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 16(7):745–753, July 1997.
- [And98] Ray Andraka. A Survey of CORDIC Algorithms for FPGA Based Computers. In *Proceedings of ACM/SIGDA sixth international symposium on FPGA*, pages 191–200, 1998.
- [AO08] E. Acar and S. Ozev. Defect-Oriented Testing of RF Circuits. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 27(5):920–931, May 2008.
- [Aus93] T. Austin. Creating a Mixed-Signal Simulation Capability for Concurrent IC Design and Test Program Development. In *Proc. International Test Conference*, pages 125–132, 17–21 Oct. 1993.

- [BC04] S. Bhattacharya and A. Chatterjee. A Built-in Loopback Test Methodology for RF Transceiver Circuits using Embedded Sensor Circuits. In *13th Asian Test Symposium*, pages 68 – 73, 2004.
- [BK92] S.C. Bateman and W.H. Kao. Simulation Of an Integrated Design and Test Environment For Mixed Signal Integrated Circuits. In *Proc. International Test Conference*, page 405, Sept. 20–24 1992.
- [BR01] M. Burns and G. W. Roberts. *An Introduction to Mixed-Signal IC Test and Measurement*. Oxford series in Electrical and Computer Engineering. Oxford University Press, Inc., New York, 1st edition, 2001.
- [BS85] J.W. Bandler and A.E. Salama. Fault Diagnosis of Analog Circuits. *Proc. IEEE*, 73(8):1279–1325, Aug. 1985.
- [BS90] R. Bobba and B. Stevens. Fast Embedded A/D Converter Testing Using the Microcontroller’s Resources. In *Proc. International Test Conference*, pages 598 –604, Sep. 1990.
- [BSM05] Ilja N. Bronstein, Konstantin A. Semendjajew, and Gerhard Musiol. *Taschenbuch der Mathematik*. Verlag Harri Deutsch, 2005.
- [BVZM96] E. Bruls, M. Verstraelen, T. Zwemstra, and P. Meijer. Analogue Fault Simulation in Standard VHDL. *IEE Proceedings -Circuits, Devices and Systems*, 143(6):380–385, 1996.
- [CA95] P. Caunegre and C. Abraham. Achieving Simulation-Based Test Program Verification and Fault Simulation Capabilities for Mixed-Signal Systems. In *Proc. European Design and Test Conference ED&TC 1995*, pages 469–477, 6–9 March 1995.
- [CA05] C. Carter and S. Ang. A Test Point Selection Method for Data Converters Using Rademacher Functions and Wavelet Transforms. In *Proc. IEEE International Test Conference ITC 2005*, pages 10pp.–1201, 8–8 Nov. 2005.
- [CCC99] S. Chakrabarti, S. Cherubal, and A. Chatterjee. Fault Diagnosis for Mixed-Signal Electronic Systems. In *Proc. IEEE Aerospace Conference*, volume 3, pages 169–179, 6–13 March 1999.
- [CFG⁺96] M. Catelani, G. Fedi, S. Giraldi, A. Luchetta, S. Manetti, and M.C. Piccirilli. A New Symbolic Approach to the Fault Diagnosis of Analog Cir-

- circuits. In *Proc. 'Quality Measurements: The Indispensable Bridge between Theory and Reality'*. *IEEE Instrumentation and Measurement Technology Conference IMTC-96*, volume 2, pages 1182–1189, June 1996.
- [CLM97] Chieh-Yuan Chao, Hung-Jen Lin, and L. Miler. Optimal testing of VLSI Analog Circuits. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 16(1):58–77, Jan. 1997.
- [CR83] R.E. Crochiere and L.R. Rabiner. *Multirate Digital Signal Processing*. Prentice Hall PTR, 1983.
- [DR99] B. Dufort and G.W. Roberts. On-Chip Analog Signal Generation for Mixed-Signal Built-In Self-Test. *IEEE J. Solid-State Circuits*, 34(3):318–330, March 1999.
- [Ell94] Michael G. Ellis. *Electronic Filter Analysis and Synthesis*. Artech House Inc., Dec. 1994.
- [FA97] A. Frisch and T. Almy. HABIST: Histogram-based Analog Built In Self Test. In *Proc. International Test Conference*, pages 760–767, Nov. 1997.
- [Fel68] William Feller. *An Introduction to Probability Theory and its Applications*, volume 1 of *Wiley Series in Probability and Mathematical Statistics*. John Wiley & Sons, 1968.
- [FMHI75] K. Furuno, S.K. Mitra, K. Hirano, and Y. Ito. Design of Digital Sinusoidal Oscillators with Absolute Periodicity. *IEEE Transactions on Aerospace and Electronic Systems*, 11(6):1286 – 1299, Nov. 1975.
- [FMW88] P.P. Fasang, D. Mullins, and T. Wong. Design for Testability for Mixed Analog/Digital ASICs. In *Proc. Custom Integrated Circuits Conference the IEEE 1988*, pages 16.5/1–16.5/4, 1988.
- [GAS90] R. L. Geiger, P. E. Allen, and N. R. Strader. *VLSI Design Techniques For Analog and Digital Circuits*. McGraw-Hill, 1990.
- [Goe58] Gerald Goertzel. An Algorithm for the Evaluation of Finite Trigonometric Series. *The American Mathematical Monthly*, 65(1):34 – 35, Jan. 1958.
- [HBC03] A. Halder, S. Bhattacharya, and A. Chatterjee. Automatic Multitone Alternate Test-Generation for RF Circuits using Behavioral Models. In *Proc. International Test Conference*, pages 665 – 673, 2003.

- [HBRB93] R.J.A. Harvey, E.M.J.G. Bruls, A.M.D. Richardson, and K. Baker. Test Evaluation for Complex Mixed-Signal ICs by Introducing Layout Dependent Faults. In *Proc. IEE Colloquium on Mixed Signal VLSI Test*, pages 6/1–6/8, 13 Dec 1993.
- [HC04] A. Halder and A. Chatterjee. Automated Test Generation and Test Point Selection for Specification Test of Analog Circuits. In *Proc. 5th International Symposium on Quality Electronic Design*, pages 401–406, 2004.
- [Hof00] T.C. Hofner. Defining and Testing Dynamic ADC Parameters. *Microwaves and RF*, 39(11):75–84, 2000.
- [Hog81] E. Hogenauer. An Economical Class of Digital Filters for Decimation and Interpolation. *IEEE Transactions on Acoustics, Speech and Signal Processing*, 29(2):155 – 162, Apr. 1981.
- [HRBB94] R.J.A. Harvey, A.M.D. Richardson, E.M.J.G. Bruls, and K. Baker. Analogue Fault Simulation Based on Layout Dependent Fault Models. In *Proc. International Test Conference*, pages 641–649, 2–6 Oct. 1994.
- [HRV93] J.L. Huertas, A. Rueda, and D. Vázquez. Improving the Testability of Switched-Capacitor Filters. *Journal of Electronic Testing: Theory and Applications*, 4(4):299–313, November 1993.
- [Hue93] J.L. Huertas. Test and Design for Testability of Analog and Mixed-Signal Integrated Circuits: Theoretical Basis and Pragmatical Approaches. In H. Dedieu, editor, *Proc. European Conference on Circuit Theory and Design, ECCTD'93*, volume 1, pages 77–156, 1993.
- [Hue02] J.L. Huertas. Mixed-Signal Test: Testing A/D Converters. In *Course on CMOS Data Converters for Communications*, 2002.
- [Ins01] Institute of Electrical and Electronics Engineers Inc. *IEEE Standard 1241-2000: IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*, 2001.
- [KBS05] P. Kabisatpathy, A. Barua, and S. Sinha. *Fault Diagnosis Of Analog Integrated Circuits*. Springer, 2005.
- [KC93] K. Kota and J.R. Cavallaro. Numerical Accuracy and Hardware Tradeoffs for CORDIC Arithmetic for Special-Purpose Processors. *IEEE Transactions on Computers*, 42(7):769 – 779, Jul. 1993.

- [KCSS00] V.F. Kroupa, V. Cizek, J. Stursa, and H. Svandova. Spurious Signals in Direct Digital Frequency Synthesizers due to the Phase Truncation. *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, 47(5):1166–1172, Sep. 2000.
- [KE06] J. Kelly and M.J. Engelhardt. *Advanced Production Testing of RF, SoC, and SiP Devices*. Artech House Publishers, 2006.
- [KST95] F.C.M. Kuijstermans, M. Sachdev, and A.P. Thijssen. Defect-Oriented Test Methodology for Complex Mixed-Signal Circuits. In *Proc. European Design and Test Conference ED&TC 1995*, pages 18–23, 6–9 March 1995.
- [Kuh92] F. Kuhns. Automating Testability Analysis of Analog Circuits and Systems. In *Conference Record AUTOTESTCON '92. IEEE Systems Readiness Technology Conference*, pages 225–231, 21–24 Sept. 1992.
- [KX93] W.H. Kao and J.Q. Xia. Automatic Synthesis of DUT Board Circuits for Testing of Mixed Signal ICs. In *Proc. Eleventh Annual 1993 IEEE VLSI Test Symposium Digest of Papers*, pages 230–236, 1993.
- [KXB92] W. Kao, J. Xia, and T. Boydston. Automatic Test Program Generation for Mixed Signal ICs via Design To Test Link. In *Proc. International Test Conference*, page 860, Sept. 20–24 1992.
- [LGA95] W.M. Lindermeir, H.E. Graeb, and K.J. Antreich. Design Based Analog Testing by Characteristic Observation Inference. In *Proc. IEEE/ACM International Conference on Computer-Aided Design ICCAD-95. Digest of Technical Papers*, pages 620–626, 5–9 Nov. 1995.
- [LGA99] W.M. Lindermeir, H.E. Graeb, and K.J. Antreich. Analog Testing by Characteristic Observation Inference. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 18(9):1353–1368, Sept. 1999.
- [Lin84] Thomas E. Linnenbrink. Effective Bits: Is That All There Is? *IEEE Trans. Instrum. Meas.*, 33(3):184–187, 1984.
- [Lin97] W.M. Lindermeir. *Testentwurf für analoge integrierte Schaltungen mit charakteristischen Beobachtungen*. PhD thesis, Technische Universität München, 1997.

- [Lin04] Linear Technology. *Datasheet: LTC1407A Serial 14-Bit, 3MSps Simultaneous Sampling ADCs with Shutdown*, 2004. Available on: <http://www.linear.com>.
- [Lin05] Linear Technology. *Datasheet: LTC Dual Programmable Gain Amplifiers with Serial Digital Interface*, 2005. Available on: <http://www.linear.com>.
- [Liu91] Ruey-Wen Liu. *Testing and Diagnosis Of Analog Circuits and Systems*. Springer, 1991.
- [LKFSV94] E. Liu, W. Kao, E. Felt, and A. Sangiovanni-Vincentelli. Analog Testability Analysis and Fault Diagnosis Using Behavioral Modeling. In *Proc. Custom Integrated Circuits Conference the IEEE 1994*, pages 413–416, 1–4 May 1994.
- [LRJ94] A.K. Lu, G.W. Roberts, and D.A. Johns. A High-Quality Analog Oscillator using Oversampling D/A Conversion Techniques. *IEEE Trans. Circuits Syst. II*, 41(7):437 – 444, Jul. 1994.
- [Mah87] M. Mahoney. *DSP-Based Testing of Analog and Mixed-Signal Circuits*. Wiley-IEEE Computer Society Press, 1987.
- [MM91] A. Meixner and W. Maly. Fault Modeling for the Testing of Mixed Integrated Circuits. In *Proc. International Test Conference*, page 564, 26–30 Oct 1991.
- [MSV94] L. Milor and A.L. Sangiovanni-Vincentelli. Minimizing Production Test Time to Detect Faults in Analog Circuits. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 13(6):796–813, June 1994.
- [NA92] N. Nagi and J.A. Abraham. Hierarchical Fault Modeling for Analog and Mixed-Signal Circuits. In *Proc. IEEE VLSI Test Symposium '10th Anniversary. Design, Test and Application: ASICs and Systems-on-a-Chip', Digest of Papers*, pages 96–101, 1992.
- [NCA93] N. Nagi, A. Chatterjee, and J. A. Abraham. Fault Simulation of Linear Analog Circuits. *J. Electron. Testing: Theory and Applicat.*, 4:345–360, 1993.
- [NCYA98] N. Nagi, A. Chatterjee, Heebyung Yoon, and J.A. Abraham. Signature Analysis for Analog and Mixed-Signal Circuit Test Response Compacti- on. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 17(6):540 – 546, Jun. 1998.

- [NST96] S. R. Norsworthy, R. Schreier, and G. C. Temes. *Delta-Sigma Data Converters: Theory, Design, and Simulation*. Wiley-IEEE Press, 1996.
- [ODM97] J.J. O’Riordan, T.O. Dwyer, and O. McCarthy. Mixed Signal Test Development in a Virtual Test Environment. In *Proc. IEE Colloquium on Testing Mixed Signal Circuits and Systems (Ref. No: 1997/361)*, pages 8/1–8/8, 23 Oct. 1997.
- [Ohl91] M. J. Ohletz. Hybrid Built-In Self-Test (HBIST) for Mixed Analogue Digital Integrated Circuits. In *Proc. European Test Conf*, pages 307–316, April 1991.
- [OO01] S. Ozev and A. Orailoglu. System-Level Test Synthesis for Mixed-Signal Designs. *IEEE Trans. Circuits Syst. II*, 48(6):588 – 599, Jun. 2001.
- [OPG⁺96] T. Olbrich, J. Perez, I.A. Grout, A.M.D. Richardson, and C. Ferrer. Defect-Oriented vs Schematic-Level Based Fault Simulation for Mixed-Signal ICs. In *Proc. International Test Conference*, pages 511–520, 20–25 Oct. 1996.
- [OSB99] Alan V. Oppenheim, Ronald W. Schaffer, and John R. Buck. *Discrete-Time Signal Processing*. Prentice-Hall signal processing. Prentice Hall, 2 edition, 1999.
- [PC95] C.-Y. Pan and K.-T. Cheng. Pseudo-Random Testing and Signature Analysis for Mixed-Signal Circuits. In *Proc. IEEE/ACM International Conference on Computer-Aided Design ICCAD-95. Digest of Technical Papers*, pages 102–107, 5–9 Nov. 1995.
- [PC96] Chen-Yang Pan and Kwang-Ting Cheng. Implicit Functional Testing for Analog Circuits. In *Proceedings of 14th VLSI Test Symposium*, pages 489 – 494, 1996.
- [PC97] Chen-Yang Pan and Kwang-Ting Cheng. Fault Macromodeling for Analog/Mixed-Signal Circuits. In *Proc. International Test Conference*, pages 913–922, 1997.
- [PCG96] Chen-Yang Pan, Kwang-Ting Cheng, and Sandeep Gupta. Fault Macromodeling and a Testing Strategy for Opamps. *Journal of Electronic Testing: Theory and Applications*, 9(3):225–235, December 1996.

- [PGG00] M. Pronath, V. Gloeckel, and H. Graeb. A Parametric Test Method for Analog Components in Integrated Mixed-Signal Circuits. In *Proc. ICCAD-2000 Computer Aided Design IEEE/ACM International Conference on*, pages 557–561, 5–9 Nov. 2000.
- [RA03] Jeongjin Roh and J.A. Abraham. A Comprehensive Signature Analysis Scheme for Oscillation-Test. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 22(10):1409 – 1423, Oct. 2003.
- [RCAC04] A. Raghunathan, J.H. Chun, J.A. Abraham, and A. Chatterjee. Quasi-Oscillation Based Test for Improved Prediction of Analog Performance Parameters. In *Proc. of International Test Conference*, pages 252 – 261, 2004.
- [RKR03] M. Rona, G. Krampfl, and F. Raczkowski. Automating the Device Interface Board Modeling for Virtual Test. In *Proc. Eighth IEEE European Test Workshop*, pages 71–76, 25–28 May 2003.
- [RL95] G.W. Roberts and A.K. Lu. *Analog Signal Generation for Built-In Self-Test of Mixed-Signal Integrated Circuits*. Kluwer Academic Publishers, 1995.
- [RSFA02] A. Roy, S. Sunter, A. Fudoli, and D. Appello. High Accuracy Stimulus Generation for A/D Converter BIST. In *Proceedings. International Test Conference*, pages 1031 – 1039, 2002.
- [Sch93] R. Schreier. An empirical study of high-order single-bit delta-sigma modulators . *IEEE Trans. Circuits Syst. II*, 40(8):461 – 466, Aug. 1993.
- [Sem07] Semiconductor Industry Association. *International Technology Roadmap For Semiconductors, Test and Test Equipment*, 2007 edition, 2007. Available: <http://www.itrs.net>.
- [SGOT98] M.B. Santos, F.M. Goncalves, M. Ohletz, and J.P. Teixeira. Defect-Oriented Testing of Analogue and Mixed Signal ICs. In *Proc. IEEE International Conference on Electronics, Circuits and Systems*, volume 2, pages 419–424, 7–10 Sept. 1998.
- [SK92] M. Slamani and B. Kaminska. Analog Circuit Fault Diagnosis Based on Sensitivity Computation and Functional Testing. *IEEE Design & Test of Computers*, 9(1):30–39, March 1992.

- [SK93] M. Slamani and B. Kaminska. T-BIST: A Built-In Self-Test for Analog Circuits Based on Parameter Translation. In *Proceedings of the Second Asian Test Symposium*, pages 172 – 177, Nov. 1993.
- [SK94a] M. Slamani and B. Kaminska. Multifrequency Testability Analysis for Analog Circuits. In *Proc. th IEEE VLSI Test Symposium*, pages 54–59, 25–28 April 1994.
- [SK94b] M. Soma and V. Kolarik. A Design-For-Test Technique for Switched-Capacitor Filters. In *Proc. th IEEE VLSI Test Symposium*, pages 42–47, 1994.
- [SL01] J.A. Starzyk and D. Liu. A Method for Multiple Fault Diagnosis in Analog Circuits. In *Proc. 33rd Southeastern Symposium on System Theory*, pages 65–68, 18–20 March 2001.
- [SN97] S.K. Sunter and N. Nagi. A Simplified Polynomial-fitting Algorithm for DAC and ADC BIST. In *Proceedings., International Test Conference*, pages 389 –395, Nov. 1997.
- [Som90] M. Soma. A Design-For-Test Methodology for Active Analog Filters. In *Proc. International Test Conference*, pages 183–192, 1990.
- [Som96] M. Soma. Challenges in Analog and Mixed-Signal Fault Models. *IEEE Circuits Devices Mag.*, 12(1):16–19, 1996.
- [SS90] T.M. Souders and G.N. Stenbakken. A Comprehensive Approach for Modeling and Testing Analog and Mixed-Signal Devices. In *Proc. International Test Conference*, pages 169–176, 10–14 Sept. 1990.
- [SS91] G.N. Stenbakken and T.M. Souders. Linear Error Modeling of Analog and Mixed-Signal Devices. In *Proc. International Test Conference*, page 573, 26–30 Oct 1991.
- [SSS89] G.N. Stenbakken, T.M. Souders, and G.W. Stewart. Ambiguity Groups and Testability. *IEEE Trans. Instrum. Meas.*, 38(5):941–947, Oct. 1989.
- [ST05] R. Schreier and G. C. Temes. *Understanding Delta-Sigma Data Converters*. Wiley-IEEE Press, 2005.
- [STO95] C. Sebeke, J.P. Teixeira, and M.J. Ohletz. Automatic Fault Extraction and Simulation of Layout Realistic Faults for Integrated Analogue Circuits. In *Proc. European Design and Test Conference ED&TC 1995*, pages 464–468, 6–9 March 1995.

- [Sun95] S. Sunter. A Low Cost 100 MHz Analog Test Bus. In *Proc. th IEEE VLSI Test Symposium*, pages 60–65, 30 April–3 May 1995.
- [TMS08a] A. Tchegho, H. Mattes, and S. Sattler. Optimal High-Resolution Spectral Analyzer. In *Proc. Design, Automation and Test in Europe DATE '08*, pages 62–67, 2008.
- [TMS08b] A. Tchegho, H. Mattes, and S. Sattler. Optimaler hochauflösender Spektralanalysator. In *ITG/GMM-Fachtagung Entwurf von analogen Schaltungen mit CAE-Methoden (ANALOG)*, 2008.
- [TMSG09] A. Tchegho, H. Mattes, S. Sattler, and H. Graeb. Analyse und Untersuchung der Quantisierungseffekte beim Goertzel-Filter. *Advances in Radio Science*, 7:73–81, 2009.
- [TR95a] M.F. Toner and G.W. Roberts. A BIST Scheme for a SNR, Gain Tracking, and Frequency Response Test of a Sigma-Delta ADC. *IEEE Trans. Circuits Syst. II*, 42(1):1 – 15, Jan. 1995.
- [TR95b] M.F. Toner and G.W. Roberts. On the Practical Implementation of Mixed Analog-Digital BIST. In *Proc. Custom Integrated Circuits Conference the IEEE 1995*, pages 525–528, 1–4 May 1995.
- [TR96] M.F. Toner and G.W. Roberts. A Frequency Response, Harmonic Distortion, and Intermodulation Distortion Test for BIST of a Sigma-Delta ADC. *IEEE Trans. Circuits Syst. II*, 43(8):608–613, Aug. 1996.
- [TS09] U. Tietze and C. Schenk. *Halbleiter-Schaltungstechnik*. Springer, 13. edition, 2009.
- [TSG09a] A. Tchegho, S. Sattler, and H. Graeb. Mixed-Signal Testing Using Walsh Functions. In *Proc. IEEE 15th International Mixed-Signals, Sensors, and Systems Test Workshop IMS3TW '09*, pages 1–8, 2009.
- [TSG09b] A. Tchegho, S. Sattler, and H. Graeb. Walshfunktionen für das Testen von Mixed-Signal Schaltungen. In *Zuverlässigkeit und Entwurf: 3.GMM/GI/ITG-Fachtagung*. VDE Verlag GMBH, 2009.
- [TW05] A. Torosyan and A.N. Willson. Exact Analysis of DDS Spurs and SNR due to Phase Truncation and Arbitrary Phase-to-Amplitude Errors. In *Proceedings of the IEEE International Frequency Control Symposium and Exposition*, pages 50 – 58, 2005.

- [Van05] J. Vankka. *Digital Synthesizers and Transmitters for Software Radio*. Springer, 2005.
- [VCH⁺97] R. Voorakaranam, S. Chakrabarti, J. Hou, A. Gomes, S. Cherubal, A. Chatterjee, and W. Kao. Hierarchical Specification-Driven Analog Fault Modeling for Efficient Fault Simulation and Diagnosis. In *Proc. International Test Conference*, pages 903–912, 1997.
- [VdP94] R. Van de Plassche. *Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic Publishers, 1994.
- [Vol59] J.E. Volder. The CORDIC trigonometric Computing Technique. *IRE Transactions on Electronic Computers*, 8:330–334, 1959.
- [VRHR95] D. Vazquez, A. Rueda, J.L. Huertas, and A.M.D. Richardson. Practical DFT Strategy for Fault Diagnosis in Active Analogue Filters. *Electronics Letters*, 31(15):1221–1222, 20 July 1995.
- [Wal71] J.S. Walther. A unified algorithm for elementary functions. In *Proceedings of AFIPS Sprint Joint Computer Conf.*, pages 379–385, 1971.
- [WKR⁺02] P.R. Wilson, Y. Kilic, J.N. Ross, M. Zwolinski, and A.D. Brown. Behavioural Modelling of Operational Amplifier Faults Using VHDL-AMS. In *Proc. Design, Automation and Test in Europe Conference and Exhibition*, page 1133, 4–8 March 2002.
- [WPS96] S. Wang, V. Piuri, and Jr. Swartzlander, E.E. A Unified View of CORDIC Processor Design. In *IEEE 39th Midwest symposium on Circuits and Systems*, volume 2, pages 852 – 855, Aug. 1996.
- [WW88] K.D. Wagner and T.W. Williams. Design for Testability of Mixed Signal Integrated Circuits. In *Proc. New Frontiers in Testing International Test Conference*, pages 823–828, 1988.
- [WW98] M. Worsman and M.W.T. Wong. Nonlinear Circuit Fault Diagnosis With Large Change Sensitivity. In *Proc. IEEE International Conference on Electronics, Circuits and Systems*, volume 2, pages 225–228, 7–10 Sept. 1998.
- [XAK95] Jean Qincui Xia, T. Austin, and N. Khouzam. Dynamic Test Emulation for EDA-Based Mixed-Signal Test Development Automation. In *Proc. International Test Conference*, pages 761–770, 1995.

- [Xil05] Xilinx. *Spartan-3E Family: Complete Data Sheet*, 2005. Available on: <http://www.xilinx.com>.
- [Xil06] Xilinx. *Spartan-3E Starter Kit Board User Guide*, 2006. Available on: <http://www.xilinx.com>.
- [Xil09] Xilinx. *Xilinx ISE Foundation Software*, 2009. Available on: <http://www.xilinx.com>.
- [YSCA04] Hak-Soo Yu, H. Shin, J.H. Chun, and J.A. Abraham. Performance Characterization of Mixed-Signal Circuits Using a Ternary Signal Representation. In *Proc. of International Test Conference*, pages 1389 – 1397, 2004.
- [ZB04] M. Zwolinski and A.D. Brown. Behavioural Modelling of Analogue Faults in VHDL-AMS - A Case Study. In *Proc. International Symposium on Circuits and Systems ISCAS '04*, volume 5, pages V-632–V-635, 23–26 May 2004.