



Technische Universität München  
TUM School of Engineering and Design

Aufbau- und Verbindungstechniken auf Basis von  
Leiterplattentechnologien für WBG-Leistungstransistoren

Eduard Dechant

Vollständiger Abdruck der von der TUM School of Engineering and Design der  
Technischen Universität München zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Vorsitz: Prof. Dr. sc. Myriam Koch  
Prüfer der Dissertation: 1. Prof. Dr.-Ing. Dr. h. c. Ralph Kennel  
2. Prof. Dr. techn. Norbert Seliger  
Hochschule Rosenheim

Die Dissertation wurde am 17.03.2022 bei der Technischen Universität München  
eingereicht und durch die TUM School of Engineering and Design am 04.05.2022  
angenommen.



# Danksagung

Die vorliegende Arbeit ist dank einer Kooperation zwischen der Technischen Universität München und der Hochschule Rosenheim entstanden. Allen Beteiligten, die zu dieser Kooperation beigetragen haben, möchte ich herzlich danken.

Herrn Prof. Dr.-Ing. Ralph Kennel möchte ich Danke sagen für die Aufnahme am Lehrstuhl für Elektrische Antriebssysteme und Leistungselektronik sowie für die Betreuung meines Promotionsvorhabens.

Bei Herrn Prof. Dr. techn. Norbert Seliger möchte ich mich für die fachliche und mentale Unterstützung während meiner Zeit in Rosenheim bedanken. Die vielen Diskussionen haben nicht nur dazu geführt, dass ich mich fachlich weiterentwickelte, sondern mich auch in meiner persönlichen Entwicklung sehr gestärkt. Vielen Dank für die große Unterstützung während meiner Promotionszeit.

Auch Prof. Dr.-Ing. Rainer Hagl, Leiter des Forschungslabors für mechatronische Systeme, möchte ich danken. Ohne seinen Einsatz für die Forschungsprojekte wäre das Promotionsvorhaben nicht zustande gekommen.

Außerdem möchte ich dem gesamten Team in Rosenheim bestehend aus Christian Brunner, Johannes Hilverkus, Julia Höllthaler, Markus Märkl, Martin Krettek und Rajanya Yalamanchili für die Unterstützung während meines Forschungsaufenthaltes und die angenehme Arbeitsatmosphäre danken. Die gemeinsamen Grillabende, Wandertage und Weihnachtsfeiern rundeten die Zeit in Rosenheim perfekt ab.

Herrn Prof. Dr. Stubenrauch möchte ich für die Diskussionen während meiner Zeit in Rosenheim und das Korrekturlesen der vorliegenden Arbeit danken.

Ein ganz besonderer Dank geht an meine Frau und meine drei Kinder, ohne deren Bereitschaft, in eine neue Heimat zu ziehen, dieses Promotionsthema von mir nicht hätte bearbeitet werden können. Aber auch für die große Geduld und das Verständnis für die vielen Stunden, die mit dem Anfertigen dieser Arbeit verbunden waren, bin ich ihnen sehr dankbar.

Eduard Dechant

Chieming, Februar 2022





# Kurzfassung

Diese Arbeit untersucht Aufbau- und Verbindungstechniken auf Basis von Leiterplattentechnologien für Wide-Bandgap-Leistungstransistoren mit schnellen Schaltvorgängen. Mit dem Ziel ein überschwingungsfreies Schalten zu erreichen, werden niederinduktive Konzepte für Zweilevel- und Dreilevel-Inverter im Hinblick auf verschiedene Schichtdicken bzw. Leiterplattentechnologien vorgestellt und diskutiert. Dabei konnte gezeigt werden, dass Schaltzellen unter Berücksichtigung von parasitären Kapazitäten so niederinduktiv gestaltet werden können, dass ein Überschwingen beim Schaltvorgang keine Limitierung mehr darstellt. Neuartige Aufbau- und Verbindungstechniken, wie die Integration der Halbleiter in den Kern der Leiterplatte, können zudem die elektrischen, thermischen und mechanischen Eigenschaften im Vergleich zu konventionellen Bauelementen verbessern. Dünnfilmtechnologien zeigen eine bessere Störfestigkeit bzw. ein geringeres Übersprechen auf andere Signalleitungen. Außerdem wurden Filtermaßnahmen zur Reduzierung von hochfrequenten Störspannungen, die durch kurze Schaltzeiten entstehen, untersucht.

## Abstract

This work investigates packaging and interconnection technologies based on printed circuit board technologies for wide-bandgap semiconductors with fast switching transients. In order to minimize voltage overshoots and ringing, low-inductance designs for two- and three-level topologies are presented and the influence of the layer thickness with respect to circuit board technologies is discussed. Due to the low inductance designs, voltage overshoots are no longer a limitation for switching cells. Novel packaging and interconnection technologies, such as the integration of bare dies in the core of the circuit board, improve the electrical, thermal and mechanical properties compared to discrete components. A benefit of thin-film technologies is the interference immunity. Furthermore, filters for reducing high-frequency interference voltages caused by fast switching were investigated.



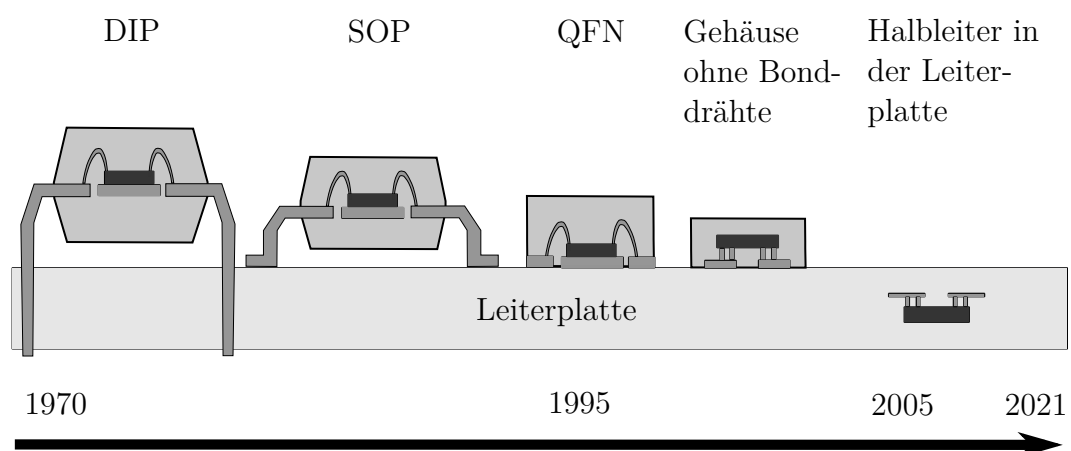
# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Stand der Technik . . . . .	3
1.2	Problemstellung und Ziele der Arbeit . . . . .	6
1.3	Aufbau und Gliederung der Arbeit . . . . .	7
<b>2</b>	<b>WBG-Transistoren in Stromrichtern</b>	<b>9</b>
2.1	Charakteristik von Galliumnitrid-Leistungstransistoren . . . . .	13
2.2	Aufbau elektrischer Antriebssysteme mit WBG-Transistoren . . . . .	16
2.2.1	Zweilevel-Stromrichter . . . . .	18
2.2.2	Dreilevel-Stromrichter . . . . .	23
<b>3</b>	<b>Parasitäre Elemente in der Aufbau- und Verbindungstechnik</b>	<b>31</b>
3.1	Parasitäre Elemente in der Schaltzelle . . . . .	32
3.1.1	Induktivitäten im Kommutierungskreis . . . . .	32
3.1.2	Parasitäre Kapazitäten in der Schaltzelle . . . . .	38
3.1.3	Parasitäre Elemente im Ansteuerkreis . . . . .	40
3.2	Die Streifenleitung als Verbindungselement . . . . .	43
3.3	Elektrisches Übersprechen bei Streifenleitungen in Abhängigkeit von der Schichtdicke . . . . .	48
<b>4</b>	<b>Aufbaukonzepte für schnellschaltende GaN-Transistor</b>	<b>59</b>
4.1	Anordnung von diskreten WBG-Transistoren . . . . .	59
4.2	Niederinduktive Konzepte für vertikale Zweilevel-Schaltzellen . . . . .	62
4.3	Niederinduktive Konzepte für NPC-Dreilevel-Schaltzellen . . . . .	73
4.3.1	Kommutierungspfade und Schleifeninduktivitäten in der NPC- Schaltzelle . . . . .	73
4.3.2	Aufbau einer niederinduktiven NPC-Schaltzelle . . . . .	77
4.3.3	Parasitäre Elemente in Abhängigkeit von der Schichtdicke . . . . .	79
<b>5</b>	<b>Integration von Transistoren in das Trägersubstrat</b>	<b>85</b>
5.1	Elektrische Eigenschaften einer Zweilevel-Schaltzelle . . . . .	88
5.2	Thermische Eigenschaften . . . . .	91

5.3	Mechanische Eigenschaften . . . . .	98
5.4	Grenzen und Zuverlässigkeit von Schaltzellen mit integrierten Transistoren . . . . .	104
5.4.1	Hochtemperaturlagerung . . . . .	105
5.4.2	Analyse der dielektrischen Durchschlagfestigkeit von Epoxidharz-Glasgewebe-Verbundwerkstoffen und Polyimid . . . . .	107
5.4.3	Lastwechseltest . . . . .	117
<b>6</b>	<b>Schnellschaltende Leistungshalbleiter im Antriebssystem</b>	<b>127</b>
6.1	Versuchsaufbau zur Messung von leitungsgebundenen Störungen . . . . .	129
6.2	Einfluss der Leiterplattentechnologie . . . . .	130
6.3	Vergleich zwischen einer Zweilevel- und Dreilevel-Topologie . . . . .	133
6.4	Filtermaßnahmen zur Reduzierung von Oberschwingungen . . . . .	135
6.4.1	du/dt-Filter . . . . .	135
6.4.2	Sinusfilter . . . . .	138
6.4.3	Defected-Ground-Structure (DGS)-Eingangsfiler . . . . .	147
<b>7</b>	<b>Zusammenfassung und Ausblick</b>	<b>157</b>
	<b>Anhang</b>	<b>161</b>
A.1	Parameter der FEM-Simulationen . . . . .	161
A.2	Doppelpuls-Schaltung für eine Zweilevel- und NPC-Topologie mit Simulationsparametern . . . . .	162
A.3	Auslegung des du/dt-Filters . . . . .	165
	<b>Abkürzungsverzeichnis</b>	<b>167</b>
	<b>Symbolverzeichnis</b>	<b>169</b>
	<b>Literaturverzeichnis</b>	<b>177</b>
	<b>Veröffentlichungen des Autors</b>	<b>189</b>

# 1 Einleitung

Die klassische Leiterplatte, die von Paul Eisler im Jahre 1943 erfunden wurde [1], um elektrische Verbindungen zwischen elektronischen Bauelementen herzustellen, bildet heutzutage immer noch die Grundlage für leistungselektronische Schaltungen. Früh wurde erkannt, dass die Miniaturisierung von Bauelementen nicht nur Volumen und somit Kosten spart, sondern auch parasitäre Elemente wie z. B. Induktivitäten, Kapazitäten und Widerstände reduziert. Abbildung 1.1 zeigt die Entwicklung von elektrischen Bauelementen in der Leiterplatte, angefangen mit den Durchsteckkontakten wie z. B. dem Dual-In-Line-Package, kurz (DIP), bis hin zum Gehäuse ohne Bonddrähte und Anschlussstifte. Eine neuartige Technologie, die seit 2005 immer mehr an Bedeutung gewinnt, ist die Integration von aktiven und passiven Bauelementen in die Leiterplatte. Diese Technologie steigert nicht nur die Leistungsdichte elektronischer Schaltungen, sondern ermöglicht auch die weitere Reduzierung von parasitären Elementen. Bis heute bringt der Trend zu immer kleineren Schaltungen neue Technologien, Materialien und Herausforderungen in der Umsetzung und Zuverlässigkeit mit sich. Parallel zur Entwicklung von Gehäusebauformen und Leiterplattentechnologien entwickeln sich Halbleiterbauelemente ebenfalls kontinuierlich weiter.



**Abbildung 1.1:** Übersicht über die Entwicklung der Gehäuse von elektronischen Bauelementen zu immer kleineren Strukturen.

Im leistungselektronischen Umfeld sichern sich Halbleiter mit breitem Bandabstand, auch Wide-Bandgap-Halbleiter (WBG-Halbleiter) genannt, wie Galliumnitrid (GaN) oder Siliziumcarbid (SiC) immer mehr Marktanteile [2]. Ein Vorteil von Halbleitern mit großer Bandlücke ist die ca. zehnmal größere elektrische Durchbruchfeldstärke im Vergleich zu Silizium-Halbleitern. Bei gleichbleibender Betriebsspannung ermöglicht dies deutlich kleinere Strukturen, welche wiederum zu einer Erhöhung der Leistungsdichte führen. Die WBG-Halbleiter SiC und GaN sind meist unipolare Halbleiter, die als Ladungsträger ausschließlich Majoritätsladungsträger nutzen. Dies ermöglicht in Kombination mit geringeren Kapazitäten bei WBG-Transistoren schnellere Schaltvorgänge als bei herkömmlichen Silizium-Transistoren. Durch diesen entscheidenden Vorteil des schnellen Schaltens können Schaltverlustleistungen reduziert werden. Moderne Stromrichter nutzen diesen Vorteil nicht nur, um die Effizienz zu steigern, sondern auch um die Schaltfrequenz zu erhöhen. Eine Erhöhung der Schaltfrequenz ermöglicht höhere Drehfeldfrequenzen, kompaktere Filterelemente und eine höhere Reglerdynamik und dadurch auch reaktionsschnellere Aktoren [3].

Halbbrücken, bestehend aus zwei oder mehreren Leistungsschaltern, bilden bei der Umwandlung von Energie die Grundlage eines Stromrichters. Bei einem Wechselrichter wird z. B. mithilfe der Halbbrücke die Gleichspannung in eine modulierte rechteckförmige Wechselspannung umgewandelt. Dabei können schnelle Schaltvorgänge parasitäre Elemente bestehend aus Kapazitäten und Induktivitäten zum Oszillieren anregen, was wiederum zu Überspannungen führen kann. Diese Problematik fordert daher neue Maßstäbe bei der Entwicklung von leistungselektronischen Systemen, wie z. B. neuartige niederinduktive Verbindungstechniken oder Filtermaßnahmen.

Die Anordnung der Leistungsschalter und der Zwischenkreiskondensatoren hat großen Einfluss auf die Induktivitäten und Kapazitäten, die nachfolgend als parasitäre Elemente bezeichnet werden. In [4] wurden die Unterschiede von verschiedenen Anordnungen mit einer konventionellen Leiterplattentechnik mit Leiterplattendicken  $\geq 0.7$  mm untersucht. Auch in [5] wird eine niederinduktive Schaltzelle, bestehend aus einer Halbbrücke und HF-Zwischenkreiskondensatoren für hochtaktende leistungselektronische Anwendungen auf Basis einer konventionellen Leiterplatte vorgestellt. Die Fragestellung, ob neuartige Aufbau- und Verbindungstechniken weitere thermische, elektrische oder mechanische Vorteile bieten und diese in leistungselektronische Schaltungen etabliert werden können, ist aber bisher noch offen. Diese Fragestellung umfasst nicht nur Zweilevel-Topologien, sondern auch Mehrlevel-Topologien. In [6, 7] wird gezeigt, dass Mehrlevel-Topologien bei hochtaktenden Anwendungen einen Vorteil bei den Schaltverlusten aufweisen. Um diesen Vorteil beizubehalten, müssen Mehrlevel-Topologien mit WBG-Transistoren niederinduktiv realisiert werden. Bei Mehrlevel-

Schaltzellen steigt allerdings die Schwierigkeit der Konzipierung eines niederinduktiven Designs mit der Anzahl an Spannungsstufen und der damit verbundenen Schaltungskomplexität an, was im Hinblick auf die parasitären Elemente eine durchaus größere Herausforderung darstellt.

Eine Technologievariante, die niederinduktive Aufbauten ermöglicht, ist die Dünnschichttechnik auf Basis von Polyimid (PI), die vor allem bei Flexleitern ein großes Anwendungsfeld findet. Der Vorteil dieser Variante ist, dass sehr dünne Schichtdicken  $< 0.1$  mm realisiert werden können, was wiederum niederinduktive Aufbau- und Verbindungstechniken ermöglicht. Zudem besitzt Polyimid eine hohe Spannungsfestigkeit, wodurch auch Anwendungen in der Leistungselektronik möglich sind.

Eine weitere innovative Aufbau- und Verbindungstechnik ist die Integration von Leistungshalbleitern in die Leiterplatte. Ziel dieser Technologie ist es, aktive und passive Halbleiter in den Kern der Leiterplatte zu integrieren und somit die Leiterplatte als Gehäuse zu nutzen. Dadurch fallen nicht nur parasitäre Elemente vom Gehäuse weg, sondern es entstehen auch weitere Vorteile wie z. B. eine bessere Wärmespreizung, eine Reduzierung von Größe und Gewicht sowie kürzere Signalwege [8]. Bestandteil der vorliegenden Arbeit ist die Untersuchung dieser unterschiedlichen Aufbau- und Verbindungstechniken anhand einer Schaltzelle in einem leistungselektronischen Umfeld.

## 1.1 Stand der Technik

Die Verfügbarkeit von SiC-Leistungshalbleitern mit Sperrspannungen  $> 650$  V leitet eine Trendwende in Motorapplikationen im Industrie- und Automobilssektor ein. Dabei kann die Zielsetzung eine Steigerung der Effizienz oder auch die Steigerung der Dynamik durch eine Erhöhung der Schaltfrequenz sein. GaN-Bauelemente weisen derzeit eine technologische Limitierung von 650 V auf, welche das Anwendungsgebiet beschränkt. Deswegen finden diese eher in hochfrequenten Schaltungen, Netzteilen und 48-V-Applikationen Anwendung. Da Bonddrähte im Hinblick auf schnelle Schaltvorgänge mit Schaltflanken von  $> 100$  V/ns nicht geeignet sind [9], bringen der wachsende Anteil der WBG-Transistoren und die damit verbundene Forderung niederinduktiver Verbindungsstrukturen einen Wandel der Aufbau- und Verbindungstechnik mit sich. Dennoch sind gebondete Halbleiter z. B. in Transistor-Outline (TO)-Gehäusen oder in Leistungsmodulen derzeit in leistungselektronischen Schaltungen am meisten verbreitet.

Die Integration von Halbleitern in ein Substrat und die Kontaktierung mit Mikrovias bieten hierbei neue Möglichkeiten der Optimierung. Durch das Einbetten der Halbleiter in ein Leiterplattensubstrat ist eine Erweiterung des klassischen Leiterplattenprozesses in eine dritte Dimension der vertikalen Achse möglich. Dies gilt sowohl für aktive als auch für passive Bauelemente. Es kann hierbei zwischen zwei Realisierungsmöglichkeiten unterschieden werden. Bei der ersten Variante werden elektrische Komponenten in die Hauptplatine (System in Board) integriert, wodurch Platz an der Oberfläche für andere Komponenten geschaffen und die Größe reduziert wird. Bei der zweiten Variante werden nur Teilfunktionen in ein Modul integriert und diese anschließend an eine Hauptplatine durch Steck- oder Lötverbindungen angebunden. Hierbei kann in Single-Chip- und System-in-Package (SiP)-Lösungen unterschieden werden. Nachfolgend werden eine Single-Chip-, zwei System-in-Package-Lösungen und eine firmenspezifische Technologie basierend auf der Integration von Leiterplatten vorgestellt.

**GaNPX-Package** ist eine der bekanntesten Single-Chip-Lösungen auf Basis der Leiterplattenintegration. Dieses Gehäuse ist vom Halbleiterhersteller GaN Systems in Kooperation mit dem Leiterplattenhersteller AT&S entwickelt worden [10]. Dabei wird der Transistor in ein FR4-Substrat integriert und mit Mikrovias kontaktiert. Zur Entwärmung des Halbleiters werden bei dieser Variante ebenfalls Mikrovias eingesetzt. GaN Systems zeigt mit diesem Gehäuse, dass mit der Integration von Halbleitern in die Leiterplatte bondlose Gehäuse für WBG-Transistor für den Massenmarkt realisiert werden können.

**DrBlade** ist ein kompakter DC/DC-Abwärtswandler der Firma Infineon, realisiert als System in Package mit integrierten MOSFETs (Metal-Oxide-Semiconductor-Field-Effect-Transistors), Treibern sowie Strom- und Temperatursensoren [11, 12]. DrBlade-Module beruhen ebenfalls auf einem klassischen Leiterplatten-Herstellungsverfahren mit Integration der Transistoren in das Leiterplattensubstrat. Hauptanwendungsfelder sieht Infineon vor allem in der Spannungsregulierung in Computer- und Telekommunikationssystemen. Laut Hersteller hat die Größe des Moduls im Vergleich zu herkömmlichen Aufbauten durch die Integration der Transistoren um ca. 30 % abgenommen [11]. Infineon verspricht sich mit diesem Aufbau geringere Induktivitäten und Widerstände sowie eine höhere Strombelastbarkeit bei signifikanter Reduzierung der Größe im Vergleich zu Standardgehäusen. Das Modul besitzt einen maximalen Ausgangsstrom von 40 A und kann mit einer Schaltfrequenz von bis zu 1.2 MHz betrieben werden. Der thermische Widerstand  $R_{th}$  beträgt bis zur Unterseite 1 K/W und bis zur Oberseite 2 K/W. Inzwischen ist das Modul in der zweiten Generation unter dem Namen DrBlade 2 verfügbar. Mit der neuen Version konnte der maximale



Ausgangsstrom auf 60 A gesteigert und die Effizienz von 94 % auf über 95 % weiter verbessert werden.

**MicroSiP** ist ein DC/DC-Wandler von der Firma Texas Instruments, realisiert als ein System in Package. Dieser DC/DC-Wandler mit integrierten Transistoren und einer Strombelastbarkeit von 3 A bei einer Ausgangsspannung von 17 V ist mit seinen Außenmaßen von 2.3 mm x 2.9 mm x 1 mm einer der kompaktesten DC/DC-Wandler auf dem Markt [13].

**P<sup>2</sup>Pack** der Firma Schweizer ist eine Technologievariante, die derzeit für 48-V-Anwendungen Leistungstransistoren in eine Kavität eines Kupfer-Leadframes einsetzt. Anschließend werden auf der Oberseite der Transistoren mit einem klassischen Leiterplattenprozess die Verbindungslagen aufgesetzt. Die klassischen Bonddrähte werden hierbei in der Verdrahtungsebene durch gefüllte Vias ersetzt. Das massive Kupfer-Leadframe unter den Bauteilen führt zu einer Wärmespreizung, wodurch der thermische Widerstand im Vergleich zu Direct-Copper-Bonded (DCB)-Substraten deutlich verbessert wird [12, 14].

Alle diese genannten Beispiele reduzieren die parasitären Elemente in der Aufbau- und Verbindungstechnik für verschiedenste Anwendungen, um schnelleres Schalten zu ermöglichen und somit eine Steigerung der Effizienz zu erreichen. Diese Entwicklungen zeigen, dass die Integration von Transistoren in das Leiterplattensubstrat im Kleinspannungsbereich bereits Einzug in erste Anwendungsfelder gefunden hat. Es gibt schon eine Vielzahl von Herstellern, die die Integration von Halbleitern in Substrate als Lösung anbieten. Dies eröffnet der Technologie die Möglichkeit, sich als Standard zu etablieren und individuell an die Applikation angepasste Lösungen zu entwickeln.

## 1.2 Problemstellung und Ziele der Arbeit

Die Kontaktierung der Chipoberfläche über Bonddrähte ist in der Leistungselektronik weit verbreitet. Jedoch weisen Bonddrähte hohe parasitäre Induktivitäten auf, die die Schaltgeschwindigkeit limitieren. Um das volle Potenzial von WBG-Transistoren ausnutzen zu können, müssen diese Limitierungen durch den Einsatz von neuen Technologien mit niederinduktiven Verbindungstechniken minimiert werden.

Ziel dieser Arbeit ist, Aufbau- und Verbindungstechnologien auf Basis von Leiterplattentechnologien für WBG-Transistoren mit schnellen Schaltflanken zu untersuchen. Dabei wird der Fokus auf diskrete Transistoren gelegt. Die Vorteile von diskreten Transistoren sind z. B. die breite Verfügbarkeit am Markt und die höhere Flexibilität im Design z. B. beim Anordnen der Bauelemente oder bei der Anbindung an einen Kühlkörper. Um das Potenzial der diskreten WBG-Transistoren voll auszuschöpfen, werden in dieser Arbeit niederinduktive Konzepte für Zwei- und Dreilevel-Schaltzellen untersucht. Der Fokus wird hierbei auf die Unterschiede zwischen den einzelnen Leiterplattentechnologien bzw. auf die Isolationsschichtdicken gelegt. Schnelle Schaltflanken wirken sich nicht nur in der Schaltzelle, sondern auch in der umgebenden Elektronik aus. Deswegen werden anhand von Mikrostreifenleitungen die parasitären Elemente in Abhängigkeit der Schichtdicke des Isolationsmaterials und das Übersprechen auf andere Leitungen näher untersucht.

Für leistungselektronische Anwendungen wurde die Eignung neuartiger Leiterplattentechnologien bei einer Spannung von  $< 48\text{ V}$  bei den Leistungsmodulen DrBlade oder MicroSiP bereits gezeigt. Aber darüber hinaus sind noch einige Fragestellungen in Bezug auf Anwendungen im Niederspannungsnetz mit Zwischenkreisspannungen zwischen  $300\text{ V}$  und  $700\text{ V}$  offen. Deswegen ist die Untersuchung der Durchbruchfestigkeit von dünnen Substraten ebenfalls Bestandteil dieser Arbeit. Aber auch die Lastwechsel- und Temperaturfestigkeit der Aufbau- und Verbindungstechnik ist Gegenstand der Untersuchungen.

Schnelle Spannungsänderungen bei Schaltvorgängen können Störungen in der Elektronik, Überspannungen in Leitungen bzw. im Motor hervorrufen. Deswegen werden Filtermaßnahmen zum Schutz der umgebenden Elektronik bzw. Last diskutiert. Aber auch auf die Frage, welchen Einfluss die Filter auf das Schaltverhalten der WBG-Transistoren haben, ist Teil der Untersuchungen. Eine weitere Fragestellung, die im Rahmen dieser Arbeit untersucht wird, ist, ob EMV-Filter auf Basis von Dünnschichttechnologien in Kombination mit optimierten Schaltzellen eine messbare Reduktion von EMV-Störungen erzielen.

## 1.3 Aufbau und Gliederung der Arbeit

Die Arbeit beginnt mit einer Einführung in die theoretischen Grundlagen und charakteristischen Eigenschaften von WBG-Halbleitern. Zudem werden die Grundlagen von Zwei- und Dreilevel-Topologien eingeführt.

Kapitel 3 zeigt die Auswirkungen von parasitären Elementen der Aufbau- und Verbindungstechnik in der Schaltzelle. Außerdem wird die Mikrostreifenleitung als grundlegende Verbindungsstruktur in Abhängigkeit von der Schichtdicke näher untersucht. Dabei wird auch auf die Störfestigkeit bzw. das elektrische Übersprechen von Streifenleitungen eingegangen.

In Kapitel 4 werden niederinduktive Aufbau- und Verbindungskonzepte für kurze Schaltzeiten für Zwei- und Dreilevel-Schaltzellen erarbeitet. Der Fokus wird vor allem auf die Abhängigkeit der parasitären Elemente von der gewählten Technologie bzw. Schichtdicke gelegt.

Kapitel 5 befasst sich mit der Integration der Leistungstransistoren in die Leiterplatte. Dabei werden die elektrischen, thermischen und mechanischen Eigenschaften im Vergleich zu konventionellen Aufbauten untersucht. Da eine Technologie im leistungselektronischen Umfeld nur mit ausreichender Zuverlässigkeit Anwendung findet, werden Aspekte der Zuverlässigkeit wie Durchbruchtests, Lastwechseltests und Hochtemperaturlagerungen untersucht.

Da Auswirkungen von schnellen Schaltflanken nicht nur in der Schaltzelle auftreten, werden in Kapitel 6 diese im Antriebssystem im Hinblick auf Filtermaßnahmen untersucht. Hierbei werden zwei Filtervarianten ausgangsseitig und ein Filter eingangsseitig basierend auf Defected-Ground-Structure (DGS)-Streifenleitungen untersucht. Messungen von Gleich- und Gegentaktstörungen schließen dieses Kapitel ab.

Abschließend fasst Kapitel 7 die gesamte Arbeit zusammen und bietet einen Ausblick auf noch offene Fragestellungen.



## 2 WBG-Transistoren in Stromrichtern

Seit der Entwicklung der ersten Transistoren im Jahr 1947 auf Basis von Germanium haben sich die Materialien und Technologien von Halbleitern kontinuierlich weiterentwickelt. Bereits zwischen 1950 und 1960 wurde Germanium durch Silizium als Halbleitermaterial stetig ersetzt. Gründe hierfür waren die hohe Verfügbarkeit und somit der Preisvorteil sowie die besseren elektrischen Eigenschaften. Erfahrung in der Herstellung und geringere Kosten sind bis heute noch Gründe für die weite Verbreitung von Halbleitern auf Basis von Silizium. Jedoch fordern leistungselektronische Schaltungen mittlerweile zusätzliche wichtige Eigenschaften wie Dynamik und Effizienz, welche durch schnelles Schalten und einen geringen Durchgangswiderstand erreicht werden.

Insulated Gate Bipolar Transistors (IGBTs) erschließen aufgrund ihrer Hochstrom- und Hochspannungsfestigkeit ein breites Anwendungsgebiet in der Leistungselektronik. IGBTs erreichen bei hohen Sperrspannungen im Vergleich zu Feldeffekttransistoren (FET) einen niedrigeren Durchgangswiderstand. Der Nachteil des IGBTs im Gegensatz zu unipolaren FETs ist jedoch die Beteiligung von Minoritätsladungsträgern beim Schaltvorgang. Beim Einschalten des Transistors werden Minoritätsladungsträger in den pn-Übergang injiziert, die beim Ausschalten wieder ausgeräumt werden müssen. Dies verursacht eine Sperrverzögerung mit zusätzlichen Verlusten, welche die Schaltfrequenz limitiert. Unipolare Feldeffekttransistoren nutzen zur Stromführung nur eine Art von Ladungsträger, die über den Gate-Kanal gesteuert werden. Dies führt zu kürzeren Schaltzeiten und somit auch zur Reduzierung von Schaltverlusten. Bevor WBG-Transistoren Einzug in leistungselektronische Anwendungen fanden, wurden bei Anwendungen mit einer Sperrfestigkeit der Transistoren von 1200 V überwiegend IGBTs eingesetzt. Der Grund hierfür ist der mehr als quadratische Anstieg des Durchgangswiderstandes mit der Sperrfestigkeit der FETs [15], der den Vorteil des schnelleren Schaltens wieder kompensiert.

Halbleitermaterialien mit großem Bandabstand bieten eine Lösung für schnelles Schaltverhalten und geringe Durchgangswiderstände. Wie die Bezeichnung „Halbleiter mit breitem Bandabstand“ bereits beschreibt, besitzen diese einen größeren Bandabstand

bzw. es wird mehr Energie benötigt, um ein Elektron vom Valenzband ins Leitungsband anzuheben. Je höher die Bandenergie, umso schwieriger ist es für ein Elektron, zum nächsten Band zu gelangen. Die Vorteile, die sich daraus ergeben, sind geringere intrinsische Leckströme, hohe Betriebstemperaturen und hohe kritische Feldstärken  $E_{Krit}$  [16–18]. WBG-Halbleiter aus Galliumnitrid oder Siliziumkarbid weisen im Vergleich zu Silizium zehnmals so hohe kritische Feldstärken auf (siehe Tabelle 2.1). Diese zehnmals höheren kritischen Feldstärken führen im Vergleich zu Silizium bei gleicher Driftzone  $w_{Drift}$  laut Gleichung 2.1 zu einer zehnmals so hohen Durchbruchspannung  $U_{BR}$  [16].

$$U_{BR} = \frac{1}{2} w_{Drift} E_{Krit} \quad (2.1)$$

Dies ist ein wesentlicher Unterschied zu Silizium-Halbleitern und führt im Umkehrschluss bei gleichbleibender Durchbruchspannung auch zu einer zehnmals kleineren Driftlänge. Aber auch die Anzahl der Elektronen bzw. Donatoren  $N_D$  pro Volumenelement steigt, wie aus der nächsten Gleichung mit dem kritischen elektrischen Feld  $E_{Krit}$ , der Durchbruchspannung  $U_{BR}$ , der Elementarladung  $e$  und der Permittivität  $\varepsilon$  erkennbar ist [19]:

$$N_D = \frac{\varepsilon_o \varepsilon_r E_{Krit}^2}{2eU_{BR}} \quad (2.2)$$

Diese erhöhte Anzahl an Elektronen hat bei gleichbleibender Driftlänge  $w_{Drift}$  Einfluss auf die Leitfähigkeit bzw. den spezifischen Widerstand  $R_{on, spez.}$  (siehe Gleichung 2.3) [19]. Das Formelsymbol  $\mu_n$  entspricht hierbei der Beweglichkeit der Elektronen.

$$R_{on, spez.} = \frac{w_{Drift}}{\mu_n e N_D} \quad (2.3)$$

Durch Zusammenführen der Gleichungen 2.1 bis 2.3 zeigt sich die Abhängigkeit des spezifischen Widerstandes  $R_{on, spez.}$  von der kritischen Feldstärke  $E_{krit}$ :

$$R_{on, spez.} = \frac{w_{Drift}^2}{\varepsilon_o \varepsilon_r \mu_n E_{Krit}} \quad (2.4)$$

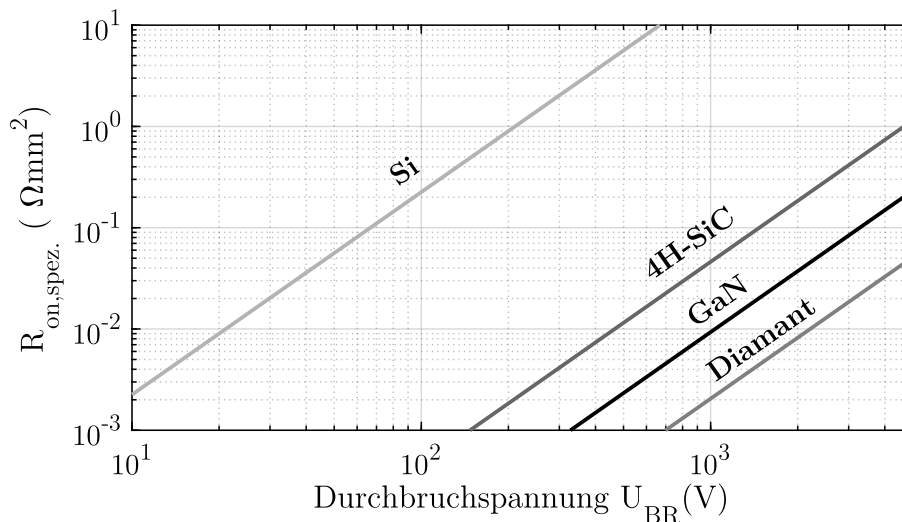
Bei gleichbleibender Driftlänge  $w_{Drift}$  wirkt sich eine Erhöhung der kritischen Feldstärke umgekehrt proportional auf den spezifischen Widerstand  $R_{on, spez.}$  aus, sodass bei WBG-Halbleitern mit einer ca. zehnmals höheren Feldstärke dies zu einem zehnfach kleineren spezifischen Widerstand führt. Tabelle 2.1 vergleicht typische Eigenschaften von Halbleitermaterialien. Zu sehen ist auch Diamant, das aufgrund seiner hohen Bandlückenenergie von 5.5 eV auch unter dem Begriff „Ultra-Wide-Band-Gap-Semiconductor“ bekannt ist. Dazu zählen auch Materialien wie Aluminiumnitrid

(AlN) bzw. Aluminium-Galliumnitrid (AlGaN) oder  $\beta - Ga_2O_3$  [20, 21]. Der Entwicklungsprozess steht bei diesen Halbleitermaterialien aber aus unterschiedlichsten Gründen, wie z. B. Herstellungs- bzw. Materialkosten, Komplexität in der Herstellung und Zuverlässigkeit, noch am Anfang. Deswegen ist es derzeit schwer zu beurteilen, ob und gegebenenfalls wann diese sogenannten „Ultra-Wide-Band-Gap-Semiconductors“ für den Massenmarkt als Leistungsschalter zur Verfügung stehen werden. Sollte dies gelingen, werden diese Materialien nochmals ganz neue Maßstäbe bei der Entwicklung von leistungselektronischen Schaltungen fordern.

**Tabelle 2.1:** Eigenschaften von verschiedenen Halbleitermaterialien [22].

Parameter	Si	GaN	4H-SiC	Diamant
Bandlücke (eV)	1.12	3.39	3.26	5.5
Kritisches elektrisches Feld (kV/mm)	23	330	220	560
Beweglichkeit der Elektronen (cm <sup>2</sup> /Vs)	1400	1500	950	2200
Wärmeleitfähigkeit (W/(mK))	150	130	380	2000
Relative Permittivität	11.8	9	9.7	16.5

Abbildung 2.1 zeigt den spezifischen Widerstand  $R_{on, spez.}$  in Abhängigkeit von der Durchbruchspannung für die verschiedenen Materialien. Erwähnt sei hier, dass es sich um Grenzwerte handelt und nur bei Silizium durch den Entwicklungsvorsprung das Potenzial nahezu ausgeschöpft ist. Aus der Grafik ist zu entnehmen, dass Materialien mit einer höheren kritischen Feldstärke bei gleicher Durchbruchspannung einen deutlich geringeren spezifischen Widerstand  $R_{on, spez.}$  aufweisen. Dies ermöglicht kom-



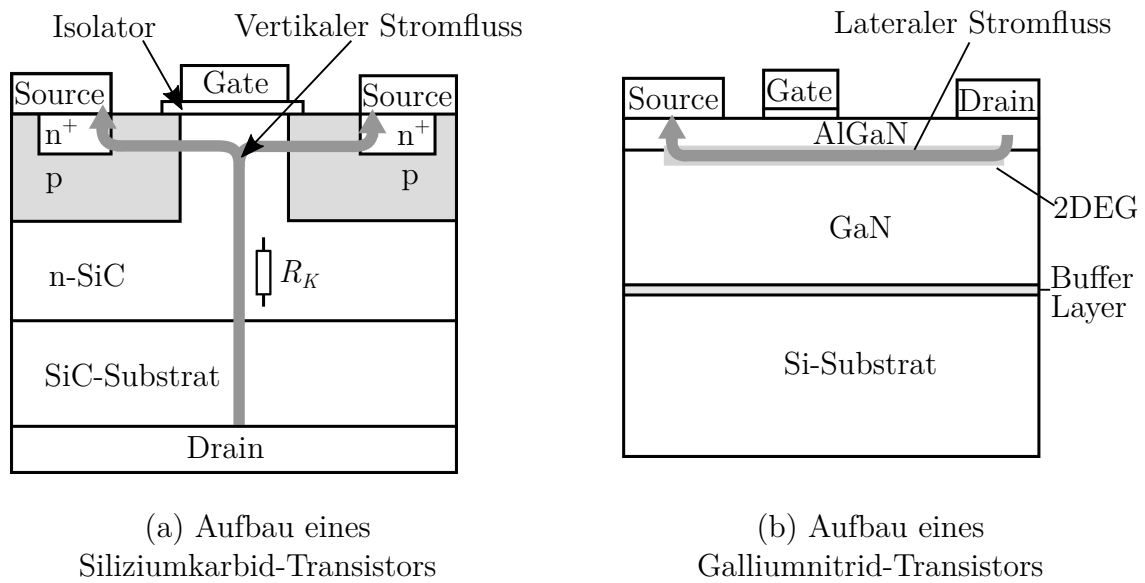
**Abbildung 2.1:** Analytischer spezifischer Widerstand  $R_{on, spez.}$  in Abhängigkeit der Durchbruchspannung  $U_{BR}$  für Silizium (Si), Galliumnitrid (GaN), Siliziumkarbid (4H-SiC) und Diamant mit den Werten aus Tabelle 2.1.

paktere Bauformen mit geringeren Durchgangswiderständen und Kapazitäten.

Die WBG-Transistoren aus SiC und GaN unterscheiden sich nicht nur in den Materialparametern, sondern auch wesentlich im Aufbau und somit in der Stromführung. Beim SiC-Transistoren handelt es sich um eine vertikale Anordnung mit entsprechendem vertikalem Stromfluss (siehe Abbildung 2.2(a)). Die Grundbausteine dieses SiC-MOSFETs sind die n-dotierte Epitaxieschicht auf einem SiC-Substrat, der Inversionskanal und die intrinsische Diode. Aufgrund der vertikalen Bauweise kann eine höhere Durchbruchfestigkeit im Vergleich zu lateralen Leistungstransistoren erreicht werden. Dies ist auch einer der wesentlichen Gründe für die Etablierung von SiC-Bauelementen mit einer Sperrfähigkeit von  $\geq 1200$  V in der Leistungselektronik. Zudem weist Siliziumkarbid im Vergleich zu GaN und Si eine höhere Wärmeleitfähigkeit auf, weshalb SiC einen Vorteil bei der Abführung von Verlustwärme bietet. Im Vergleich zu Silizium-Halbleitern ist bei Siliziumkarbid der große Nachteil der komplexere und energieaufwendige Herstellungsprozess, der zu höheren Halbleitermaterialkosten führt [23].

Bei Galliumnitrid handelt es sich um eine kristalline Verbindung aus Gallium und Stickstoff und somit um einen III-V-Verbindungshalbleiter. Aufgrund der bisher teuren Herstellungskosten für Galliumnitrid-Einkristalle wird nur eine sehr dünne Schicht Galliumnitrid auf ein kostengünstigeres Fremdsubstrat, wie z. B. Saphir, Silizium oder Siliziumkarbid, aufgetragen. Durch das Fremdsubstrat ergeben sich Nachteile wie z. B. unterschiedliche Wärmeausdehnungskoeffizienten, die zu mechanischen Spannungen und somit zu Rissen und Ausfällen führen können [24]. Abbildung 2.2(b) zeigt den typischen Aufbau eines Galliumnitrid-HEMTs auf einem Silizium-Substrat mit einem Buffer-Layer und den Anschlüssen Gate, Source und Drain. Durch das Aufwachsen einer dünnen Schicht AlGa<sub>N</sub> auf das GaN-Material entsteht an der Grenzfläche ein Elektronengas (2DEG). Durch dieses zweidimensionale Elektronengas resultiert ein Stromfluss in lateraler Richtung. Dies gestattet bei der Layoutgestaltung kurze und niederinduktive Pfade. Zudem ist die Trennung von thermischen und elektrischen Pfaden durch die Anbindung eines Kühlkörpers an der Unterseite des Transistors möglich. Ein Nachteil der Galliumnitrid-HEMTs mit lateraler Stromführung ist die Spannungsfestigkeit, die derzeit für konventionell erhältliche Bauelemente nur bis 650 V gegeben ist. Eine Steigerung der Durchbruchfestigkeit durch Erhöhung der Driftlänge erweist sich bei lateralen Strukturen als schwierig, da das Risiko eines Stromabrisses steigt [25]. Außerdem würde eine Vergrößerung der Driftlänge einen quadratischen Zuwachs des spezifischen Widerstands  $R_{on, spez.}$ , wie in Gleichung 2.4 gezeigt, mit sich bringen. Zudem limitieren hohe Feldspitzen und parasitäre Leckströme ebenfalls die Spannungsfestigkeit [26]. Es werden bereits alternative Ansätze zur Anhebung der





**Abbildung 2.2:** Vergleich zwischen den Aufbauten der WBG-Transistoren a) Siliziumkarbid und b) Galliumnitrid.

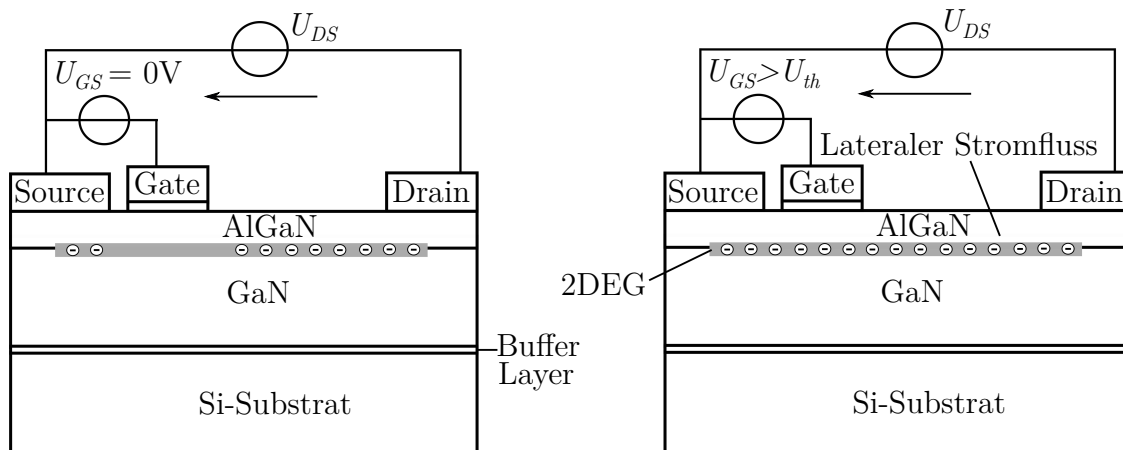
Durchbruchfestigkeit untersucht, wie z. B. GaN als vertikales Bauelement [27] oder die Anhebung der Spannungsfestigkeit durch Kaskadierung [28]. Da in dieser Arbeit Aufbau- und Verbindungstechniken für schnelle Schaltvorgänge untersucht werden und Galliumnitrid-HEMTs das Potenzial haben, die kürzesten Schaltzeiten zu erreichen, werden trotz der limitierten Spannungsfestigkeit GaN-HEMTs für die weiteren Untersuchungen verwendet.

## 2.1 Charakteristik von Galliumnitrid-Leistungstransistoren

Erste Anwendungsfelder von Galliumnitrid-Halbleitern ergaben sich mit der Entwicklung der blauen LED, die 2014 mit dem Nobelpreis ausgezeichnet wurde. Als Nächstes folgte die Verbreitung von High-Electron-Mobility-Transistoren (HEMT) in der Hochfrequenztechnik. Der Grund hierfür war, wie der Name schon suggeriert, die hohe Ladungsträgermobilität im Elektronengas. Das 2DEG-Elektronengas zwischen AlGaN und GaN ist ohne weitere äußere Einflüsse selbstbildend und bildet daher im spannungslosen Zustand einen leitfähigen Kanal zwischen den Kontakten Drain und Source des GaN-HEMTs. Dieses selbstleitende Verhalten wird Depletion-Mode (D-Mode) genannt. Beim Anlegen einer negativen Spannung zwischen Gate und Source

werden Elektronen vom Gate abgezogen und somit die Leitfähigkeit verändert. In der Leistungselektronik stellt dieses selbstleitende Verhalten jedoch im Fehlerfall ein erhöhtes Kurzschlussrisiko dar. Daher werden für leistungselektronische Schaltungen überwiegend selbstsperrende Leistungsschalter eingesetzt.

Durch das Auftragen einer zusätzlichen p-dotierten GaN-Schicht entziehen Akzeptoren dem 2DEG-Elektronengas Elektronen, sodass ein selbstsperrendes Verhalten entsteht [25, 29]. Nur nach Überschreitung einer gewissen Schwellspannung  $U_{th}$  zwischen dem Gate-Source-Kontakt kann der Stromfluss wieder vollständig erfolgen (siehe Abbildung 2.3). Diese selbstsperrende Variante wird Enhancement-Mode (E-Mode) genannt.



**Abbildung 2.3:** Stromfluss in einem Enhancement-Mode-Galliumnitrid-HEMT.

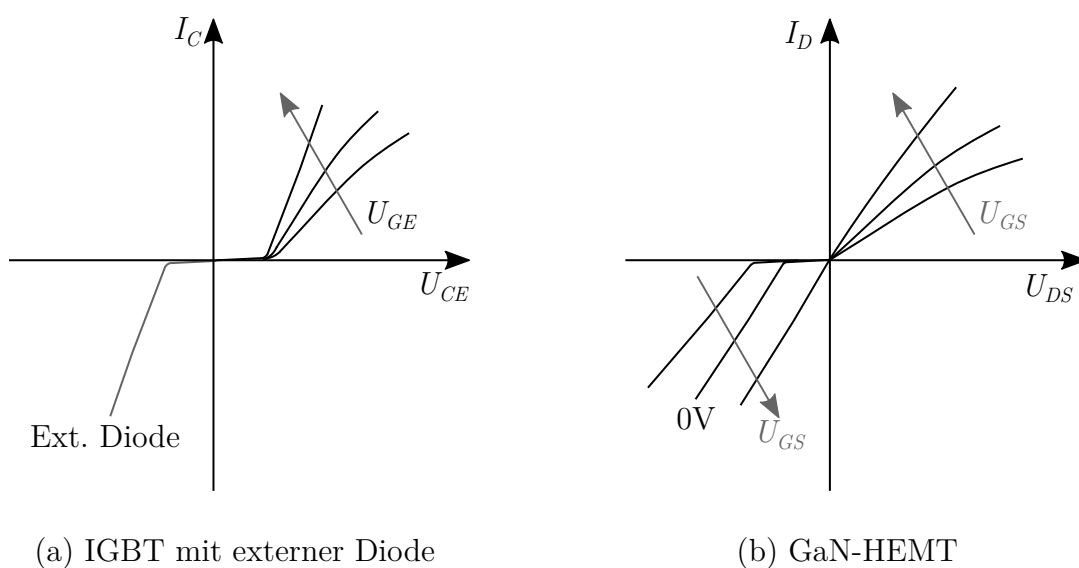
### Statisches und dynamisches Verhalten eines GaN-HEMTs

Die Rückwärts-Leitfähigkeit von Leistungsschaltern stellt sicher, dass der Strom, getrieben durch eine induktive Last, immer einen Pfad zur Stromführung zur Verfügung hat. Eine externe oder intrinsische antiparallele Diode kann einen alternativen Freilaufpfad für den Stromfluss in der Schaltung gewährleisten. Feldeffekttransistoren auf Basis von Si oder SiC weisen eine intrinsische Body-Diode zur Rückwärtsleitfähigkeit auf, während bei IGBTs durch den strukturellen Aufbau eines Bipolartransistors mit einer pnp-Struktur keine Rückwärtsleitfähigkeit möglich ist. Deswegen werden beim IGBT Freilaufdioden antiparallel zugeschaltet. Ein GaN-HEMT besitzt zur Rückwärtsleitfähigkeit keinen bipolaren pn-Übergang, wie es bei FET-Transistoren der Fall ist. Dennoch ist eine bidirektionale Leitfähigkeit des Kanals möglich. Das Verhalten der Rückwärtsleitfähigkeit ähnelt dabei einer spannungsgesteuerten antiparallel

geschalteten Diode. Der Grund hierfür ist, dass eine negative Drain-Source-Spannung das Potenzial der Gate-Drain-Spannung auf ein positives Niveau anhebt. Wird die Bedingung, dass die Gate-Drain-Spannung  $U_{GD}$  die Schwellspannung  $U_{th}$  übersteigt, erfüllt, wird der Kanal für eine Rückwärtsleitfähigkeit wieder geöffnet [30]. Abbildung 2.4 vergleicht die typischen Kennlinienverläufe eines IGBTs mit einer externen Diode und einem GaN-HEMT. Aufgrund der internen Diode weist der IGBT in Vorwärtsrichtung eine Schwellspannung auf, im Vergleich dazu beginnt beim GaN-HEMT durch den gesteuerten Kanal die Kennlinie beim Ursprung.

Aufgrund der fehlenden Rückwärtsleitfähigkeit von IGBTs unterscheiden sich die GaN-Transistoren und IGBTs im stationären Verhalten erheblich. Um mit IGBTs dennoch eine Rückwärtsleitfähigkeit zu ermöglichen, werden zusätzliche Freilaufdioden verwendet. Das heißt im Umkehrschluss, dass bei GaN-HEMTs weniger Bauelemente in einer Schaltung eingesetzt werden müssen. Bei Feldeffekttransistoren ergeben sich im statischen Verhalten im Vergleich zu GaN-Transistoren durch die interne intrinsische Diode keine wesentlichen Unterschiede. Jedoch sei hier nochmals erwähnt, dass sich aufgrund der unterschiedlichen Materialeigenschaften die statischen Durchgangsverluste durch den  $R_{DS(on)}$  technologiebedingt unterscheiden.

Beim dynamischen Verhalten gibt es ebenfalls entscheidende Unterschiede. Bei jedem Ausschaltvorgang bzw. beim Übergang von „leitend“ auf „sperrend“ muss bei einer pn-Diode die gesamte Diffusionsladung ausgeräumt werden. Dies hat einen Rückstrom innerhalb der sogenannten Sperrverzögerungszeit  $t_{rr}$  zur Folge. Wie in Gleichung 2.5



**Abbildung 2.4:** Typische Kennlinienverläufe für einen IGBT mit paralleler externer Diode und GaN-HEMTs [5].

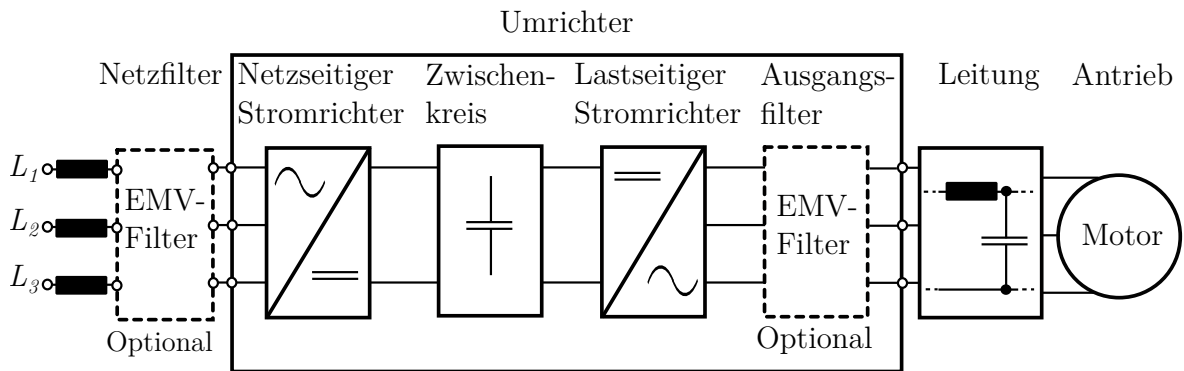
gezeigt, verursacht die in dieser Zeit abgebaute Sperrverzögerungsladung  $Q_{rr}$  Sperrverzögerungsverluste  $P_{rr}$ , die mit steigender Schaltfrequenz  $f_{sw}$  bzw. der treibenden Spannung  $U$  zunehmen.

$$P_{rr} = f_{sw} Q_{rr} U \quad (2.5)$$

Dies limitiert das dynamische Verhalten von bipolaren Leistungstransistoren. Unipolare FETs nutzen für den Vorwärtsbetrieb nur eine Art von Ladungsträger, besitzen aber eine intrinsische Body-Diode mit einer  $pn$ -Struktur für die Rückwärtsleitfähigkeit. Daher müssen auch hier Minoritätsträger nach dem Ausschaltvorgang ausgeräumt werden. Dies führt ebenfalls zu einer zeitlichen Verzögerung mit erhöhten Schaltverlusten. Deswegen werden auch bei einigen Anwendungen mit FETs trotz intrinsischer Diode schnelle unipolare Schottky-Dioden, die nur Majoritätsträger zur Leitfähigkeit nutzen, parallelgeschaltet. GaN-Transistoren nutzen sowohl bei der Vorwärts- als auch bei der Rückwärtsleitfähigkeit keine Minoritätsträger, wodurch sich die Sperrverzögerungsverluste maßgeblich reduzieren. Aber auch GaN-Transistoren weisen kleine Speicherladungseffekte auf, die auf interne strukturbedingte Kapazitäten zurückzuführen sind und oft vernachlässigt werden [31]. Bei GaN-HEMTs kann deshalb auf den Einsatz einer zusätzlichen Reverse-Diode verzichtet werden, womit sich die Anzahl der Bauelemente im Vergleich zu IGBTs und ggf. FETs reduziert.

## 2.2 Aufbau elektrischer Antriebssysteme mit WBG-Transistoren

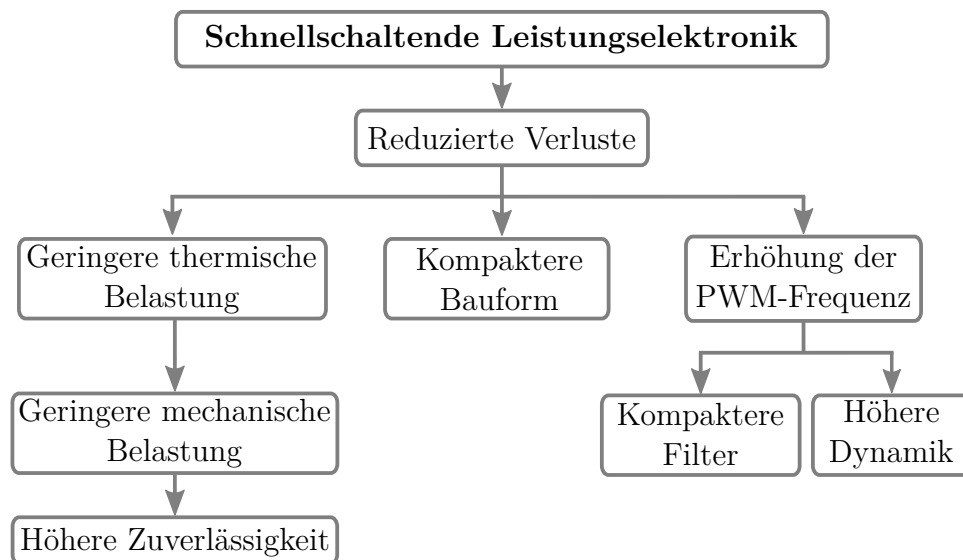
Schnelle Spannungsänderungen durch WBG-Transistoren zeigen ihre Wirkung nicht nur in der Halbbrücke, sondern im gesamten Antriebssystem. Abbildung 2.5 zeigt ein klassisches Antriebskonzept eines Spannungszwischenkreisumrichters. Dabei dient der kapazitive Zwischenkreis als energetisches Kopplungselement zwischen Gleichrichter und Wechselrichter und als Energiespeicher. Eine Alternative, die hier nicht dargestellt wurde, ist der Stromzwischenkreisumrichter, der eine Induktivität als Energiespeicher verwendet. Dieser findet vor allem bei hohen Leistungen Anwendung, wird aber zunehmend durch den Spannungszwischenkreisumrichter ersetzt [32]. Das Ziel eines Zwischenkreisumrichters ist es, eine im zeitlichen Mittel sinusförmige Spannung mit veränderbarer Frequenz und Amplitude zu erzeugen. Um dies zu erreichen, werden bei Netzeinspeisung zwei Teilstromrichter eingesetzt. Der erste, netzseitige Gleichrichter wandelt die dreiphasige Eingangswchselspannung in eine Gleichspannung um. Der



**Abbildung 2.5:** Schematische Darstellung eines Antriebssystems bestehend aus einem optionalen Netzfilter, einem Umrichter, einer Leitung und einem Antrieb.

zweite, lastseitige Wechselrichter wandelt anschließend die Gleichspannung in eine getaktete Wechselspannung mit gewünschter Frequenz und Amplitude um. Die Ergebnisse dieser Arbeit werden anhand des lastseitigen Wechselrichters durchgeführt, können aber auch auf andere selbstgeführte Stromrichter übertragen werden.

Wachsende Anforderungen an den Wechselrichter, wie z. B. höhere Schaltfrequenzen  $> 16$  kHz, reduzierte Verluste oder ein geringeres Bauvolumen, leiten einen Wandel zu Stromrichtern mit WBG-Transistoren ein. Abbildung 2.6 zeigt die Vorteile von schnellschaltenden Leistungstransistoren in der Leistungselektronik. In erster Linie wird durch einen schnellen Schaltvorgang die Schaltverlustleistung reduziert. Dies



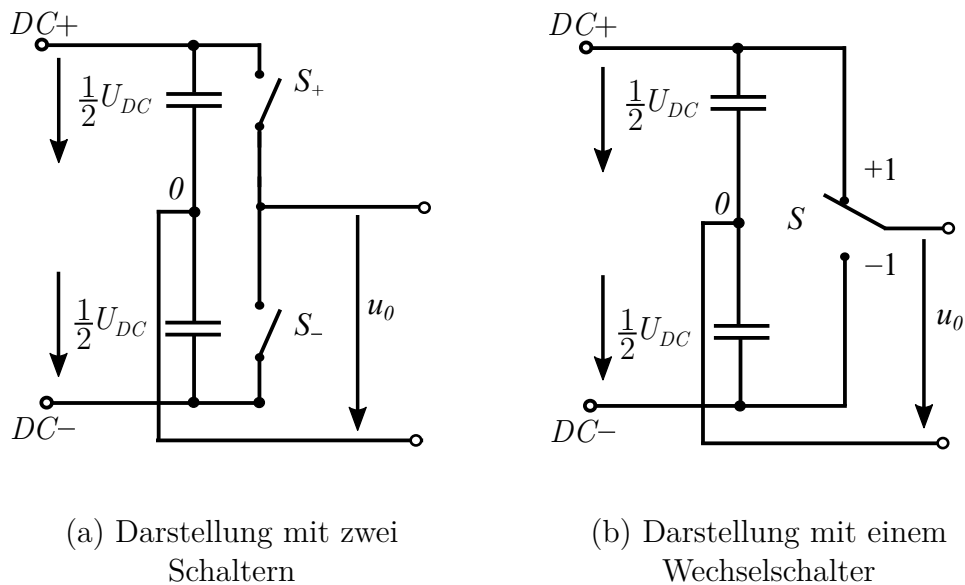
**Abbildung 2.6:** Vorteile schnellschaltender Leistungselektronik im selbstgeführten Stromrichtern.

führt zu einer geringeren thermischen Belastung, welche wiederum die thermomechanische Beanspruchung der Komponenten reduziert und die Zuverlässigkeit der Bauelemente erhöht. Wird aufgrund der geringeren Verluste der Kühlaufwand reduziert und die thermische Belastung konstant gehalten, kann die Baugröße kompakter gestaltet werden. Eine weitere Möglichkeit ist die Erhöhung der Schaltfrequenz, die zwar auch hier nicht zwingend zu einer Reduzierung der thermischen Belastung führt, aber eine höhere Dynamik und kompaktere Filterelemente ermöglicht [3].

In Abbildung 2.5 sind neben den zwei Stromrichtern und der Zwischenkreiskapazität noch zwei optionale Filter dargestellt, da schnellschaltende Leistungstransistoren nicht nur Vorteile, sondern auch neue Herausforderungen im Bezug auf die elektromagnetische Verträglichkeit (EMV) mit sich bringen. Schnelle Schaltflanken regen RLC-Schwingkreise im Antriebssystem zum Schwingen an, die bei geringer Dämpfung zu Überspannungen führen. Durch Fehlanpassungen an den Leitungen und dem Motor entstehen bei Wellenausbreitungen Reflexionen, die zusätzliche Spannungsüberhöhungen bewirken und somit zu einer Schädigung der Wicklungsisolation bzw. des Motors führen können [33, 34]. Zudem erzeugen kurze Schaltzeiten hochfrequente Ströme, die durch kapazitive Kopplungen schädigende Lagerströme im Motor hervorrufen [35]. Um Störeinflüsse im Umrichter zu reduzieren, können Filtermaßnahmen am Ein- und Ausgang vom Umrichter erfolgen. Eingangsseitige Drosseln unterdrücken z. B. Strom- und Spannungsspitzen. Zusätzliche Netzfilter leiten Störströme ohne Umwege durch das Versorgungsnetz effizient an die Störquelle zurück. Aber auch ausgangsseitig können zusätzliche Filtermaßnahmen wie ein Sinusfilter oder  $du/dt$ -Filter hochfrequente Ströme im System reduzieren, was unter anderem in Kapitel 6 gezeigt wird.

### 2.2.1 Zweilevel-Stromrichter

Die am weitesten verbreitete Wechselrichter-Topologie in einem Umrichter ist die Zweilevel-Topologie. Mithilfe von zwei Schaltern wird eine Gleichspannung in eine Wechselspannung mit einstellbarer Frequenz und Amplitude umgewandelt. Die Ausgangsspannung entspricht dabei einer gepulsten Wechselspannung, die im Mittel einen sinusförmigen Verlauf aufweist. Versorgt diese gepulste Wechselspannung eine induktive Last, wird der Strom durch diese geglättet und es entsteht ein sinusförmiger Stromverlauf. Abbildung 2.7(a) zeigt einen einphasigen Wechselrichter mit zwei Zwischenkreiskapazitäten und einem virtuellen Nullpunkt, der die mathematische Beschreibung vereinfacht. Die Transistoren werden einfachheitshalber durch zwei ideale Schalter  $S_+(t)$  (High-Side) und  $S_-(t)$  (Low-Side) beschrieben. Diese beiden Schalter

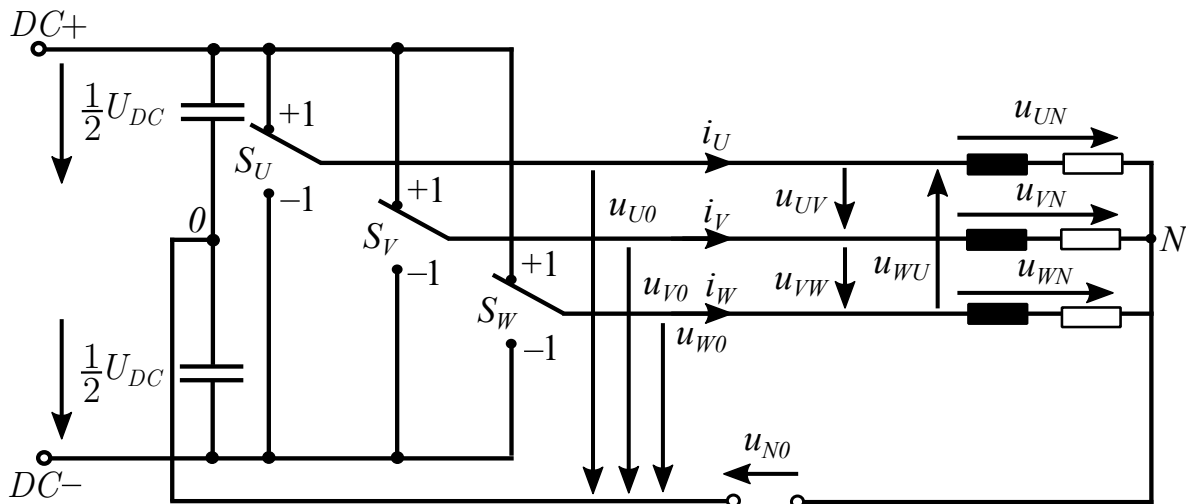


**Abbildung 2.7:** Darstellung der Halbbrücke mit zwei idealen Schaltern und einem Wechselschalter [32].

müssen jeweils die volle Zwischenkreisspannung  $U_{DC}$  sperren können. Der Schaltzustand dieser Schalter ist zeitabhängig und beträgt je nach erforderlichem Schaltzustand 0 oder 1. Das Ersatzschaltbild mit den zwei idealen Schaltern kann auch in ein äquivalentes Ersatzschaltbild mit einem Wechselschalter  $S$  umgewandelt werden (siehe Abbildung 2.7(b)). Die Ausgangsspannung des Wechselrichters  $u_0$  ist in beiden Fällen identisch. Der Wechselschalter  $S$  mit den Schaltzuständen 1 und -1 wird wie folgt beschrieben:

$$S(t) = S_+(t) - S_-(t) \quad (2.6)$$

Wird der einphasige Wechselrichter in ein dreiphasiges System mit einer RL-Last erweitert, ergibt sich das Schaltbild aus Abbildung 2.8. Die Halbbrücken und die dazugehörigen Spannungen werden mit den üblichen Phasenbezeichnungen U, V und W unterschieden. Aus Gründen der besseren Lesbarkeit werden die Zeitfunktionen  $S_+(t)$  und  $S_-(t)$  folgend nur noch als  $S_+$  und  $S_-$  mit der dazugehörigen Phasenbezeichnung dargestellt. Die drei Ausgangsspannungen, bezogen auf den virtuellen Nullpunkt, ergeben sich aus der halben Zwischenkreisspannung  $U_{DC}$  multipliziert mit dem Schalt-



**Abbildung 2.8:** Dreiphasige Darstellung der Zweilevel-Halbbrücken mit Wechsel-  
schaltern und RL-Last.

zustand  $S$  der jeweiligen Phase:

$$u_{U0} = \frac{1}{2} U_{DC} S_U = \frac{1}{2} U_{DC} (S_{U+} - S_{U-}) \quad (2.7)$$

$$u_{V0} = \frac{1}{2} U_{DC} S_V = \frac{1}{2} U_{DC} (S_{V+} - S_{V-}) \quad (2.8)$$

$$u_{W0} = \frac{1}{2} U_{DC} S_W = \frac{1}{2} U_{DC} (S_{W+} - S_{W-}) \quad (2.9)$$

Daraus ergeben sich jeweils zwei Schaltzustände  $+1/2 U_{DC}$  und  $-1/2 U_{DC}$ . Die dazugehörigen verketteten Außenleiterspannungen können mithilfe der Kirchhoffschen Maschenregel berechnet werden:

$$u_{UV} = \frac{U_{DC}}{2} (S_U - S_V) = \frac{U_{DC}}{2} (S_{U+} - S_{U-} - S_{V+} + S_{V-}) \quad (2.10)$$

$$u_{VW} = \frac{U_{DC}}{2} (S_V - S_W) = \frac{U_{DC}}{2} (S_{V+} - S_{V-} - S_{W+} + S_{W-}) \quad (2.11)$$

$$u_{WU} = \frac{U_{DC}}{2} (S_W - S_U) = \frac{U_{DC}}{2} (S_{W+} - S_{W-} - S_{U+} + S_{U-}) \quad (2.12)$$

Bei symmetrischer Last ist die Summe aller Spannungen zum Sternpunkt gleich null [36]. Somit gilt folgender Zusammenhang:

$$0 = u_{UN} + u_{VN} + u_{WN} \quad (2.13)$$

Aus diesem kann mit erneuter Anwendung der Kirchhoffschen Maschenregel die Stern-



spannung  $u_{n0}$  wie folgt berechnet werden:

$$u_{N0} = \frac{1}{3}(u_{U0} + u_{V0} + u_{W0}) = \frac{U_{DC}}{6}(S_U + S_V + S_W) \quad (2.14)$$

$$u_{N0} = \frac{U_{DC}}{6}(S_{U+} - S_{U-} + S_{V+} - S_{V-} + S_{W+} - S_{W-}) \quad (2.15)$$

Für die Strangspannung an der Last ergibt sich daraus:

$$u_{UN} = \frac{U_{DC}}{3}\left(S_U - \frac{S_V}{2} - \frac{S_W}{2}\right) = \frac{U_{DC}}{6}(2S_{U+} - 2S_{U-} - S_{V+} + S_{V-} - S_{W+} + S_{W-}) \quad (2.16)$$

$$u_{VN} = \frac{U_{DC}}{3}\left(S_V - \frac{S_U}{2} - \frac{S_W}{2}\right) = \frac{U_{DC}}{6}(2S_{V+} - 2S_{V-} - S_{U+} + S_{U-} - S_{W+} + S_{W-}) \quad (2.17)$$

$$u_{WN} = \frac{U_{DC}}{3}\left(S_W - \frac{S_U}{2} - \frac{S_V}{2}\right) = \frac{U_{DC}}{6}(2S_{W+} - 2S_{W-} - S_{U+} + S_{U-} - S_{V+} + S_{V-}) \quad (2.18)$$

Die Ausgangsspannungen dieser Gleichungen können abhängig von den jeweiligen Schaltzuständen nur einzelne Spannungspegel annehmen. Der Sollwert kann daher nur über den Mittelwert der einzelnen Schaltzustände berechnet werden. Deswegen ersetzt man die Momentanwerte in einer Schaltperiode  $T_S$  durch einen kurzzeitigen Mittelwert  $\overline{S(t)}$  wie in nachfolgender Gleichung gezeigt:

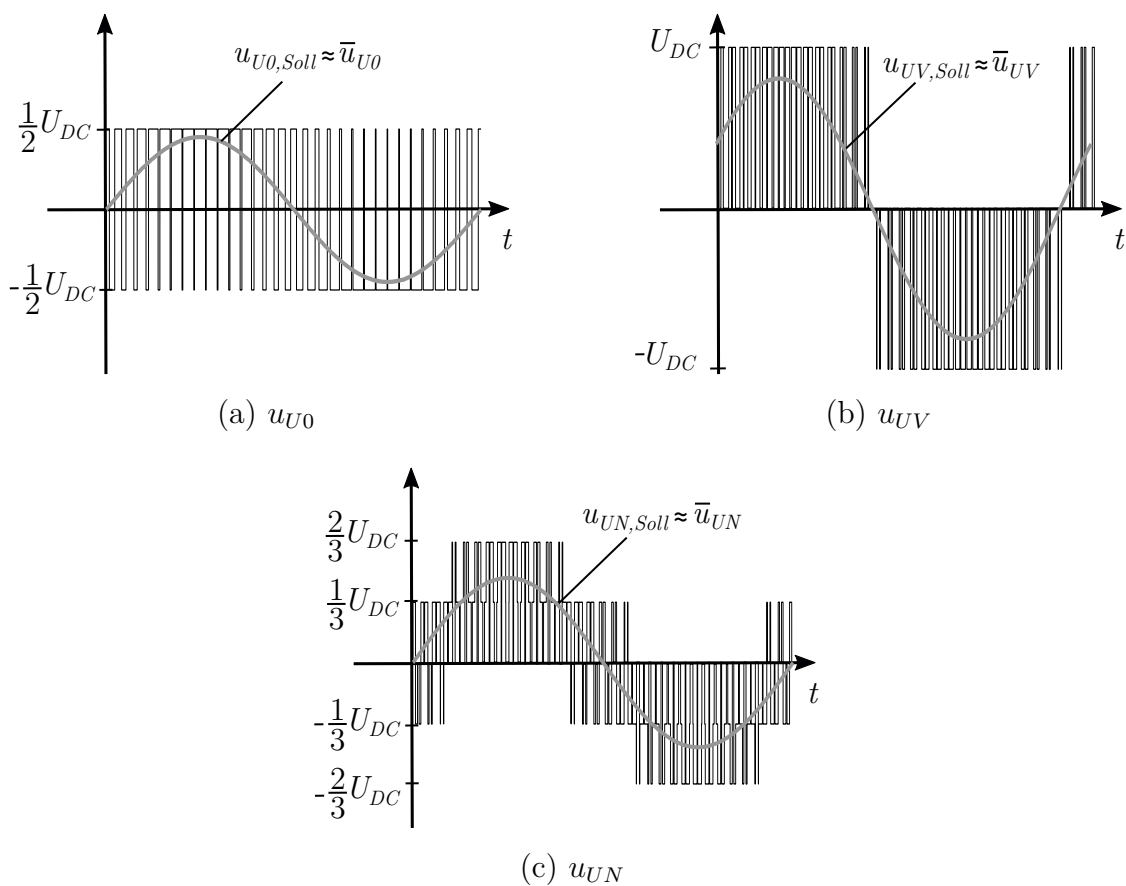
$$\bar{u}_0 = \frac{1}{T_s} \int_t^{t+T_s} \frac{1}{2} U_{DC} S(t) dt = \frac{1}{2} U_{DC} \overline{S(t)} = \frac{1}{2} U_{DC} m(t) \quad (2.19)$$

Dieser kurzzeitige Mittelwert  $\overline{S(t)}$  wird auch Modulationsfunktion  $m(t)$  genannt. Die Modulationsfunktion kann durch eine Multiplikation des Modulationsgrades  $M$  mit einer gewünschten Funktion  $f(t)$  gebildet werden. In der Regel verläuft der Sollwert sinusförmig und kann daher durch eine Sinusfunktion mit einer Grundschnwingungskreisfrequenz  $\omega_M$  und einem Phasenwinkel  $\varphi_M$  definiert werden:

$$m(t) = M f(t) = M \sin(\omega_M t + \varphi_M) \quad (2.20)$$

Bei den Ausgangsspannungen  $u_{(U,V,W)0}$  beschreibt der Modulationsgrad  $M$  das Verhältnis zwischen der Spannungsamplitude der Grundschnwingung und der halben Zwischenkreisspannung. Abbildung 2.9 zeigt die aus diesen Gleichungen resultierenden schematischen Spannungsverläufe  $u_{U0}$ ,  $u_{UV}$  und  $u_{UN}$  in einem dreiphasigen Wechselrichter. Als Modulationsverfahren wurde eine Sinus-Dreieck-Modulation verwendet, in der eine Dreieckspannung mit einer sinusförmigen Sollkurve verglichen wird und daraus die Schaltsignale generiert werden. Bei einer Sinus-Dreieck-Modulation kann der

Modulationsgrad  $M$  zwischen 0 und 1 betragen. Wie bereits aus den vorhergehenden Gleichungen ersichtlich, ergeben sich für die Spannung  $u_{U0}$  zwei, für  $u_{UV}$  drei und für  $u_{UN}$  fünf Spannungszustände zur Bildung einer Wechselspannung. Zu sehen ist auch, dass der maximale Spannungszustand bei der Strangspannung  $u_{UN}$  maximal  $2/3$  der Zwischenkreisspannung  $U_{DC}$  beträgt. Als maximale gemittelte Spannungsamplitude steht bei einem Modulationsgrad  $M$  von 1 bei der Stern-Dreieckmodulation für die Strangspannung  $U_{DC}/2$  und für die verkettete Spannung  $\sqrt{3}U_{DC}/2$  zur Verfügung.

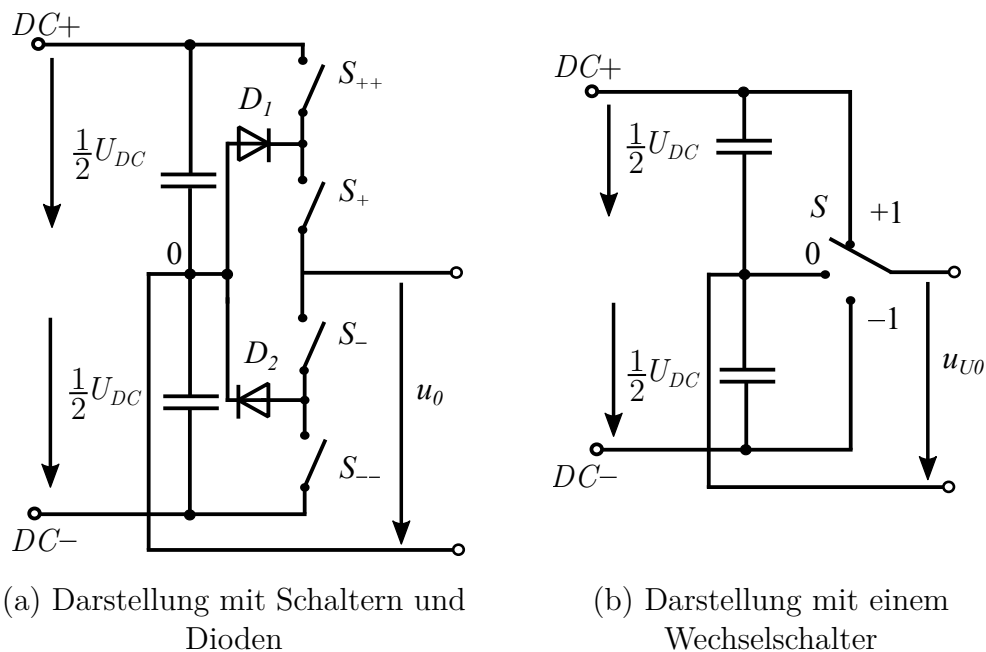


**Abbildung 2.9:** Schematische Spannungsverläufe  $u_{U0}$ ,  $u_{UV}$  und  $u_{UN}$  in einem Drehstromsystem bestehend aus Zweilevel-Wechselbrücken bei einer Sinus-Dreieck-Modulation.

### 2.2.2 Dreilevel-Stromrichter

Mehrlevel-Wechselrichter ermöglichen mehrere Spannungslevel zur Erzeugung einer taktenden Spannung. Dies wird durch den Einsatz zusätzlicher Schaltelemente erreicht. Der Vorteil, der sich bei einigen Topologie-Varianten ergibt, ist die geringere Sperrfähigkeit pro Schalter, welche Mehrlevel-Wechselrichtern vor allem bei Hochspannungsanwendungen mit Zwischenkreisspannungen über 1000 V Anwendungsfelder bieten. Aber auch bei Anwendungen mit kleineren Zwischenkreisspannungen entstehen Vorteile wie eine geringere harmonische Verzerrung, die kleinere Sperrfähigkeit der einzelnen Leistungstransistoren oder geringere Schaltverluste.

Es gibt eine Vielzahl unterschiedlicher Topologie-Varianten für Mehrlevel-Wechselrichter wie z. B. den Flying-Capacitor (FC)-, Neutral-Point-Clamped (NPC)- oder T-Type-Neutral-Point-Clamped (TNPC)-Wechselrichter mit verschiedensten Vor- und Nachteilen, die in [37] näher erläutert werden. Die Untersuchungen in dieser Arbeit werden anhand eines Dreilevel-NPC-Wechselrichters gezeigt, da dieser aufgrund seiner einfachen Handhabung einer der weitverbreitetsten Topologien ist. Abbildung 2.10(a) zeigt eine einphasige Dreilevel-NPC-Schaltzelle mit den Schaltern  $S_{++}$ ,  $S_+$ ,  $S_-$  und  $S_{--}$ , die die Schaltzustände 0 oder 1 aufweisen können. Zudem sind zwei Dioden  $D_1$  und  $D_2$  verschaltet, die durch die Mittelpunktanzapfung den Spannungszustand 0 V ermöglichen. Diese Darstellung kann auch wie beim Zweilevel-Wechselrichter in



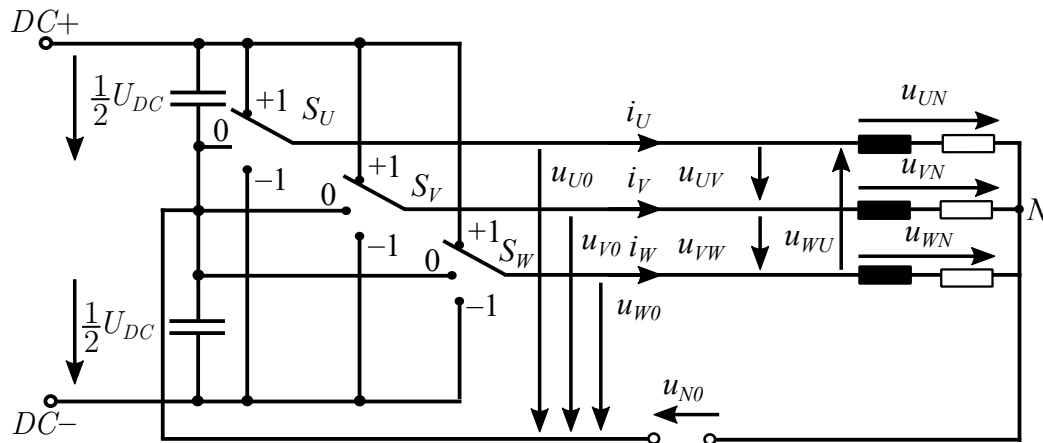
**Abbildung 2.10:** Darstellung der Halbbrücke mit idealen Schaltern und einem Wechselschalter [32].

ein Ersatzschaltbild mit einem Wechselschalter umgewandelt werden (siehe Abbildung 2.10(b)).

Dieser Wechselschalter besitzt im Vergleich zur Zweilevel-Topologie drei Zustände +1, -1 und 0. Die Ansteuerung der einzelnen Schalter erfolgt mit jeweils zwei komplementären Signalen. Die komplementären Schalter sind  $S_{++} / S_-$  und  $S_+ / S_{--}$ . Somit kann nach [38] der Zustand des Umschalters  $S$  mit nur zwei Signalen vereinfacht dargestellt werden:

$$S = (S_+ + S_{++} - 1) \quad (2.21)$$

Abbildung 2.11 zeigt die dreiphasige Darstellung des NPC-Wechselrichters mit einer RL-Last und den dazugehörigen Spannungen. Die Bezeichnungen der einzelnen Spannungen sind dabei gleich zur Zweilevel-Topologie gewählt, um eine Vergleichbarkeit zu ermöglichen.



**Abbildung 2.11:** Dreiphasige Darstellung der NPC-Dreilevel-Halbbrücke mit Wechselschaltern und dreiphasiger RL-Last.

Die Ausgangsspannung bezogen auf den Mittelpunkt resultiert auch hier aus der Multiplikation der halben Zwischenkreisspannung mit dem jeweiligen Schaltzustand:

$$u_{U0} = \frac{1}{2} U_{DC} (S_U) = \frac{1}{2} U_{DC} (S_{U++} + S_{U+} - 1) \quad (2.22)$$

$$u_{V0} = \frac{1}{2} U_{DC} (S_V) = \frac{1}{2} U_{DC} (S_{V++} + S_{V+} - 1) \quad (2.23)$$

$$u_{W0} = \frac{1}{2} U_{DC} (S_W) = \frac{1}{2} U_{DC} (S_{W++} + S_{W+} - 1) \quad (2.24)$$

Der Unterschied zur Zweilevel-Topologie ergibt sich nun durch den zusätzlichen Spannungspegel 0 V. Die verketteten Phasenspannungen können über die Kirchhoffsche

Maschenregel ermittelt werden:

$$u_{UV} = \frac{U_{DC}}{2}(S_U - S_V) = \frac{U_{DC}}{2}(S_{U_{++}} + S_{U_+} - S_{V_{++}} - S_{V_+}) \quad (2.25)$$

$$u_{VW} = \frac{U_{DC}}{2}(S_V - S_W) = \frac{U_{DC}}{2}(S_{V_{++}} + S_{V_+} - S_{W_{++}} - S_{W_+}) \quad (2.26)$$

$$u_{WU} = \frac{U_{DC}}{2}(S_W - S_U) = \frac{U_{DC}}{2}(S_{W_{++}} + S_{W_+} - S_{U_{++}} - S_{U_+}) \quad (2.27)$$

Bei der verketteten Phasenspannung ergeben sich somit fünf verschiedene Spannungsniveaus. Wird die gleiche Annahme einer symmetrischen Last wie in Gleichung 2.13 vorausgesetzt, ergibt sich folgende Sternspannung  $u_{n0}$ :

$$u_{N0} = \frac{U_{DC}}{6}(S_U + S_V + S_W) = \frac{U_{DC}}{6}(S_{U_{++}} + S_{U_+} + S_{V_{++}} + S_{V_+} + S_{W_{++}} + S_{W_+} - 3) \quad (2.28)$$

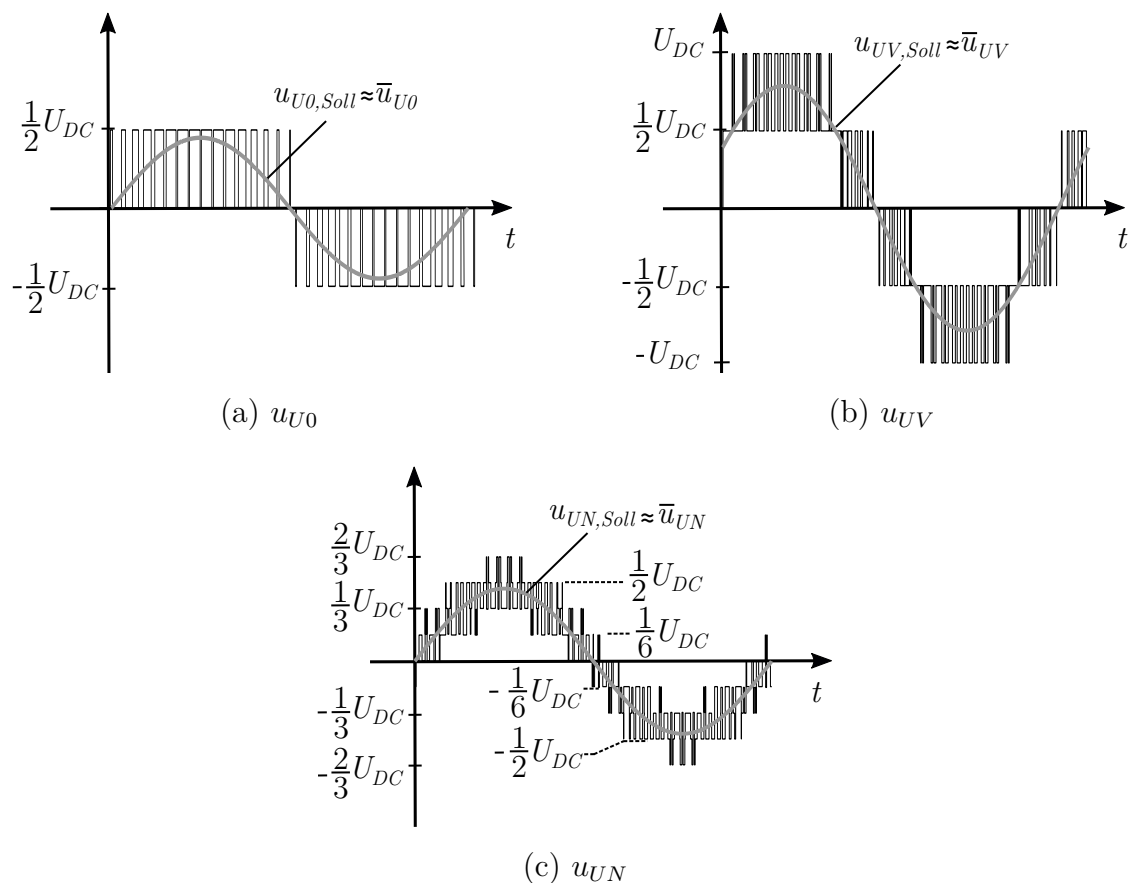
Mithilfe dieses Zusammenhangs können die Strangspannungen zum Sternpunkt für den Dreilevel-NPC-Wechselrichter berechnet werden:

$$u_{UN} = \frac{U_{DC}}{3}\left(S_U - \frac{S_V}{2} - \frac{S_W}{2}\right) = \frac{U_{DC}}{6}(2S_{U_{++}} + 2S_{U_+} - S_{V_{++}} - S_{V_+} - S_{W_{++}} - S_{W_+}) \quad (2.29)$$

$$u_{VN} = \frac{U_{DC}}{3}\left(S_V - \frac{S_U}{2} - \frac{S_W}{2}\right) = \frac{U_{DC}}{6}(2S_{V_{++}} + 2S_{V_+} - S_{U_{++}} - S_{U_+} - S_{W_{++}} - S_{W_+}) \quad (2.30)$$

$$u_{WN} = \frac{U_{DC}}{3}\left(S_W - \frac{S_U}{2} - \frac{S_V}{2}\right) = \frac{U_{DC}}{6}(2S_{W_{++}} + 2S_{W_+} - S_{U_{++}} - S_{U_+} - S_{V_{++}} - S_{V_+}) \quad (2.31)$$

Abbildung 2.12 zeigt die aus diesen Gleichungen entstehenden Spannungszustände schematisch für die Spannungsverläufe  $u_{U0}$ ,  $u_{UV}$  und  $u_{UN}$  in einem Dreilevel-Wechselrichter. Bei dieser Darstellung wurde eine Sinusdreieck-Modulation mit phasengleichen Trägersignalen angenommen. Sowohl bei der Zweilevel- als auch bei der Dreilevel-Topologie beträgt der maximale Spannungszustand der Strangspannung  $u_{UN}$  gleich  $2/3 U_{DC}$ . Jedoch stehen zur Bildung dieser Spannung  $u_{UN}$  neun Spannungszustände zur Verfügung. Die maximale gemittelte Spannungsamplitude beträgt bei einer Sinus-Dreieck-Modulation genau wie bei der Zweilevel-Topologie bei den Strangspannungen  $U_{DC}/2$  und bei den Leiterspannungen  $\sqrt{3}U_{DC}/2$ .



**Abbildung 2.12:** Schematische Spannungsverläufe  $u_0$ ,  $u_{UV}$  und  $u_{UN}$  in einem Dreilevel-NPC-Wechselbrücken.

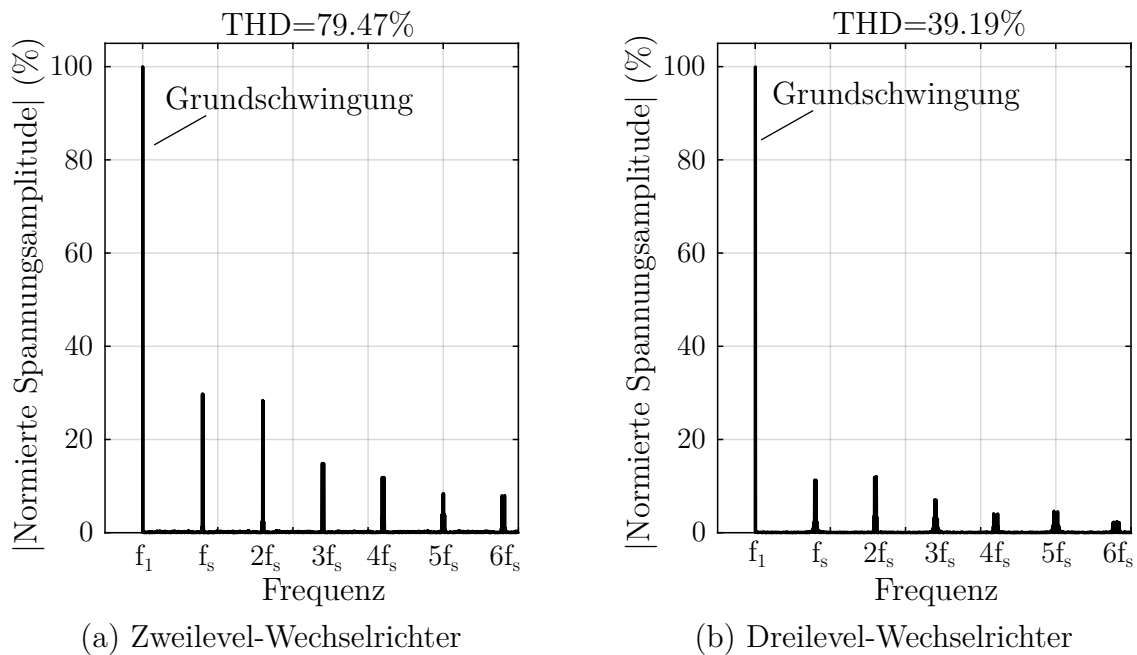
### Harmonische Verzerrung

Um die Ausgangsspannungen miteinander vergleichen zu können, wird die harmonische Verzerrung, im englisch auch Total Harmonic Distortion (THD) genannt, zwischen einem Zweilevel- und Dreilevel-Wechselrichter berechnet. Die harmonische Verzerrung ist als Verhältnis zwischen Oberschwingungen zu Grundschwingung definiert und kann zum Vergleich von Signalverläufen verwendet werden. Gleichung 2.32 zeigt die Berechnung der harmonischen Verzerrung anhand einer Spannung mit  $U$  als Effektivwert der Gesamtspannung und mit  $U_1$  als Effektivwert der Grundschwingung:

$$THD = \frac{\sqrt{U^2 - U_1^2}}{U_1} \quad (2.32)$$

Die Abbildung 2.13 vergleicht die auf die Grundwelle normierten Spektren der Sternspannungen  $u_{(U,V,W)N}$  bei einer Schaltfrequenz von 16 kHz und einem Modulationsgrad  $M$  von 0.9. Es ist erkennbar, dass der Dreipunkt-Umrichter kleinere harmonische

Oberwellen und somit eine geringere harmonische Verzerrung aufweist. Diese geringere Verzerrung ist nur ein wesentlicher Vorteil der Dreilevel-Topologie. Da die Oberwellen bei einer Mehrlevel-Topologie durch die zusätzlichen Spannungszustände geringer ausfallen, müssen die unerwünschten Frequenzanteile nicht mehr so stark gedämpft werden, wodurch sich der Filteraufwand und somit auch die Kosten reduzieren. Dies kann zwar auch durch Erhöhung der Schaltfrequenz erreicht werden, hat dann aber wiederum steigende Schaltverluste im Transistor zur Folge.



**Abbildung 2.13:** Spektraler Vergleich der Sternspannungen  $u_{(U,V,W)_N}$  für eine Zweilevel- und Dreilevel-Topologie bei einer Schaltfrequenz  $f_s$  von 16 kHz und einem Modulationsgrad  $M$  von 0.9.

### Unterschiede bei der Sperrfähigkeit und den Verlusten

Ein weiterer Unterschied, der nicht alle Mehrlevel-Topologien betrifft, ist die geringere Sperrfestigkeit der einzelnen Leistungsschalter. Bei der NPC-Topologie wird bei gleicher Zwischenkreisspannung nur die halbe Sperrfähigkeit benötigt. Wie in Gleichung 2.1 gezeigt, ist die Durchbruchspannung proportional zur Driftlänge. Das heißt im Umkehrschluss, die Driftlänge kann für eine geringere Sperrfähigkeit reduziert werden. Der spezifische Einschaltwiderstand hängt wiederum quadratisch mit der Driftlänge zusammen (siehe Gleichung 2.4). Somit weisen Transistoren mit kleineren Sperrspannungen geringere Einschaltwiderstände auf. Ein Fehlschluss wäre es jedoch anzunehmen, dass alle Transistoren mit einer halbierten Sperrfähigkeit ein Viertel des

Einschaltwiderstands aufweisen, da die Breite des Halbleiters hierbei auch ein entscheidender Faktor ist. In der Regel reduzieren Halbleiterhersteller nicht nur die Länge, um den Einschaltwiderstand zu senken, sondern passen auch die Breite an. Wird die Breite z. B. verkleinert, steigt zwar der Einschaltwiderstand, aber die Ausgangskapazität sinkt. Deswegen können Leistungstransistoren mit geringeren Sperrspannungen geringere Einschaltwiderstände und Kapazitäten im Vergleich zu Transistoren mit höherer Sperrspannungsfestigkeit aufweisen.

Die halbe Sperrspannung wird aber mit dem Kompromiss der vergrößerten Anzahl der Leistungsschalter erreicht. Das bedeutet, dass der Laststrom über mehrere Schalter fließt und sich somit die Verlustleistung addiert. Wie im vorhergehenden Absatz beschrieben, weisen Transistoren mit halbiertes Durchbruchspannung nicht immer den halben Einschaltwiderstand auf. Deshalb kann die vergrößerte Anzahl an Leistungsschaltern zu erhöhten Durchgangsverlusten führen. Um eine höhere Gesamteffizienz zu erzielen, müssen die reduzierten Schaltverluste diese überkompensieren. In [6, 37, 39, 40] werden verschiedene Mehrlevel-Topologien mit Zweilevel-Topologien verglichen. Die Ergebnisse dieser Arbeiten zeigen, dass bei hohen Schaltfrequenzen die Schaltverluste die erhöhten Durchlassverluste überkompensieren und sich dadurch die Gesamteffizienz durch Mehrlevel-Topologien steigern lässt. Ist die Effizienz nicht das entscheidende Kriterium, kann dieser Vorteil auch durch Steigerung der Schaltfrequenz in eine weitere Reduzierung des Filteraufwands umgewandelt werden.

### **Einsatz in Motorapplikationen**

Die Vorteile in der Effizienz und Dynamik von SiC-Transistoren gegenüber Si-Transistoren [41–43] lassen SiC-Transistoren immer mehr Anwendungsgebiete in Automotive- und Industrieapplikationen erschließen. GaN-Transistoren haben derzeit eine technologische Limitierung der Sperrspannungsfestigkeit von meist 650 V. Da Transistoren eine Spannungsreserve für Spannungsüberhöhungen aufweisen sollten, ist eine Sperrfestigkeit von 650 V für Zwischenkreise für Motoren mit typischen Spannungen von 600 V bis 800 V zu gering. Eine Dreilevel-Topologie könnte bei gleichbleibender Zwischenkreisspannung das Einsatzgebiet für 650 V GaN-Bauelemente vergrößern. In [39] zeigt ein Vergleich zwischen einer Zweilevel-Topologie mit 1200 V SiC-Transistoren und einer Dreilevel-Topologie mit 650 V GaN-Transistoren anhand einer DC/DC-Applikation eine höhere Effizienz bei der Dreilevel-Topologie. Ein direkter Vergleich mit 1200 V GaN-HEMTs ist aufgrund der mangelnden Verfügbarkeit aber derzeit nicht möglich. Um jedoch Multilevel-Topologien mit GaN-Transistoren etablieren zu können, muss eine Aufbau- und Verbindungstechnik ähnliche Schaltzeiten wie in einer



Zweilevel-Schaltzelle ermöglichen, da sonst die Vorteile der reduzierten Schaltverluste geringer ausfallen würden. Diese Grundvoraussetzung für die Aufbau- und Verbindungstechnik wird in Kapitel 4.3 näher untersucht und beschrieben.

Zusammenfassend lässt sich sagen, dass Mehrlevel-Topologien aufgrund der erhöhten Anzahl an Leistungsschaltern eine höhere Komplexität aufweisen. Die damit verbundene höhere Anzahl an Spannungszuständen führt zu weniger Oberwellen und somit zu einer geringeren harmonischen Verzerrung. Aufgrund der geringeren Schaltverluste durch das Schalten der halben Zwischenkreisspannung eignen sich Multilevel-Topologien auch für dynamische Anwendungen mit hohen PWM-Frequenzen. Aber es bleiben auch offene Fragen, die vom individuellen Anwendungsfall abhängig sind, wie z. B:

- Kann eine Reduzierung der Gesamtkosten erreicht werden?
- Führt eine Aufteilung der Verluste auf mehrere Transistoren mit geringerer Chipfläche zu einer geringeren Chiptemperatur?
- Steigt oder sinkt die Zuverlässigkeit der Schaltzelle aufgrund der erhöhten Anzahl an Bauelementen?
- Kann eine Effizienzsteigerung in Motorapplikationen mit GaN-Mehrlevel-Topologien erreicht werden?

Diese individuellen Fragen müssen noch genauer untersucht werden und sind nicht Gegenstand dieser Arbeit.





auf [9]. Bei Lösungen mit ungehäusten Transistoren, die in Kapitel 5 vorgestellt werden, entfallen diese zusätzlichen parasitären Elemente des Gehäuses. In der nächsten Ebene entstehen die parasitären Elemente durch Verbindungen zwischen den elektrischen Bauelementen. In Abbildung 3.1(c) ist dies anhand einer Schaltzelle mit einem High-Side- und einem Low-Side-Transistor gezeigt. Durch die Verbindungselemente entstehen aufbaubedingte parasitäre Kapazitäten z. B. von den Versorgungsleitungen zum Kühlkörper oder zwischen den Drain-Source-Kontakten der jeweiligen Transistoren. Aber auch parasitäre Induktivitäten entstehen durch Verbindungen zwischen den elektrischen Bauelementen. Die Auswirkungen dieser parasitären Elemente auf das Schaltverhalten werden in den nächsten Teilkapiteln näher erläutert. Die in den nachfolgenden Messungen und Simulationen angenommenen Wertebereiche für die parasitären Elemente entsprechen dabei den Beobachtungen aus den realen Schaltzellen aus Kapitel 4 und auch typischen Werten, die in Schaltzellen auftreten können.

## 3.1 Parasitäre Elemente in der Schaltzelle

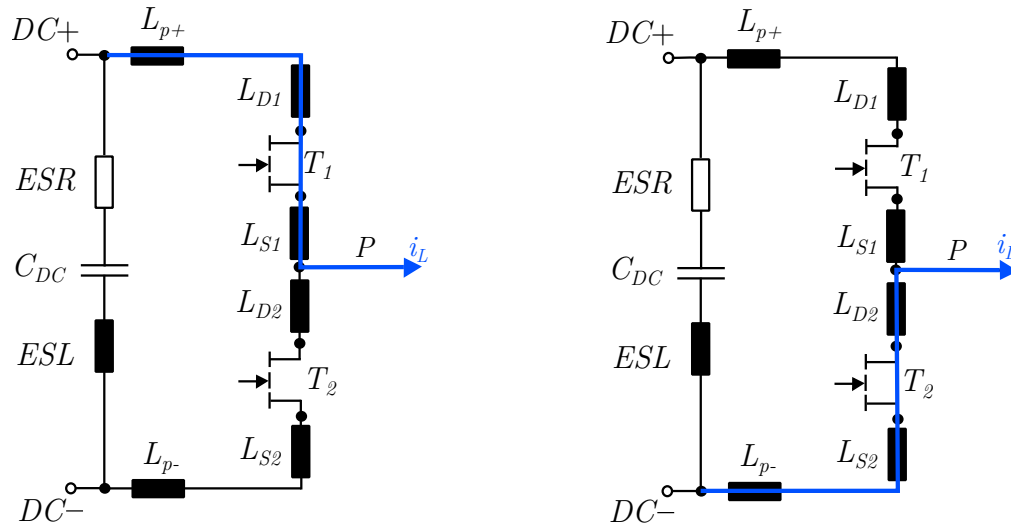
### 3.1.1 Induktivitäten im Kommutierungskreis

Die Kernfunktion einer Schaltzelle ist das alternierende Schalten der Leistungstransistoren, um ein gewünschtes Ausgangsverhalten zu erreichen. Dadurch kann der Laststrom  $i_L$  durch den Wechsel der Pfade zwischen dem High-Side- und Low-Side-Schalter unterbrechungsfrei zur Verfügung gestellt werden (siehe Abbildung 3.2). Der wechselnde Ab- und Wiederaufbau des Ausgangsstroms in den unterschiedlichen Pfaden wird Kommutierung genannt. Die Kommutierungskreisinduktivität beschreibt daher die Induktivitäten, die beim Wechseln des Strompfades aktiv sind. Beim ersten Schaltzustand High-Side „leitend“ und Low-Side „sperrend“ muss sich der Strom durch die Induktivität aus Gleichung 3.1 auf- bzw. abbauen.

$$L_{K1} = L_{p+} + L_{D1} + L_{S1} \quad (3.1)$$

Beim zweiten Schaltzustand High-Side „sperrend“ und Low-Side „leitend“ muss sich der Strom hingegen bei der Induktivität  $L_{LK2}$ , die sich aus den Induktivitäten des unteren Teilzweigs zusammenstellt, auf- bzw. abbauen.

$$L_{K2} = L_{p-} + L_{D2} + L_{S2} \quad (3.2)$$



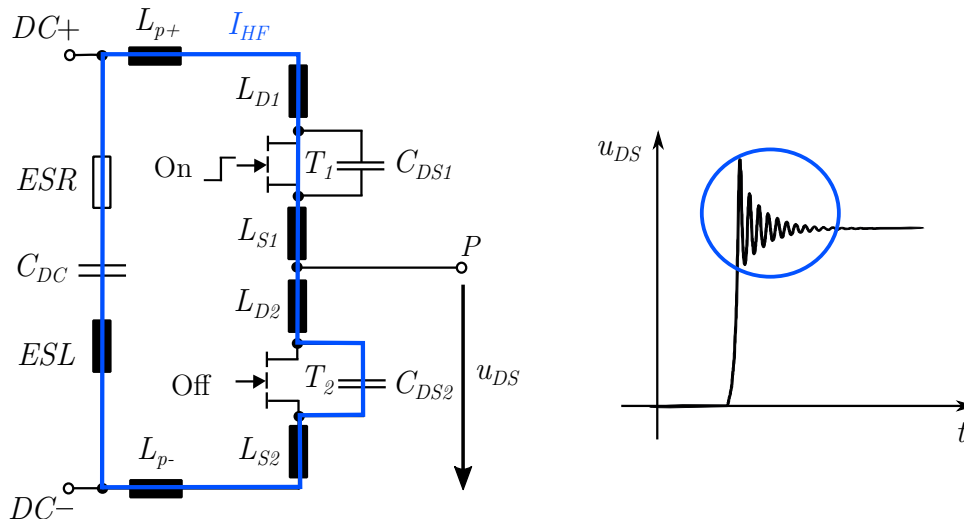
**Abbildung 3.2:** Kommutierungsvorgang in einer Zweilevel-Halbbrücke.

Die Kommutierungskreisinduktivität, auch Schleifeninduktivität genannt, beschreibt die gesamte Induktivität in der Schleife, bestehend aus den parasitären Induktivitäten der Zwischenkreiskapazität, der Verbindungen und der Transistoren. Die Schleifeninduktivität  $L_\sigma$  setzt sich daher, wie in Gleichung 3.3 gezeigt, aus den zwei Kommutierungspfaden mit den Induktivitäten  $L_{K1}$ ,  $L_{K2}$  und der Induktivität  $ESL$  der Zwischenkreiskapazität zusammen.

$$L_\sigma = L_{K1} + L_{K2} + L_{ESL} \quad (3.3)$$

Elektrische Schwingkreise, bestehend aus Kapazitäten und Induktivitäten, werden bei einer Sprunganregung zum Schwingen angeregt. Wird der Leistungsteil der Schaltzelle betrachtet, spiegelt dies einen solchen Serienresonanzkreis wider, der über das Schalten der Leistungstransistoren zum Schwingen angeregt wird.

Ist der High-Side-Transistor  $T_1$  abgeschaltet und der Low-Side-Transistor  $T_2$  durchgeschaltet, resultiert daraus eine Drain-Source-Spannung  $u_{DS}$  über den Low-Side-Transistor von 0 V. Um die Spannung  $u_{DS}$  der Halbbrücke auf die Zwischenkreisspannung anzuheben, wird als Erstes der Low-Side-Transistor  $T_2$  abgeschaltet. Abhängig von der Totzeit zwischen den Schaltzuständen wird zeitversetzt der High-Side-Transistor  $T_1$  aktiviert, was einen Anstieg der Spannung am Transistor  $T_2$  bewirkt (siehe Abbildung 3.3). In dieser Zeit werden die Drain-Source-Kapazitäten des jeweiligen Transistors aufgeladen bzw. entladen. Durch den Schaltimpuls entsteht ein Schwingkreis zwischen den Induktivitäten und der Kapazität  $C_{DS}$  des Low-Side-Transistors. Die Kapazität des High-Side-Transistors hat zu diesem Zeitpunkt keinen Einfluss mehr, da diese durch den leitenden Kanal vom Transistor kurzgeschlossen

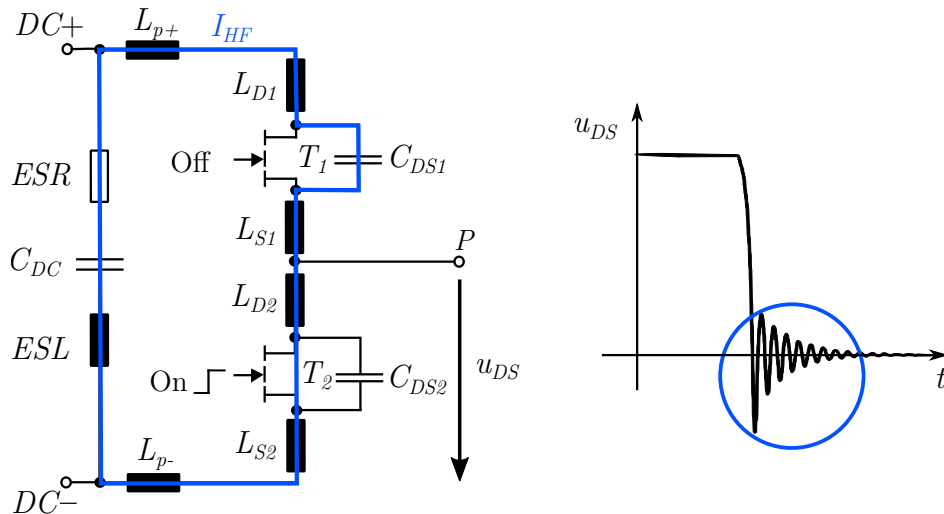


**Abbildung 3.3:** Einfluss der parasitären Elemente auf den Ausschaltvorgang des Low-Side-Transistors  $T_2$ .

ist. Somit erfolgt eine Oszillation des Stromes im blau gekennzeichneten Pfad zwischen den Induktivitäten und der Ausgangskapazität  $C_{DS}$  des Low-Side-Transistors. Die Zwischenkreiskapazität hat hier einen geringen Einfluss, da diese in Reihe zu der Ausgangskapazität des Low-Side-Transistors geschaltet ist und hier oftmals ein Größenunterschied von ca. 100 vorliegen kann. Die Dämpfung dieser Oszillation erfolgt durch die ohmschen Anteile sowie die kapazitiven Verluste der einzelnen Komponenten [5, 44]. Beim Einschaltvorgang des Low-Side-Transistors  $T_2$  ist das Verhalten sehr ähnlich. Vor dem Einschaltzeitpunkt des Low-Side-Transistors  $T_2$  ist der High-Side-Transistor durchgeschaltet und der Low-Side-Transistor abgeschaltet. Zuerst wird der High-Side-Transistor abgeschaltet und der Low-Side-Transistor anschließend wieder zeitverzögert aktiviert. Mit dem Anstieg der Gate-Source-Spannung fällt die Drain-Source-Spannung  $u_{DS}$  wieder auf 0 V ab. Dabei erregt die Spannungsflanke wieder den Schwingkreis im Leistungskreis. In Abbildung 3.4 ist die Oszillation an der Drain-Source-Spannung am Low-Side-Transistor  $T_2$  mit dem dazugehörigen Strompfad dargestellt. Der nächste Abschnitt zeigt die Methodiken zur Modellierung des Schaltverhaltens.

### Modellierung des Kommutierungskreises

Der Kommutierungskreis der Schaltzelle entspricht einem RLC-Netzwerk mit einer Ausgangsspannung über der Drain-Source-Kapazität und einer Sprunganregung als Eingangsspannung. Die Eingangsspannung  $u_e(t)$  kann mit einem Einheitssprung mit



**Abbildung 3.4:** Einfluss der parasitären Elemente auf den Einschaltvorgang des Low-Side-Transistors  $T_2$ .

einer endlichen Flankensteilheit  $m_F$  sowie einer Anstiegszeit  $t_r$  beschrieben werden:

$$u_e(t) = \begin{cases} 0 & t < 0 \\ m_F t & 0 \leq t \leq t_r \\ U_{DC} & t > t_r \end{cases} \quad (3.4)$$

Regt diese Eingangsspannung einen RLC-Schwingkreis an, wird dies mit folgender Differentialgleichung beschrieben, wobei  $\sigma$  der Sprungfunktion und  $u_{DS}$  der Drain-Source-Spannung am Ausgang entspricht:

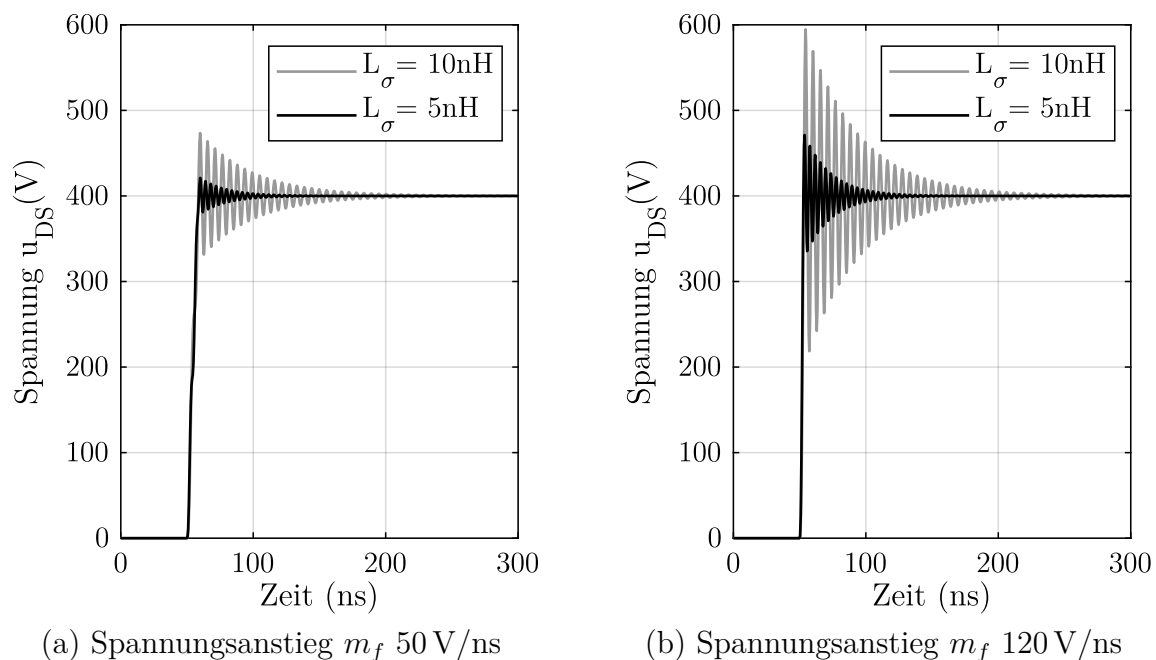
$$LC \frac{d^2 u_{DS}(t)}{dt^2} + RC \frac{du_{DS}(t)}{dt} + u_{DS}(t) = u_e(t) \quad (3.5)$$

$$LC \frac{d^2 u_{DS}(t)}{dt^2} + RC \frac{du_{DS}(t)}{dt} + u_{DS}(t) = m_F t \sigma(t) - m_F (t - t_r) \sigma(t - t_r) \quad (3.6)$$

Durch Anwendung der Laplace-Transformation kann zwischen der Spannung  $u_{DS}$  und der Eingangsspannung  $u_e$  folgende Übertragungsfunktion  $G(s)$  gebildet werden:

$$G(s) = \frac{u_{DS}(s)}{u_e(s)} = \frac{m_F (1 - e^{-s t_r})}{s^2 (s^2 LC + s RC + 1)} \quad (3.7)$$

Die Systemantwort im Zeitbereich dieser Übertragungsfunktion wurde mit der Software Matlab/Simulink berechnet. Um den Einfluss der Kommutierungskreisinduktivität und der Anstiegszeit zu verdeutlichen, wurde die Systemantwort im Zeitbereich für verschiedene Schleifeninduktivitäten bei unterschiedlichen Spannungssteilheiten  $m_F$  berechnet. Abbildung 3.5 zeigt die zeitliche Antwort der Übertragungsfunktion aus

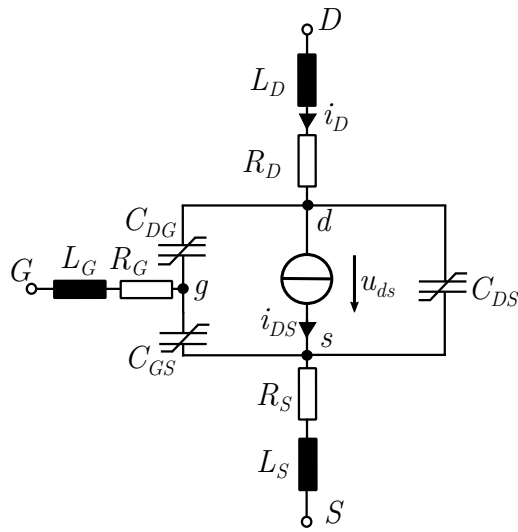


**Abbildung 3.5:** Vergleich der Sprungantwort eines idealen RLC-Schwingkreises für verschiedene Induktivitäten und Spannungsanstiegsgeschwindigkeiten bei einer Spannung von 400 V, einer Kapazität von 80 pF und einem Widerstand von 0.5  $\Omega$ .

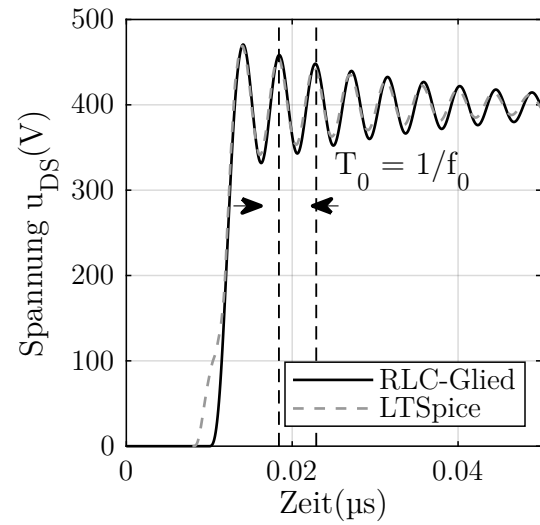
Gleichung 3.7. Aus diesen Grafiken ist zu erkennen, dass durch Erhöhung der Induktivität das Überschwingen deutlich zunimmt. Ebenso führt eine schnellere Spannungsflanke, wie es bei WBG-Transistoren der Fall ist, bei gleicher Induktivität zu einem deutlich höheren Überschwingen. Dies zeigt, dass die Aufbau- und Verbindungstechnik nicht einfach für neue, schnellere WBG-Transistoren übernommen werden kann.

Der RLC-Schwingkreis mit Anregung durch eine Sprungfunktion mit endlicher Spannungsflanke beschreibt aber nur einen Teil der gesamten Schaltung. Allerdings ist es notwendig, bei der Auslegung von Schaltungen eine Funktionsprüfung und Analyse des gesamten Schaltverhaltens durchzuführen. Dafür kann eine numerische Berechnungssoftware wie LTspice verwendet werden. Dabei können selbst erstellte bzw. angeglichenen oder vom Hersteller vorgefertigte Modelle zur Schaltungssimulation verwendet werden. Abbildung 3.6(a) zeigt ein Ersatzschaltbild eines GaN-HEMTs, das für eine numerische Simulation verwendet werden kann [45]. Dieses Modell beinhaltet eine spannungsgesteuerte Stromquelle zur Nachbildung des statischen Verhaltens und die spannungsabhängigen Kapazitäten  $C_{DG}$ ,  $C_{GS}$  und  $C_{DS}$  zur Näherung des dynamischen Verhaltens. Da diese Kapazitäten aber nicht in Abhängigkeit von der Spannung  $u_{DS}$  an den Klemmen gemessen werden können, verwenden Hersteller die Kleinsignalkapazitäten wie die Eingangskapazität  $C_{ISS}$ , Ausgangskapazität  $C_{OSS}$  und





(a) LTSpice-Ersatzschaltbild



(b) Modellierung des Schaltverhaltens

**Abbildung 3.6:** a) Ersatzschaltbild zur Modellierung eines GaN-HEMTs [45].  
 b) Vergleich des Schwingungsverhaltens zwischen einem RLC-Glied mit einer Sprunganregung mit  $m_f = 120 \text{ V/ns}$  und einer LTSpice-Simulation mit identischen Parametern für die Schleifeninduktivität  $L_\sigma = 5 \text{ nH}$ , Dämpfungswiderstand  $R_\sigma = 0.5 \Omega$ , Ausgangskapazität  $C_{DS}$  bzw.  $C_{OSS} = 80 \text{ pF}$ .

Rückkopplungskapazität  $C_{RSS}$ , die wie folgt definiert sind:

$$C_{ISS} = C_{GS} + C_{DG} \quad C_{OSS} = C_{DG} + C_{DS} \quad C_{RSS} = C_{GD} \quad (3.8)$$

In [45–48] wird gezeigt, dass sich das Verhalten der Transistoren sehr gut durch eine numerische Simulation annähern lässt und somit eine simulative Analyse des Schaltverhaltens möglich ist. Abbildung 3.6(b) vergleicht die Berechnung des RLC-Schwingkreises aus Abbildung 3.5(b) mit einer Schleifeninduktivität  $L_\sigma$  von  $5 \text{ nH}$  mit einer LTSpice-Simulation des Schaltvorgangs aus Abbildung 3.3. Als Leistungsschalter wurde der GaN-HEMT GS66508T verwendet. Die gute Übereinstimmung der Simulation und der Berechnung zeigt, dass der Kommutierungskreis und das Schwingverhalten in sehr guter Näherung durch einen RLC-Serienresonanzkreis abgebildet werden können. Dies ermöglicht es, aus der Oszillation des Überschwingens die Kommutierungskreisinduktivität zu bestimmen. Die Resonanzfrequenz  $f_0$  aus Gleichung 3.9 kann mithilfe eines Doppelpulstests experimentell ermittelt werden.

$$f_0 = \frac{1}{2\pi\sqrt{C_{OSS}L_\sigma}} \quad (3.9)$$

Durch anschließendes Umstellen der Gleichung 3.9 ist eine Berechnung der Kommutierungskreisinduktivität  $L_\sigma$  möglich:

$$L_\sigma = \frac{1}{(2\pi f_0)^2 C_{OSS}} \quad (3.10)$$

Die Ausgangskapazität  $C_{OSS}$  kann dem Datenblatt des Herstellers entnommen oder durch eine eigene Messung ermittelt werden. Dabei sollten aber zusätzliche Kapazitäten des Aufbaus oder der Messtechnik mit berücksichtigt werden. Vorgehensweisen zur Bestimmung der Kommutierungskreisinduktivität mit zusätzlicher messtechnischer Beschaltung, wie in der Norm IEC60747 beschrieben [49], führen bei sehr kleinen Induktivitäten, wie es in dieser Arbeit der Fall ist, zu einer Verfälschung der Messergebnisse. Deswegen stellt die Bestimmung der Schleifeninduktivitäten über die Schwingungsfrequenz in dieser Arbeit die geeignetste messtechnische Variante dar.

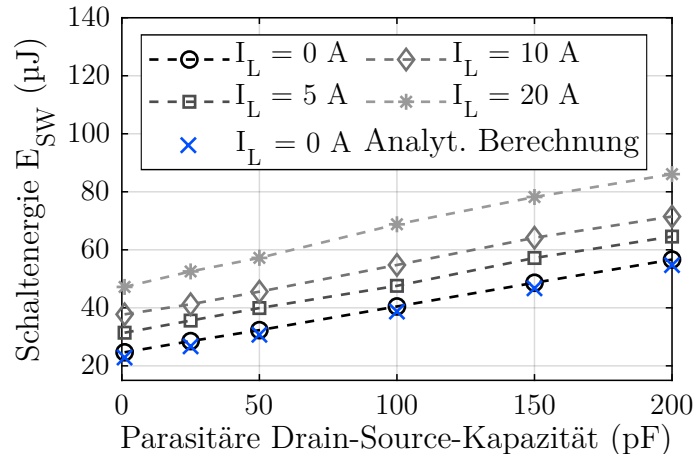
### 3.1.2 Parasitäre Kapazitäten in der Schaltzelle

Nicht nur die Kommutierungskreisinduktivität ist ein limitierender Faktor des dynamischen Verhaltens einer Schaltzelle, sondern auch die parasitären Kapazitäten. Wie in Abbildung 3.1(c) gezeigt, können parasitäre Kapazitäten parallel zur internen Kapazität  $C_{OSS}$  auftreten. Diese parasitären Kapazitäten nehmen direkten Einfluss auf die Schaltgeschwindigkeit, da diese mit den internen Kapazitäten bei jedem Schaltvorgang aufgeladen bzw. entladen werden. Die Schaltenergie  $E_{sw}$  lässt sich aus den zeitabhängigen Größen wie der Drain-Source-Spannung  $u_{DS}(t)$  und dem Drainstrom  $i_d(t)$  während des Ein- und Ausschaltvorgangs, wie in nachfolgender Gleichung gezeigt ist, bestimmen.

$$E_{sw} = \int_{t_{on}}^{t_{off}} u_{DS}(t) \cdot i_d(t) dt + \int_{t_{off}}^{t_{on}} u_{DS}(t) \cdot i_d(t) dt \quad (3.11)$$

Eine zusätzliche parasitäre Kapazität verlängert diese Schaltzeiten und führt zu einem erhöhten Energiebedarf mit einer höheren Verlustleistung. Abbildung 3.7 zeigt eine parametrische Simulation der Schaltenergie in Abhängigkeit von einer zusätzlich parasitären Drain-Source-Kapazität für den GaN-HEMT GS66508T (650 V 30 A) [50]. Für diese Untersuchung wurde der im Anhang A.2 dargestellte Doppelpulstest verwendet.

Die Simulationsergebnisse zeigen, dass eine zusätzliche parasitäre Kapazität die Schaltenergie linear erhöht. Die Steigung hängt dabei von der ladungsbezogenen äquivalen-



**Abbildung 3.7:** Schaltenergie  $E_{sw}$  in Abhängigkeit von der parasitären Drain-Source-Kapazität mit Variation des Laststroms, bei einer Zwischenkreisspannung von 400 V und einem Gate-Vorwiderstand  $R_{GV}$  von  $5 \Omega$ .

ten linearen Ausgangskapazität  $C_{eq,Q}$  ab. Diese lineare Ausgangskapazität  $C_{eq,Q}$ , die in [51] beschrieben ist, kann wie folgt berechnet werden:

$$C_{eq,Q} = \frac{1}{U_{DC}} \int_0^{U_{DC}} C_{oss}(u) du \quad (3.12)$$

Für den GaN-HEMT GS66508T beträgt diese 140 pF. Im unbelasteten Fall ( $I_L = 0$  A) wird die Energie nur für die Umladevorgänge in der Schaltzelle benötigt [5, 51]. Die Schaltenergie für den lastfreien Fall entspricht somit der Energie, die zum Laden der Kapazität  $C_{eq,Q}$  benötigt wird, und lässt sich wie folgt berechnen:

$$E_{sw(0),H} = C_{eq,Q} U_{DC}^2 \quad (3.13)$$

Die parasitäre Kapazität der Aufbau- und Verbindungstechnik muss ebenfalls beim Schaltvorgang umgeladen werden und führt deshalb zu einer zusätzlichen Schaltenergie  $E_{sw(0),p}$ .

$$E_{sw(0),p} = C_{pDS} U_{DC}^2 \quad (3.14)$$

Die gesamte Schaltenergie im unbelasteten Fall  $E_{sw(0)}$  ergibt sich daher aus der Summe dieser beiden.

$$E_{sw(0)} = E_{sw(0),H} + E_{sw(0),p} = C_{eq,Q} U_{DC}^2 + C_{pDS} U_{DC}^2 = \left(1 + \frac{C_{pDS}}{C_{eq,Q}}\right) E_{sw(0),H} \quad (3.15)$$

Diese analytische Berechnung zeigt in Abbildung 3.7 für den lastfreien Fall eine gute Übereinstimmung mit der Simulation. Der Zusammenhang aus Gleichung 3.15 zeigt

aber auch, dass die Schaltenergie folgende Proportionalität in Abhängigkeit von der parasitären Kapazität und der linearen äquivalenten Ausgangskapazität aufweist:

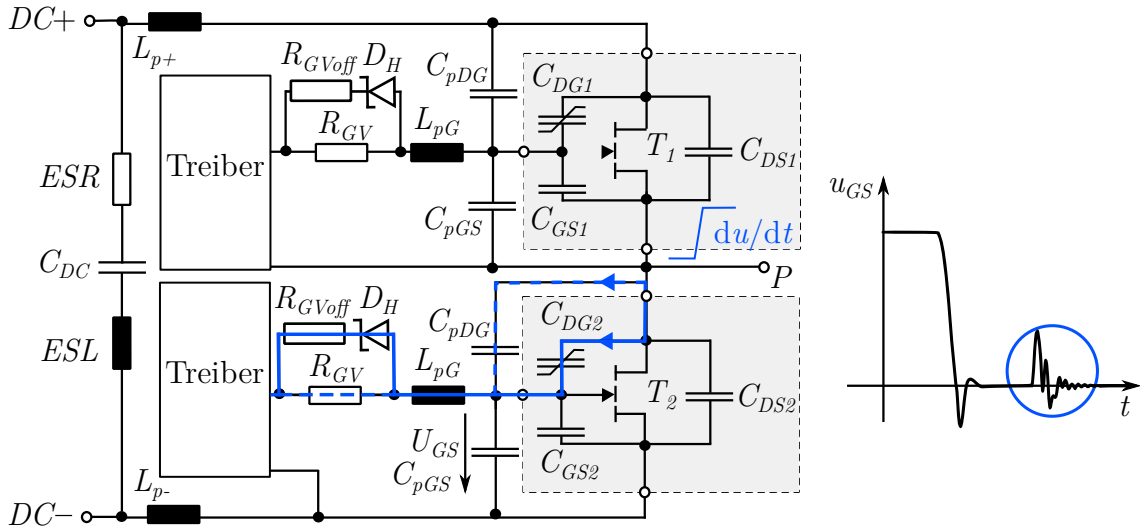
$$E_{sw(0)} \sim 1 + \frac{C_{pDS}}{C_{eq,Q}} \quad (3.16)$$

Sollte durch die Aufbau- und Verbindungstechnik eine parasitäre Kapazität von der Größenordnung ähnlich wie die äquivalente lineare Kapazität  $C_{eq,Q}$  entstehen, würde dies bereits zu einer Verdopplung der Schaltenergie führen. Aber auch für die Fälle mit einem Laststrom  $> 0$  A zeigt die Schaltenergie die gleiche Proportionalität aus Gleichung 3.16. Dies zeigt, dass der Einfluss bzw. die Erhöhung der Schaltverluste durch eine zusätzliche Kapazität im unbelasteten Fall ermittelt und auf Lastfälle übertragen werden kann.

### 3.1.3 Parasitäre Elemente im Ansteuerkreis

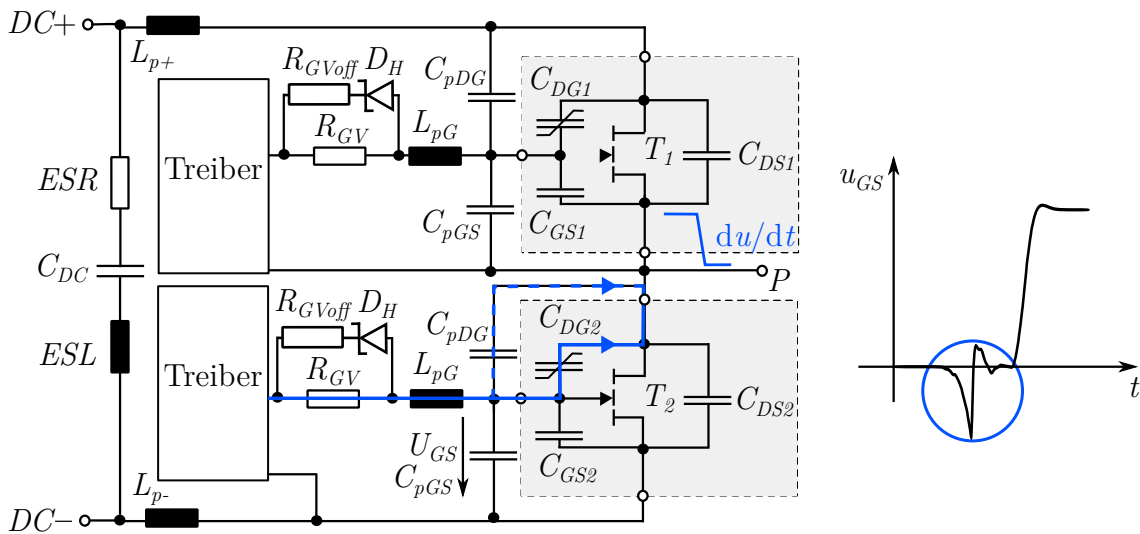
Abschließend wird auf den Einfluss von parasitären Elementen im Gatekreis eingegangen. Im Gatekreis sind nicht alle parasitären Elemente unerwünscht, sondern auch oft erforderlich. Der Gatewiderstand und die Gateinduktivität begrenzen den Ladestrom der internen Kapazitäten  $C_{DG}$  und  $C_{GS}$  und somit auch die Schaltgeschwindigkeit. Ist die Kommutierungskreisinduktivität im Schaltkreis in Bezug auf die Schaltgeschwindigkeit zu groß, kann ein zu kleiner Gatewiderstand zu einer überhöhten Spannung an den Transistoren führen und diese zerstören. Deswegen müssen die Elemente im Gatekreis auf die Schaltzelle bzw. Last abgestimmt werden. Elemente im Gatekreis haben aber auch negative Auswirkungen auf das Schaltverhalten. Dies wird in Abbildung 3.8 anhand einer Halbbrücke näher erläutert. Wird die Gate-Source-Spannung des Low-Side-Schalters auf 0 V gesenkt und der High-Side-Schalter aktiviert, entsteht eine Spannungsflanke  $du/dt$  am Phasenausgang  $P$ . Diese Spannungsflanke am Ausgang hat einen Umladestrom über der Drain-Gate-Kapazität zur Folge.

Durch diesen Umladevorgang koppelt die Kapazität  $C_{DG}$ , auch Millerkapazität genannt, einen parasitären Strom in den Gatekreis, der einen Spannungsabfall am Gatewiderstand verursacht. Ist der Spannungsabfall größer oder gleich der Schwellspannung des Transistors, führt dies zu einer erneuten Leitfähigkeit des Transistors. Das kann zu zusätzlichen Verlusten bzw. auch zu einem Brückenkurzschluss und somit zur Zerstörung der Transistors führen. Dieser undefinierte Zustand, verursacht durch einen Spannungsabfall an den Impedanzen, kann durch Reduzierung dieser vermindert werden. Die Rückkopplung zum Gatekreis ist vor allem bei GaN-Transistoren aufgrund

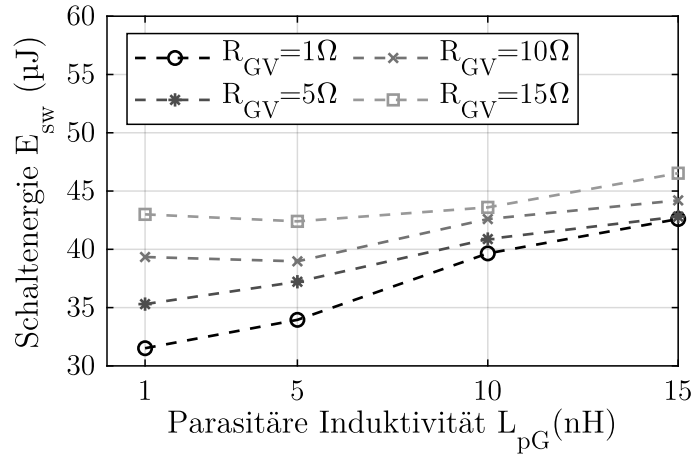


**Abbildung 3.8:** Einfluss der parasitären Elemente auf den Ausschaltvorgang des Low-Side-Transistors  $T_2$ .

der hohen Schaltgeschwindigkeiten sehr ausgeprägt. Ähnlich verhält es sich bei einer fallenden Flanke am Phasenausgang. Diese verursacht einen parasitären Strom, der über die Millerkapazität eingekoppelt wird. Dieser Stromfluss kann, wie in Abbildung 3.9 gezeigt, eine negative Spannungsspitze in der Gate-Source-Spannung hervorrufen und dem Schaltvorgang entgegenwirken und somit ebenfalls zusätzliche Verluste verursachen. Zur parametrischen Untersuchung der Schaltenergie wurde der im Anhang A.2 dargestellte Doppelpulstest verwendet. Nachfolgend werden die Einflüsse von der umgebenden Verbindungstechnik simulativ untersucht. Abbildung 3.10 zeigt die Schaltenergie in Abhängigkeit von der parasitären Induktivität  $L_{pG}$  für verschie-

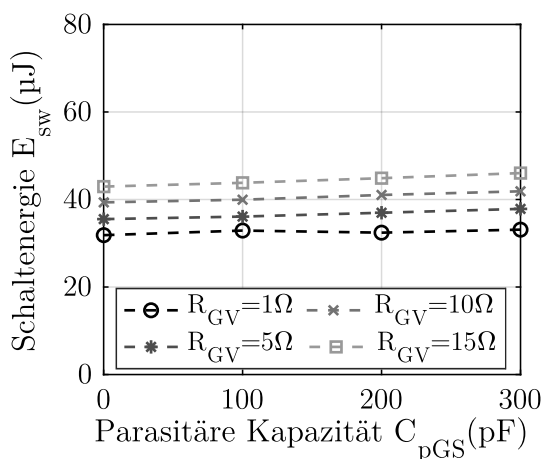


**Abbildung 3.9:** Einfluss der parasitären Elemente auf den Einschaltvorgang des Low-Side-Transistors  $T_2$ .

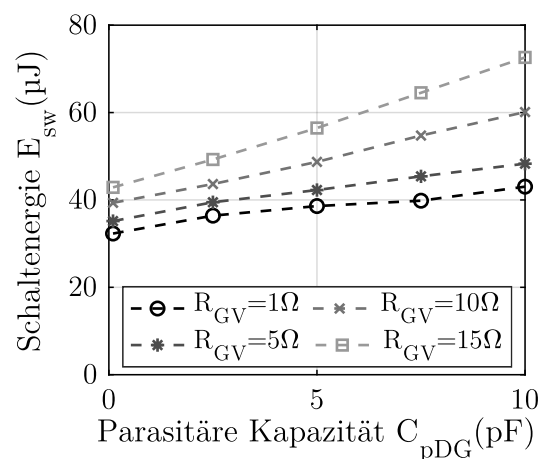


**Abbildung 3.10:** Schaltenergie  $E_{sw}$  in Abhängigkeit vom Gate-Vorwiderstand  $R_{GV}$  mit Variation der parasitären Gateinduktivität. Simulationsparameter  $I_{Last} = 10A$ ,  $U_{DC} = 400V$  und  $L_{\sigma} = 2nH$ .

dene parasitäre Vorwiderstände im Gatekreis. Aufgrund der stromglättenden Wirkung der Induktivität hat auch die parasitäre Gateinduktivität einen Einfluss auf den Ladevorgang und somit auf die Schaltenergie. Zudem ist zu sehen, dass sich die parasitäre Induktivität im Gatekreis umso geringer auswirkt, je höher der Vorwiderstand gewählt ist. Um keine Zusatzverluste durch parasitäre Induktivitäten im Gatekreis entstehen zu lassen, muss auch ein niederinduktives Design des Gatekreises erfolgen. Zuletzt werden die Einflüsse der Eingangskapazitäten auf das Schaltverhalten gezeigt. Abbildung 3.11(a) und 3.11(b) zeigen die Schaltenergie in Abhängigkeit



(a) Gate-Source-Kapazität



(b) Gate-Drain-Kapazität

**Abbildung 3.11:** Schaltenergie  $E_{sw}$  in Abhängigkeit von der parasitären Eingangskapazität a) Gate-Source-Kapazität b) Gate-Drain-Kapazität mit Variation des Gatevorwiderstandes. Simulationsparameter  $I_L = 10A$ ,  $U_{DC} = 400V$ ,  $L_{pG} = 1nH$  und  $L_{\sigma} = 2nH$ .

von den parasitären Kapazitäten  $C_{pGS}$  und  $C_{pGD}$ . Zu sehen ist, dass eine Steigerung der Gate-Drain-Kapazität keine nennenswerte Erhöhung der Schaltenergie hervorruft. Dies liegt zum einen an der im Vergleich dazu bereits hohen internen Kapazität  $C_{GS}$  des Transistors mit 270 pF und zum anderen an der geringen Millerkapazität  $C_{DG}$ , die den Schaltvorgang einleitet. Wird hingegen diese durch den Aufbau um einige pF erhöht, wie in Abbildung 3.11(b) zu sehen ist, verlängert dies den Schaltvorgang und die Schaltenergie steigt. Aufgrund der sehr geringen Millerkapazität des Transistors von ca. 1 pF (bei 400 V) können durch geringere Schichtdicken  $< 0.1$  mm Flächen von wenigen  $\text{mm}^2$  zusätzliche Verluste erzeugen. Dies zeigt, dass eine optimierte Aufbau- und Verbindungstechnik auch im Gatekreis Voraussetzung für eine effiziente Schaltzelle ist.

## 3.2 Die Streifenleitung als Verbindungselement

Jede elektrische Verbindung besteht aus parasitären Elementen wie Induktivitäten, Kapazitäten, Widerständen und Leitwerten, die je nach Geometrie unterschiedlich stark ausgeprägt sind. Die Auswirkungen der parasitären Elemente sind meist unerwünscht und verursachen Störungen bzw. bringen ein Fehlverhalten mit sich, wie im vorhergehenden Teilkapitel gezeigt wurde. Jedoch kann eine gezielte Optimierung die negativen Auswirkungen auf ein Minimum reduzieren. Die Streifenleitung ist eine Übertragungsstruktur auf einer Leiterplatte mit einem Hin- und Rückleiter. Da diese sowohl für den Kommutierungskreis als auch für die umgebende Elektronik eine grundlegende Verbindungsstruktur darstellt, werden Streifenleitungen in diesem Kapitel modelliert und näher untersucht.

Elektromagnetische Felder dienen als Basis zur Beschreibung elektrischer Phänomene. Der Zusammenhang dieser Felder wird durch die Maxwellschen Gleichungen beschrieben. Nachfolgend sind die makroskopischen Maxwell-Gleichungen in differentieller Form gezeigt, wobei  $\vec{B}$  die magnetische Flussdichte,  $\vec{E}$  die elektrische Feldstärke,  $\varepsilon$  die Permittivität,  $\mu$  die Permeabilität,  $\rho$  die Raumladungsdichte und  $\vec{j}$  die Stromdichte ist [52].

$$\mathbf{div} \vec{B} = 0 \qquad \mathbf{div} \vec{E} = \frac{\rho}{\varepsilon} \qquad (3.17)$$

$$\mathbf{rot} \vec{B} = \mu \vec{j} + \varepsilon \mu \frac{\partial \vec{E}}{\partial t} \qquad \mathbf{rot} \vec{E} = -\frac{\partial \vec{B}}{\partial t} \qquad (3.18)$$

Aus diesen Gleichungen können die Grundlagen für die nachfolgenden Berechnungen abgeleitet werden. Die analytische Lösung für diese Gleichungssysteme ist für

anwendungsspezifische Geometrien sehr aufwendig, daher werden Hilfsmittel zur Beschreibung elektromagnetischer Problemstellungen verwendet. Eine Möglichkeit, diese Gleichungen zu lösen, besteht in der Finite-Elemente-Methode (FEM), in der das Feldgebiet in kleine Teilbereiche unterteilt wird und anschließend die Feld-Gleichungen numerisch gelöst werden. Die Unterteilung des Feldes in ein Netz von vielen kleinen Teilbereichen, auch „finite Elemente“ genannt, stellt hier den Grad der Genauigkeit des gesuchten Feldes dar. Bei Simulationen mit hochfrequenten Feldern  $> 1$  MHz sind Effekte wie der Skin-Effekt oder der Proximity-Effekt nicht mehr zu vernachlässigen. Um diese im HF-Bereich abbilden zu können, wird eine äußerst feine Vernetzung vorausgesetzt. Diese muss mindestens die Strom-Eindringtiefe  $\delta_t$ , die von der Frequenz, der Permeabilität  $\mu$  und dem spezifischen Widerstand  $\rho_s$  abhängig ist, aufweisen.

$$\delta_t = \sqrt{\frac{2\rho_s}{2\pi f\mu}} \quad (3.19)$$

Dies führt bei Simulationen mit hohen Frequenzen oft zu langen Rechenzeiten. Ein alternativer Ansatz ist die „Partial Element Equivalent Circuit Method“, auch PEEC-Methode genannt. Bei dieser Methode werden elektromagnetische Felder über integrale Gleichungen beschrieben und in Form eines äquivalenten elektrischen Ersatzschaltbildes aus passiven Elementen berechnet, wodurch sich der Rechenaufwand erheblich reduzieren lässt [53]. Deswegen wurde in dieser Arbeit zur Simulation von Leiterstrukturen die Software „FastHenry“ vom Massachusetts Institute of Technology verwendet, die eine Kombination aus der PEEC-Methode und einem Multipole-Algorithmus einsetzt [54, 55]. Die Berechnungen der Kapazitäten erfolgten mit der Finite-Elemente-Methode mit der Software Elmer [56].

Streifenleitungen, die vertikal oder horizontal an der Leiterplatte angeordnet sind, bilden Schleifen, in denen ein Stromfluss erfolgt. Eine stromdurchflossene Schleife erzeugt ein quellenfreies Magnetfeld mit einem verketteten magnetischen Fluss  $\Psi$ , der in einer Leiterschleife von der Induktivität  $L$  und der Stromstärke  $I$  abhängt.

$$\Psi = LI \quad (3.20)$$

Beeinflussen sich mehrere Magnetfelder, so spricht man von einer magnetischen Kopplung  $k$ , die den Einfluss vom magnetischen Fluss auf die zweite Schleife beschreibt [53].

$$\Phi_{12} = \Phi_1 k \quad (3.21)$$

Ist der Kopplungsfaktor  $k = 1$ , wird eine ideale Kopplung zwischen den zwei Schleifen



angenommen. Bei  $k = 0$  existiert hingegen keine magnetische Beeinflussung. Die durch einen Strom  $I_1$  erzeugte magnetische Kopplung bewirkt eine Gegeninduktivität  $L_{12}$  in der zweiten Schleife, die wie folgt berechnet wird:

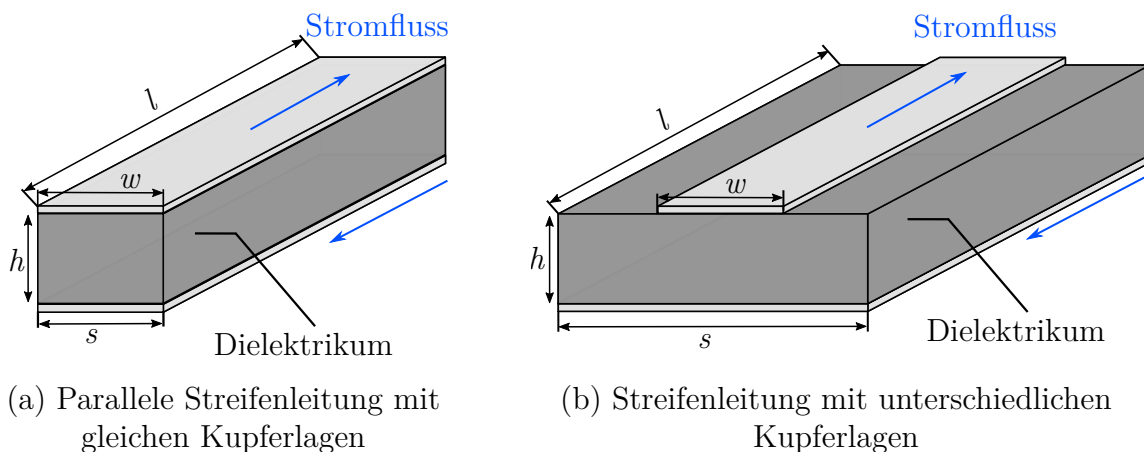
$$L_{12} = \frac{\Phi_{12}}{I_1} \quad (3.22)$$

Existiert eine identische Kopplung von Geometrie 1 auf Geometrie 2 und umgekehrt  $L_m = L_{21} = L_{12}$ , ergibt sich eine Schleifeninduktivität aus den jeweiligen Eigeninduktivitäten und der Gegeninduktivität  $L_m$  wie folgt:

$$L_{Schleife} = L_{11} + L_{22} \pm 2L_m \quad (3.23)$$

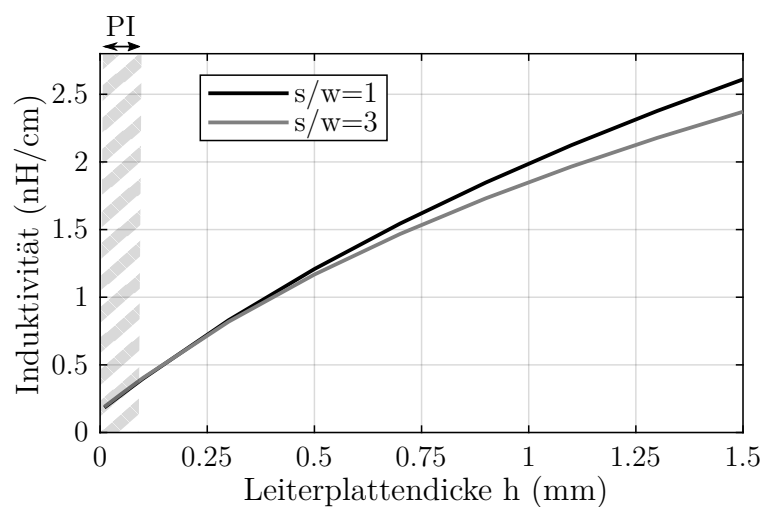
Zu beachten ist hierbei, dass sich magnetische Felder vektoriell addieren. Ein gleichsinniger Strom führt zur Erhöhung des äußeren magnetischen Feldes und steigert die Induktivität. Ein gegensinniger Strom führt zu einer Kompensation des äußeren Feldes und mindert somit die Induktivität. Dies wird in Formel 3.23 mit einer Addition bzw. Subtraktion der Gegeninduktivität berücksichtigt. Diese Zusammenhänge können auch auf eine Leitergeometrie mit zwei einzelnen Leitern übertragen werden. Daraus kann das Optimierungsziel eines niederinduktiven Aufbaus einer Schaltzelle abgeleitet werden. Um die Induktivitäten so weit wie möglich zu reduzieren, muss die Kopplung zwischen zwei Leitern so groß wie möglich ausfallen. Dies kann z. B. durch geringe Distanzen zwischen den Leitern erfolgen. Aber auch die Leitergeometrie nimmt Einfluss auf die Kopplung. Dabei können Leitungen planar auf einer Ebene oder vertikal übereinander angeordnet werden. Planare Abstände zwischen den Leitern fallen in der Regel aufgrund von mangelndem Platzbedarf oder durch herstellenspezifische Mindestabstände größer aus als bei vertikalen Schleifen, wodurch eine geringere magnetische Kopplung entsteht. Im Umkehrschluss ist es möglich, über die Schichtdicke in vertikalen Leiteranordnungen geringere Distanzen mit höheren magnetischen Kopplungen zu realisieren. Aufgrund der besseren magnetischen Kopplungen der vertikalen Streifenleitungen werden diese nachfolgend näher untersucht.

Abbildung 3.12 zeigt zwei Varianten zur Realisierung einer vertikalen Streifenleitung mit einem Hin- und Rückleiter. Die erste Variante aus Abbildung 3.12(a) stellt eine parallele Streifenleitung mit gleicher Breite für Hin- und Rückleitung  $s/w = 1$  dar. Die zweite Variante, in der die Oberseite um ein Vielfaches kleiner ist, wird sehr häufig in Verbindung mit Massenflächen verwendet. Um eine Schaltzelle und die umgebende Elektronik zu optimieren, werden diese Geometrien auf ihr elektrisches Verhalten untersucht. Abbildung 3.13 zeigt für die parallele und unsymmetrische Streifenleitung bei einer Frequenz von 1 MHz die Induktivität in Abhängigkeit von der Dicke  $h$ . Das



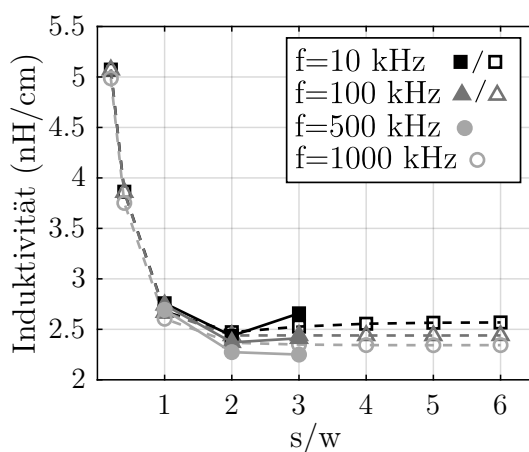
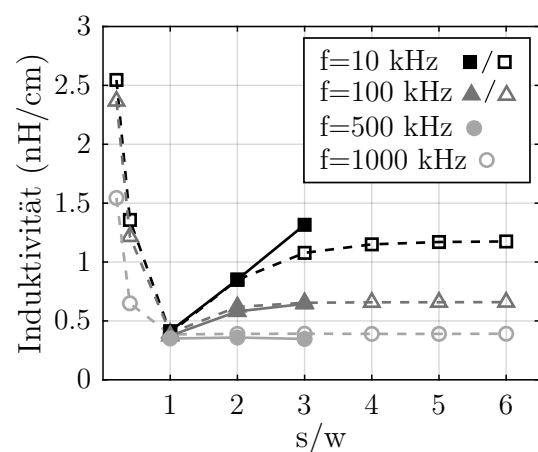
**Abbildung 3.12:** Zwei Streifenleitungen auf einer Leiterplatte mit der Breite  $w$  für die Kupferlage auf der Oberseite, mit der Breite  $s$  für die Kupferlage auf der Unterseite, mit der Schichtdicke  $h$  für das Dielektrikum und einer Länge  $l$ .

vertikale Verbindungselement zwischen den zwei Lagen wird dabei vernachlässigt. Je kleiner die Dicke  $h$  des Dielektrikums, umso geringer ist der Abstand zwischen den Leiterbahnen, was zu einer Reduktion der Induktivität führt. Der grau gestreifte markierte Bereich zeigt die Grenzschichtdicke für ein herkömmliches FR4-Material (ca. 0.06 mm). Eine weitere Reduzierung kann nur mit dünneren Dielektrika wie Polyimid erfolgen. Der Vergleich zwischen beiden Strukturvarianten zeigt bei dünnen Schichtdicken kaum Unterschiede bei der Induktivität. Bei hohen Schichtdicken hingegen entstehen bei der parallelen Streifenleitung im Vergleich zur großflächigen Masseflä-

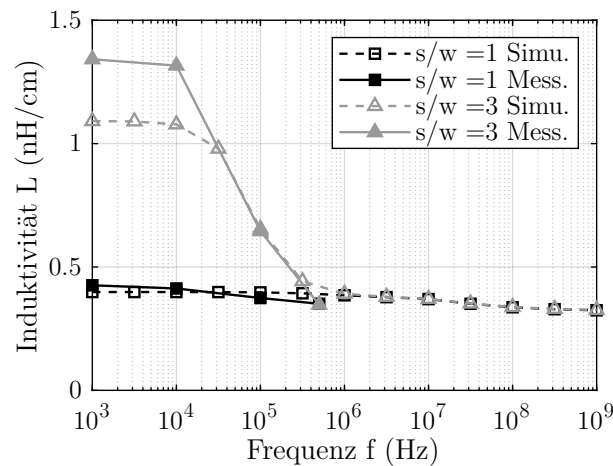


**Abbildung 3.13:** Simulation der Streifenleitungen in Abhängigkeit der Dicke des Dielektrikums für unterschiedliche Breiten der Unterseite bei einer Frequenz von 1 MHz, einer Breite  $w$  von 5 mm und Kupferdicken von 0.035 mm.

che höhere Induktivitäten. Abbildung 3.14 zeigt die Messung und Simulation der Induktivitäten in Abhängigkeit vom Verhältnis  $s/w$  für verschiedene Frequenzen. Bei allen Messungen bzw. Simulationen wurde eine konstante Breite  $w$  des oberen Leiters mit 5 mm angenommen. Das Verhältnis  $s/w = 1$  entspricht demgemäß der parallelen Streifenleitung aus Abbildung 3.12(a). Ergänzend sei hier erwähnt, dass sich bei Frequenzen  $< 10$  kHz und  $> 10$  MHz die Verläufe nicht mehr von den jeweils nahe liegenden Frequenzen unterscheiden und daher aus Gründen der Übersichtlichkeit nicht dargestellt werden. Die Ergebnisse aus Abbildung 3.14(a) mit einer Dicke  $h$  von 1.5 mm zeigen, dass eine breite Unterseite  $s/w > 1$  die Induktivität der Leitung im Vergleich zur parallelen Streifenleitung  $s/w = 1$  senkt. Für Frequenzen  $> 500$  kHz stellt sich bei einem Verhältnis  $s/w > 2$  zudem keine signifikante Änderung der Induktivitäten mehr ein. Bei kleineren dielektrischen Schichtdicken wie z. B. bei  $h = 0.1$  mm steigen die Induktivitäten bei Frequenzen  $< 1$  MHz mit zunehmendem Breitenverhältnis  $s/w$  an. Bei Frequenzen  $> 1$  MHz ist keine signifikante Veränderung der Induktivität messbar. Die Ergebnisse zeigen, dass die weit verbreitete Meinung „je breiter eine Leiterbahn, umso besser“ bei den heute realisierbaren Schichtdicken zumindest für Frequenzanteile  $< 1$  MHz nicht zutreffend ist. Als Nächstes vergleicht Abbildung 3.15 die Frequenzabhängigkeit der Induktivität für eine Streifenleitung mit dem Verhältnis  $s/w = 1$  und  $s/w = 3$ . Eine Streifenleitung mit einer breiten Kupferunterseite weist aufgrund der stärkeren Auswirkung des Proximity-Effekts eine deutlich höhere Frequenzabhängigkeit im Vergleich zur parallelen Streifenleitung auf. Für Frequenzen  $> 1$  MHz unterscheiden sich die zwei Leitungsvarianten bei der geringen Distanz auf-

(a)  $w = 5$  mm  $h = 1.5$  mm(b)  $w = 5$  mm  $h = 0.1$  mm

**Abbildung 3.14:** Die Induktivität in Abhängigkeit vom Verhältnis  $s/w$ . Gefüllte Linien mit gefüllten Symbolen entsprechen den Messungen. Gestrichelte Linien mit ungefüllten Symbolen entsprechen den Simulationen.

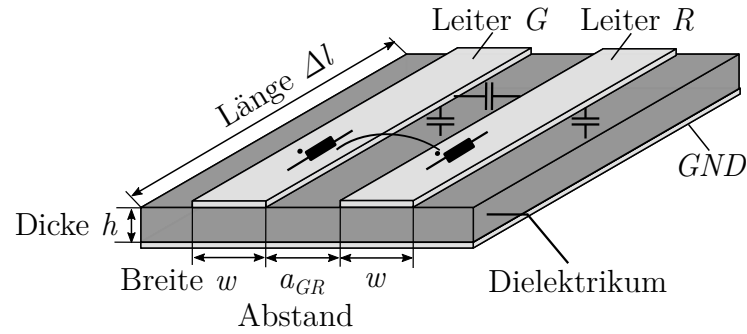


**Abbildung 3.15:** Messung und Simulation (FastHenry) der Leitungsinduktivität in Abhängigkeit von der Frequenz für eine Parallelstreifenleitung und eine Mikrostreifenleitung (Verhältnis  $s/w = 3$ ) für eine Breite von 5 mm und eine Dicke von 0.1 mm.

grund des stark ausgeprägten Proximity-Effekts kaum. Schwingungsvorgänge beim Schaltvorgang weisen Frequenzen  $> 10$  MHz auf, deswegen hat das Verhältnis der Kupferflächen hier keinen entscheidenden Einfluss. Jedoch wird in [57] gezeigt, dass eine Streifenleitung mit breiter Unterseite im Vergleich zu einer Parallelleitung eine geringere Gleichtaktstörung zur Folge hat.

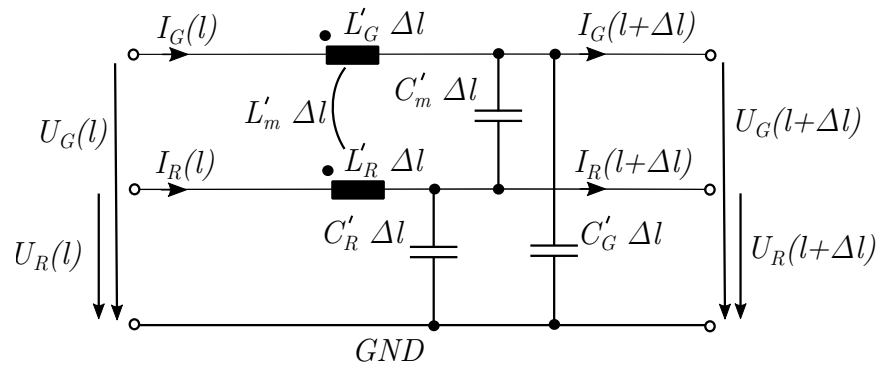
### 3.3 Elektrisches Übersprechen bei Streifenleitungen in Abhängigkeit von der Schichtdicke

Eine weitere wichtige Eigenschaft, welche durch parasitäre Elemente in Leitergeometrien entsteht, ist das Übersprechen bzw. die Kopplung von Spannungen und Strömen auf andere Leitungen. Dieses Übersprechen ist vor allem beim Einsatz von WBG-Transistoren mit kurzen Schaltzeiten erhöht. Hinzu kommen zunehmende Anforderungen und Richtlinien zur elektromagnetischen Verträglichkeit von leistungselektronischen Schaltungen [58], die diese Problematik erhöhen. In diesem Teilkapitel wird der Einfluss der Schichtdicke und somit auch der Einfluss der parasitären Elemente auf das Übersprechen näher untersucht. Abbildung 3.16 zeigt eine schematische Darstellung einer typischen Leitergeometrie mit zwei einzelnen Leitern  $G$  und  $R$  und einer gemeinsamen Massefläche  $GND$ . Das Übersprechen der Generator-Leitung  $G$  auf die Rezeptor-Leitung  $R$  wurde in [59] modelliert und anhand einer Leiterplatte mit 1.5 mm untersucht. Die Grundlagen dieser Arbeit werden hier zum Verständnis aufgeführt und im Hinblick auf eine Variation der Schichtdicke erweitert.



**Abbildung 3.16:** Schematische Darstellung zweier Leiter  $G$  und  $R$  mit einer gemeinsamen Massefläche  $GND$ .

Zur Beschreibung des Übersprechens wird das verlustlose elektrische Ersatzschaltbild eines Leiters mit einer Länge  $\Delta l$  und den parasitären Elementen, welche in Abbildung 3.17 gezeigt werden, verwendet. Der ohmsche Anteil ist nicht signifikant [59] und wird daher einfachheitshalber vernachlässigt.



**Abbildung 3.17:** Verlustloses elektrisches Ersatzschaltbild der Leiteranordnung aus Abbildung 3.16.

Die Bauteile  $L'_G$ ,  $L'_R$ ,  $C'_G$  und  $C'_R$  spiegeln die Elemente bezogen auf die Masse wider. Die magnetische und elektrische Kopplung zwischen den Leitern wird durch die Gegeninduktivität  $L'_m$  und die Kopplungskapazität  $C'_m$  beschrieben. Die elektrischen Spannungen  $U_G(l, t)$  und  $U_R(l, t)$  werden für diese Geometrie laut [60] wie folgt beschrieben:

$$\frac{\partial U_G(l, t)}{\partial l} = -L'_G \frac{\partial I_G(l, t)}{\partial t} - L'_m \frac{\partial I_R(l, t)}{\partial t} \quad (3.24)$$

$$\frac{\partial U_R(l, t)}{\partial l} = -L'_m \frac{\partial I_G(l, t)}{\partial t} - L'_R \frac{\partial I_R(l, t)}{\partial t} \quad (3.25)$$

Für die Ströme  $I_G(l, t)$  und  $I_R(l, t)$  lauten diese:

$$\frac{\partial I_G(l, t)}{\partial l} = -(C'_G + C'_m) \frac{\partial U_G(l, t)}{\partial t} + C'_m \frac{\partial U_R(l, t)}{\partial t} \quad (3.26)$$

$$\frac{\partial I_R(l, t)}{\partial l} = C'_m \frac{\partial U_G(l, t)}{\partial t} - (C'_R + C'_m) \frac{\partial U_R(l, t)}{\partial t} \quad (3.27)$$

Werden diese Leitungsgleichungen in eine Matrixdarstellung, wie in den Gleichungen 3.28 und 3.29 gezeigt, überführt, können die parasitären Elemente in dieser Geometrie mit einer Induktivitäts- und Kapazitätsmatrix beschrieben werden.

$$\frac{\partial}{\partial l} \begin{bmatrix} U_G(l, t) \\ U_R(l, t) \end{bmatrix} = - \begin{bmatrix} L'_G & L'_m \\ L'_m & L'_R \end{bmatrix} \cdot \frac{\partial}{\partial t} \begin{bmatrix} I_G(l, t) \\ I_R(l, t) \end{bmatrix} \quad (3.28)$$

$$\frac{\partial}{\partial l} \begin{bmatrix} I_G(l, t) \\ I_R(l, t) \end{bmatrix} = - \begin{bmatrix} C'_G + C'_m & -C'_m \\ -C'_m & C'_R + C'_m \end{bmatrix} \cdot \frac{\partial}{\partial t} \begin{bmatrix} U_G(l, t) \\ U_R(l, t) \end{bmatrix} \quad (3.29)$$

Gleichung 3.30 und 3.31 zeigen eine vereinfachte Matrixdarstellung der Leitungsgleichungen.

$$\frac{\partial}{\partial l} \mathbf{U}(l, t) = -\mathbf{L}' \frac{\partial}{\partial t} \mathbf{I}(l, t) \quad (3.30)$$

$$\frac{\partial}{\partial l} \mathbf{I}(l, t) = -\mathbf{C}' \frac{\partial}{\partial t} \mathbf{U}(l, t) \quad (3.31)$$

Nachfolgend wird das elektrische Übersprechen vom Leiter  $G$  auf den Leiter  $R$  untersucht. Dabei kann aus den Leitungsgleichungen entnommen werden, dass im Empfängerkreis mit der Leitung  $R$  eine Einkopplung der Spannung  $U_{ST}$  durch den Strom  $I_G(l, t)$  erfolgt.

$$U_{ST} = -L'_m \frac{\partial I_G(l, t)}{\partial t} \quad (3.32)$$

Zudem erfolgt eine Einkopplung des Störstromes  $I_{ST}$  durch die Spannung  $U_G(l, t)$ .

$$I_{ST} = C'_m \frac{\partial U_G(l, t)}{\partial t} \quad (3.33)$$

Somit existiert durch die Induktivität  $L'_m$  und die Kapazität  $C'_m$  eine Spannungs- und eine Stromeinkopplung. Unter der Voraussetzung einer kurzen elektrischen Leitung (Leitungslänge  $\ll$  Wellenlänge  $\lambda_W$ ) kann diese Störeinkopplung für einzelne Frequenzen im stationären Fall nach [59] durch Ersetzen der zeitlichen Ableitung mit  $j\omega$  wie

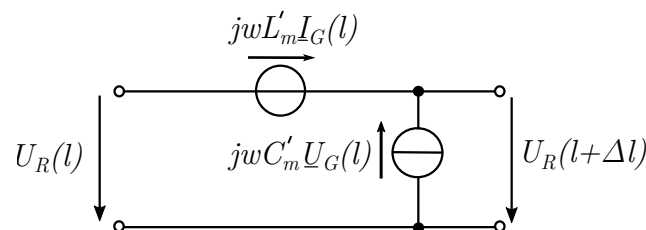
folgt dargestellt werden:

$$\underline{U}_{ST} = -j\omega L'_m \underline{I}_G(l) \quad (3.34)$$

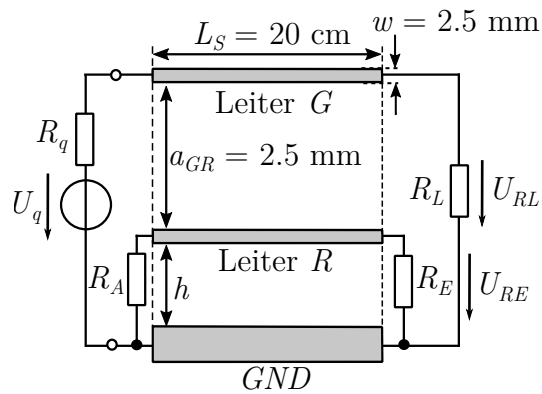
$$\underline{I}_{ST} = j\omega C'_m \underline{U}_G(l) \quad (3.35)$$

Abbildung 3.18 zeigt das vereinfachte frequenzabhängige Ersatzschaltbild der Störeinkopplung auf die Empfängerleitung. Aus diesem können die wichtigsten Einflussfaktoren für eine Störeinkopplung entnommen werden. Dabei beeinflussen sowohl die Größen in der Generatorleitung  $U_G$  und  $I_G$  als auch die Gegeninduktivität  $L'_m$  und Kopplungskapazität  $C'_m$  die Störgrößen in der Empfängerleitung  $R$ . Eine Voraussetzung, die bei diesem Modell getroffen wurde, ist, dass nur eine geringe Kopplung zwischen den einzelnen Leitern besteht. Wäre diese Kopplung durch sehr geringe Abstände hoch, müsste eine Rückwirkung von Spannung bzw. Strom zurück auf den Leiter  $G$  berücksichtigt werden. Da dies in nachfolgenden Untersuchungen nicht der Fall ist, kann in guter Näherung auf die Rückkopplung verzichtet werden. Zur experimentellen Untersuchung des Störverhaltens wurde ein Testaufbau, welcher schematisch in Abbildung 3.19(a) dargestellt ist, für drei verschiedene Schichtdicken  $h$  (1.5 mm, 0.5 mm und 0.025 mm) erstellt (siehe Abbildung 3.19 (b) bis (d)).

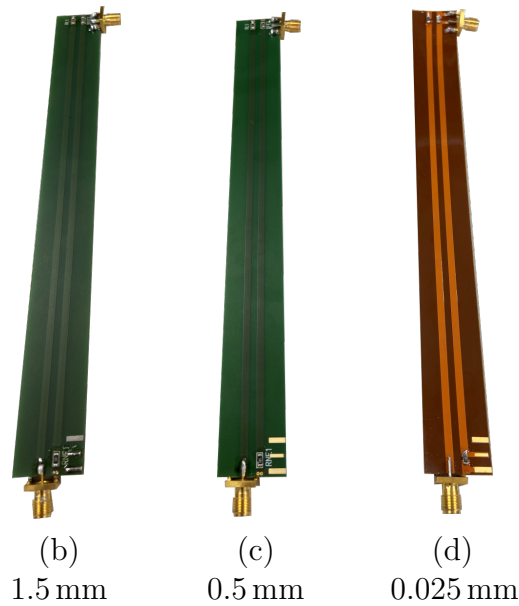
Abbildung 3.20 zeigt die Ergebnisse einer 2D-FEM-Simulation vom geometrischen Aufbau aus Abbildung 3.19 für die parasitären Kapazitäten in Abhängigkeit von der Substratdicke. Zur Verifikation der Simulation sind die mit einem LCR-Meter (Typ Agilent E4980A) gemessenen Kapazitäten  $C'_G$  und  $C'_R$  der drei verschiedenen experimentellen Aufbauten ebenfalls dargestellt. Die Kopplungskapazität konnte aufgrund des kleinen Wertebereichs nicht ausreichend genau gemessen werden und wird daher nicht dargestellt. In Abbildung 3.20(a) ist zu sehen, dass die Leitungskapazitäten  $C'_G$  und  $C'_R$  mit Reduzierung der Schichtdicke deutlich steigen, während die Kapazität  $C'_m$  aus Abbildung 3.20(b) trotz des gleichbleibenden Abstandes zwischen den Leitern durch die Reduzierung der Schichtdicke sinkt. Dies ist auf den Einfluss des Di-



**Abbildung 3.18:** Vereinfachtes Ersatzschaltbild der induktiven und kapazitiven Störeinkopplung [59].



(a) Testaufbau [59]



(b)

1.5 mm

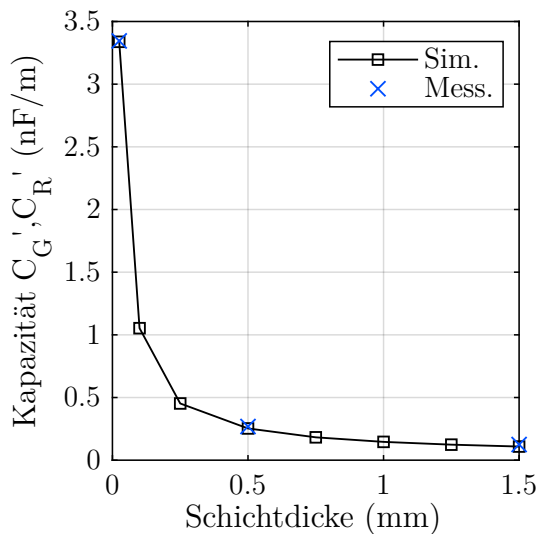
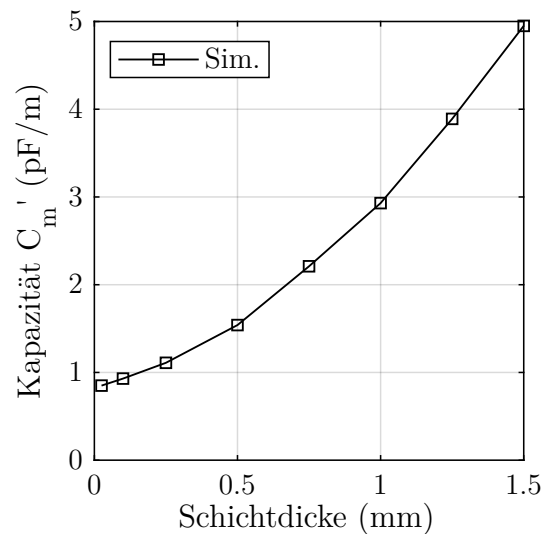
(c)

0.5 mm

(d)

0.025 mm

**Abbildung 3.19:** Testaufbau zur Charakterisierung der Störeinkopplung zwischen zwei Leitern für drei verschiedene Substratdicken 1.5 mm, 0.5 mm und 0.025 mm.

(a)  $C'_G$  und  $C'_R$  in Abhängigkeit von der Schichtdicke(b)  $C'_m$  in Abhängigkeit von der Schichtdicke

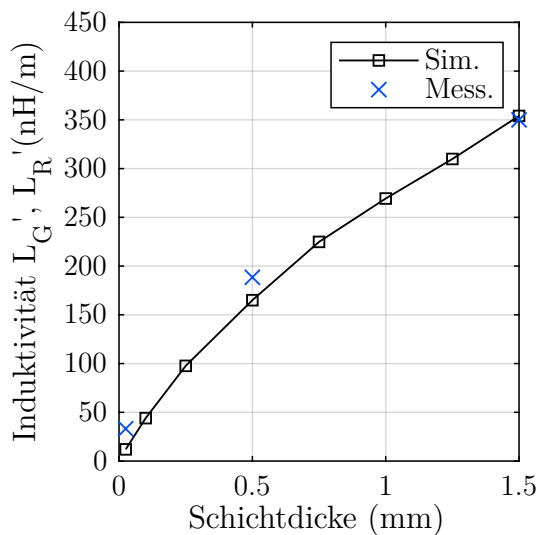
**Abbildung 3.20:** Parasitäre Kapazitäten in der Leiteranordnung aus Abbildung 3.19 in Abhängigkeit von der Schichtdicke.

elektrikums auf die Feldlinien zurückzuführen, da eine Reduzierung der Schichtdicke diese stört bzw. mindert. Die Induktivitäten können mithilfe der inversen Kapazitätsmatrix  $\mathbf{C}_0^{-1}$  in Vakuum (ohne Dielektrikum), die ebenfalls mithilfe einer 2D-FEM-Simulation berechnet wurde, in eine Induktivitätsmatrix umgerechnet werden [60]:

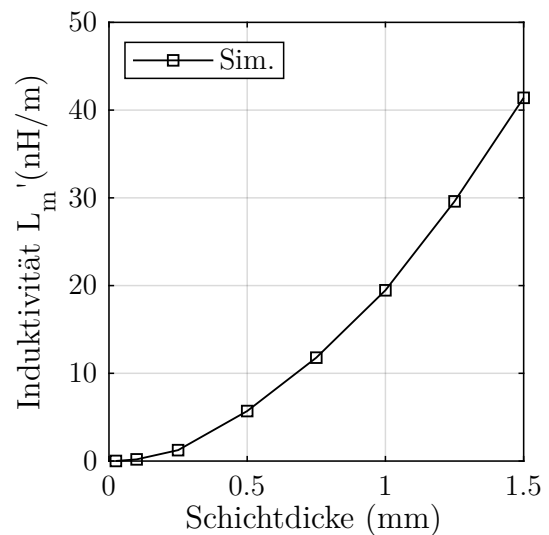


$$\mathbf{L}' = \mu_0 \epsilon_0 \mathbf{C}_0'^{-1} \quad (3.36)$$

Abbildung 3.21 zeigt die aus Gleichung 3.36 berechneten Induktivitäten  $L'_G$ ,  $L'_R$  und  $L'_m$  in Abhängigkeit von der Schichtdicke mit den dazugehörigen Messwerten. Es ist zu erkennen, dass sowohl die Leitungsinduktivitäten  $L'_G$  und  $L'_R$  als auch die Kopplungsinduktivitäten  $L'_m$  mit der Reduzierung der Schichtdicke abnehmen. Die Abnahme der Leitungsinduktivitäten ist auf die bessere magnetische Kopplung, wie im vorherigen Teilkapitel gezeigt wurde, zurückzuführen. Die reduzierte Kopplung entsteht aufgrund der kleineren Fläche zwischen den Leitern und der Massefläche, in der die magnetischen Feldlinien aus- und einkoppeln können. Schlussfolgernd lässt sich sagen, dass mit Reduzierung der Schichtdicke sowohl kapazitive als auch induktive Kopplungen reduziert werden.



(a)  $L'_G$  und  $L'_R$  in Abhängigkeit von der Schichtdicke



(b)  $L'_m$  in Abhängigkeit von der Schichtdicke

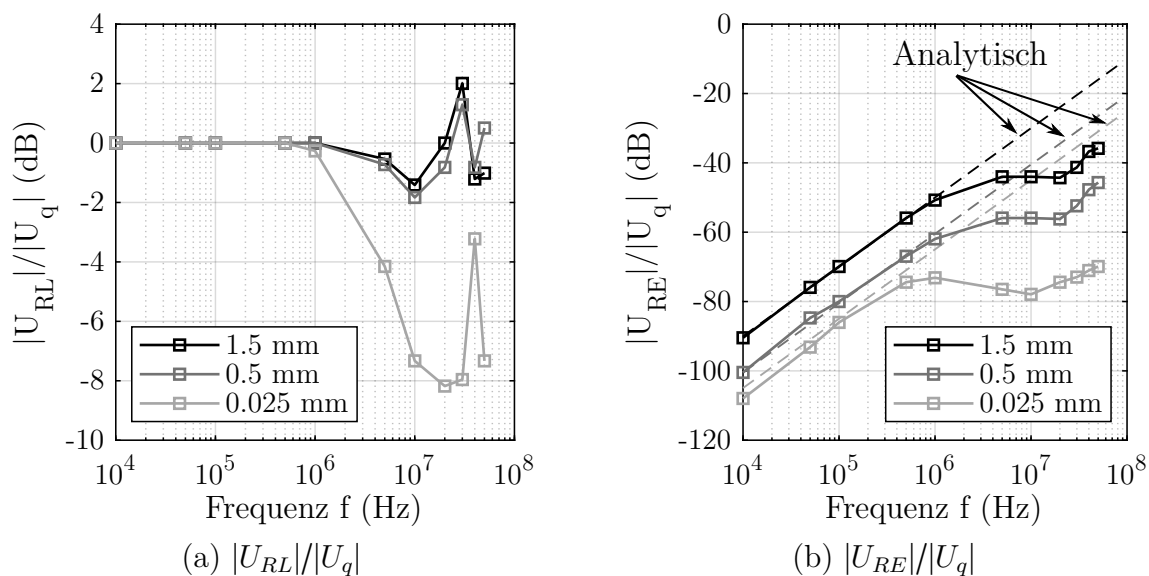
**Abbildung 3.21:** Parasitäre Induktivitäten in einer Leiteranordnung aus Abbildung 3.19 in Abhängigkeit von der Schichtdicke.

Zur Bestimmung des Übersprechens ist an Leiter  $G$  eine Spannungsquelle angeschlossen und ein Lastwiderstand am Ende der Leitung angebracht (siehe Abbildung 3.19(a)). Im Empfängerkreis mit dem Leiter  $R$  sind zwei Widerstände jeweils am Eingang und Ausgang hinzugefügt. Da keine externe Spannung am Leiter  $R$  anliegt, ist z. B. die gemessene Spannung am Widerstand  $R_E$  eine durch die Koppelpfade entstehende Spannung. Unter der Bedingung, dass es sich hier um eine elektrisch kurze Streifenleitung (Gesamtlänge  $L_S \ll$  Wellenlänge  $\lambda_W$ ) handelt und somit keine Welleneffekte

aufzutreten, kann die Spannung wie folgt analytisch berechnet werden:

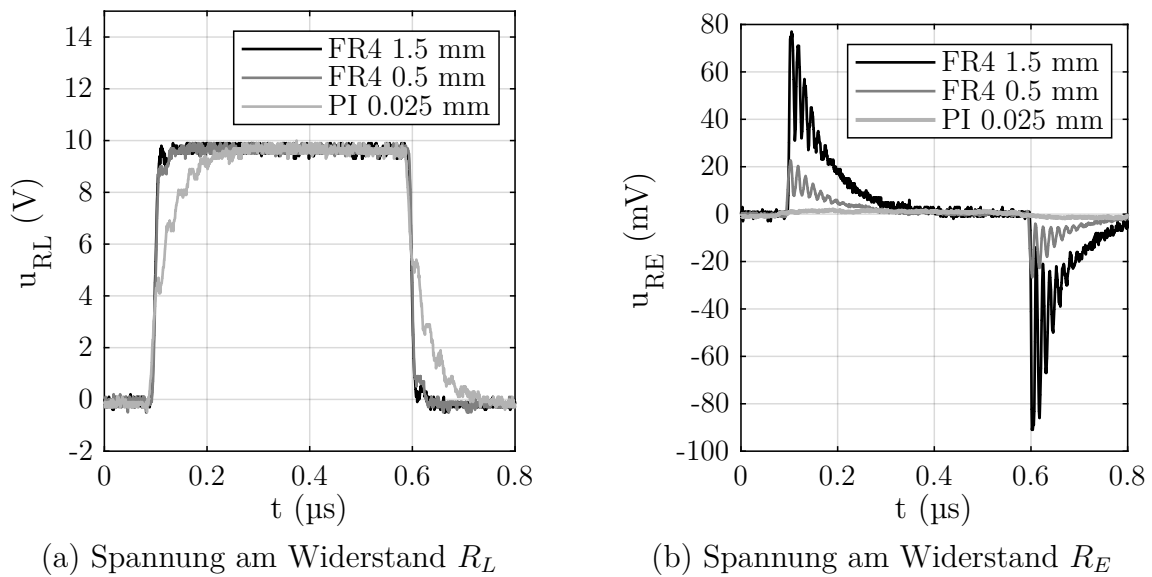
$$U_{RE} = j\omega U_q \frac{R_E}{R_E + R_A} \left( \frac{L_m}{R_L + R_q} + C_m R_A \right) \quad (3.37)$$

Die Widerstände  $R_L$ ,  $R_A$  und  $R_E$  betragen jeweils  $1 \text{ k}\Omega$ . Der Innenwiderstand der Spannungsquelle  $R_q$  beträgt  $50 \Omega$ . Abbildung 3.22 zeigt für die verschiedenen Aufbauten den frequenzabhängigen Spannungspegel am Widerstand  $R_L$  und  $R_E$  normiert auf die Quellspannung  $U_q$ . Die Ergebnisse zeigen, dass bis ca.  $1 \text{ MHz}$  die Pegel am Widerstand  $R_E$  einen Unterschied zwischen den einzelnen Schichtdicken von  $10 \text{ dB}$  ergeben. Dies deckt sich auch mit der analytischen Berechnung aus Gleichung 3.37. Im Frequenzbereich oberhalb von  $1 \text{ MHz}$  sind Unterschiede zwischen den Varianten von ca.  $40 \text{ dB}$  zu erkennen. Dies ist auf die Filterwirkung der Leitung zurückzuführen (siehe Abbildung 3.22(a)). Wird das Nutzsinal bereits auf Leitung  $G$  gedämpft, hat dies Einfluss auf das Übersprechen auf die zweite Leitung.



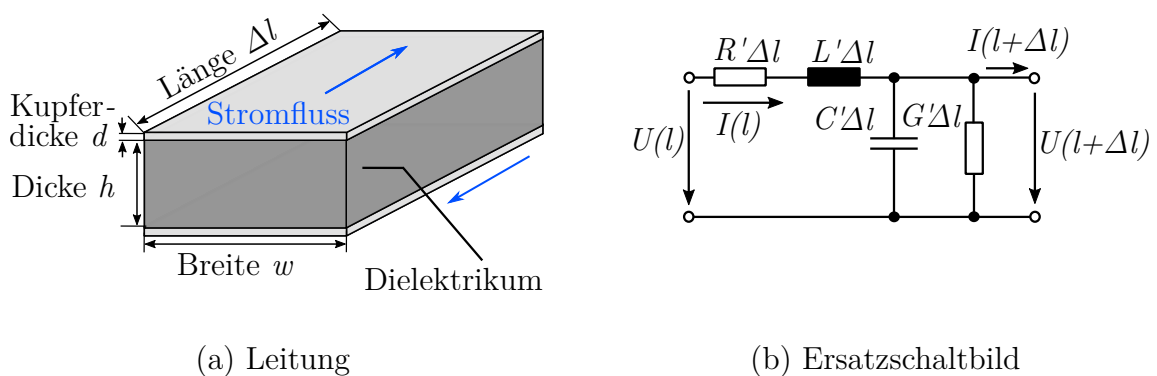
**Abbildung 3.22:** Dämpfung der Spannung am Widerstand  $U_{RE}$  und  $U_{RL}$  in Abhängigkeit von der Frequenz für die Schichtdicken  $1.5 \text{ mm}$ ,  $0.5 \text{ mm}$  und  $0.025 \text{ mm}$ .

Abbildung 3.23 zeigt die Messergebnisse der verschiedenen Streifenleitungen mit einem Rechtecksignal am Lastwiderstand  $R_L$ . Die Anstiegszeit der Quellspannung beträgt in diesem Versuch  $10 \text{ ns}$ . In Abbildung 3.23(b) ist die Spannung am Widerstand  $R_E$  zu sehen. Es ist zu erkennen, dass die Spannung bei dünner werdenden Substraten abnimmt bzw. bei der Variante mit  $0.025 \text{ mm}$  nicht mehr zu erkennen ist. Dies ist zum einen auf die reduzierten Kopplungswerte von  $L'_m$  und  $C'_m$  zurückzuführen, aber auch auf die Leitungsparameter  $C'_G$  und  $C'_R$ , die eine Dämpfung des Signals verursachen. Bei der



**Abbildung 3.23:** Zeitliche Spannungsverläufe an den Widerständen  $R_L$  und  $R_E$  für die Schichtdicken 1.5 mm, 0.5 mm und 0.025 mm bei einer Quellenspannung  $U_q$  von 10 V.

Variante mit 0.025 mm ist dies anhand des deutlichen Abflachens der Spannungsflanke zu erkennen (siehe Abbildung 3.23(a)). Um die Abhängigkeit der Dämpfung von der Schichtdicke zu verdeutlichen, wird anhand der in Abbildung 3.24(a) gezeigten Streifenleitung mit einem Induktivitäts-, Kapazitäts-, Leitwert- und Widerstandsbelag die Dämpfung berechnet. Das elektrische Verhalten dieser Streifenleitung kann mit dem Ersatzschaltbild aus Abbildung 3.24(b) angenähert werden [61]. Je mehr dieser Elemente für eine Annäherung einer Streifenleitung in Reihe verschaltet werden, umso genauer kann das Verhalten der Streifenleitung nachgebildet werden.



**Abbildung 3.24:** Streifenleitung mit der Länge  $l$ , Breite  $w$  und Dicke  $h$  mit entsprechendem Ersatzschaltbild.

Eine Multiplikation der Leitungsbeläge mit der Länge  $\Delta l$  ergibt die jeweiligen Leitungselemente des Leitungsstücks.

$$R = R' \Delta l \quad L = L' \Delta l \quad C = C' \Delta l \quad (3.38)$$

Unter Vernachlässigung der dielektrischen Verluste kann dieses Ersatzschaltbild mit einem RLC-Netzwerk mit folgender Differenzialgleichung beschrieben werden:

$$LC \frac{\partial^2 U(l + \Delta l)}{\partial t^2} + RC \frac{\partial U(l + \Delta l)}{\partial t} + U(l + \Delta l) = U(l) \quad (3.39)$$

Die daraus resultierende Übertragungsfunktion ergibt folgendes System 2. Ordnung:

$$F(j\omega) = \frac{U(l + \Delta l)}{U(l)} = \frac{1}{(j\omega)^2 LC + j\omega RC + 1} = \frac{1}{(j\omega)^2 T^2 + j\omega 2DT + 1} \quad T = \frac{1}{\omega_0} \quad (3.40)$$

Die Kennkreisfrequenz  $\omega_0$  und die Dämpfung  $D$  ergeben sich aus der Übertragungsfunktion wie folgt:

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad D = \frac{R}{2} \sqrt{\frac{C}{L}} \quad (3.41)$$

Die parasitären Elemente aus einer parallelen Streifenleitung können mit folgenden drei Gleichungen beschrieben werden, wobei die Berechnung der Induktivität nur eine Näherung darstellt:

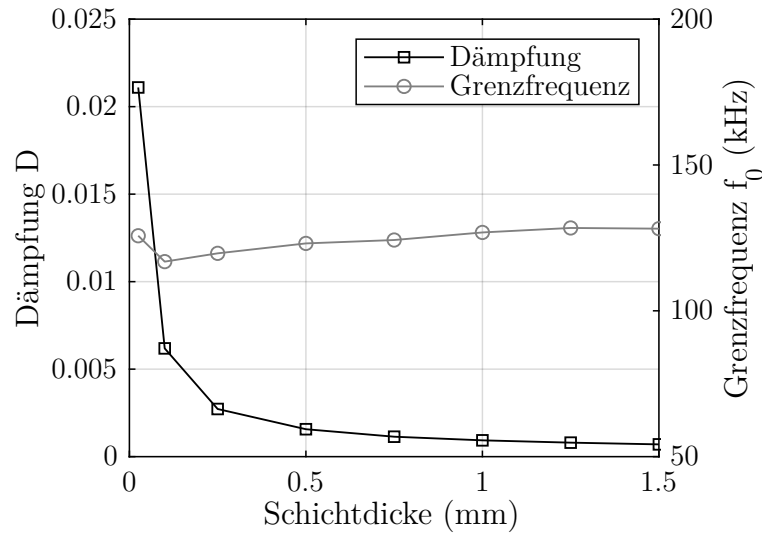
$$R = 2\rho \frac{\Delta l}{w \cdot d} \quad C = \varepsilon_0 \varepsilon_r \frac{w \cdot \Delta l}{h} \quad L = \mu_0 \mu_r \frac{h \cdot \Delta l}{w} \quad (3.42)$$

Da die Gleichungen der Induktivität und Kapazität Hin- und Rückleiter berücksichtigen, wird bei der Berechnung des Widerstandes der Faktor 2 hinzugefügt. Werden diese Näherungen in Gleichung 3.41 eingesetzt, ergibt sich folgender Zusammenhang:

$$\omega_{0L} = \frac{1}{\sqrt{\varepsilon_0 \varepsilon_r \mu_0 \mu_r} \Delta l} \quad D_L = \frac{R}{2} \sqrt{\frac{\varepsilon_0 \varepsilon_r}{\mu_0 \mu_r}} \cdot \frac{w}{h} = \rho \sqrt{\frac{\varepsilon_0 \varepsilon_r}{\mu_0 \mu_r}} \cdot \frac{\Delta l}{h \cdot d} \quad (3.43)$$

Aus dieser Näherung kann entnommen werden, dass die Kennkreisfrequenz  $\omega_{0L}$  eines Leitungsstücks unabhängig von der verwendeten Schichtdicke  $h$  ist und sich mit zunehmender Länge verringert. Die Leitungsdämpfung  $D_L$  hingegen nimmt mit geringerer Dicke indirekt proportional zu. Abbildung 3.25 zeigt die Dämpfung und die Grenzfrequenz der Versuchsaufbauten aus Abbildung 3.19(a) in Abhängigkeit von der Schichtdicke. Da sowohl die Kapazität als auch die Induktivität mit der Dicke ska-

lieren, bleibt die Grenzfrequenz, wie in Gleichung 3.43 gezeigt, annähernd konstant. Hingegen steigt die Dämpfung mit immer kleiner werdenden Schichtdicken an. Aufgrund des sehr kleinen Leitungswiderstands von  $80 \text{ m}\Omega$  ist jedoch diese Dämpfung gering. Da in der Regel in einem Schaltkreis der ohmsche Anteil deutlich höher ist, können bei dünnen Substraten durchaus eingekoppelte hochfrequente Spannungen oder Überschwingungen von der Leiterbahn gedämpft werden.



**Abbildung 3.25:** Dämpfung und Resonanzfrequenz der Leitungsgeometrie aus Abbildung 3.19(a) in Abhängigkeit von der Schichtdicke.

Abschließend werden die Ergebnisse einer Störeinkopplung auf den Leiter  $G$  mittels eines externen magnetischen Nahfelds gezeigt. Das magnetische Nahfeld wurde mithilfe einer Leiterschleife mit einem Durchmesser von 1 cm und einem Abstand von 1 cm parallel neben dem Leiter  $R$  erzeugt. Die Frequenz des erzeugten Störfeldes betrug 50 MHz. Die im Leiter induzierte Spannung wurde, wie in vorhergehenden Experimenten, am Widerstand  $R_E$  gemessen. Tabelle 3.1 zeigt die gemessene Dämpfung bezogen auf die Spannung des Störsenders mit 10 V. Dabei entstehen zwischen den einzelnen Schichtdicken Unterschiede von ca. 10 dB, was einer Reduzierung der Störspannung ca. um den Faktor 3 entspricht. Die reduzierte Störspannung ist auf die geringere aufgespannte Fläche, in der das B-Feld eindringen kann, zurückzuführen. Somit kann durch eine Verkleinerung der Schichtdicke die Störsicherheit gegen externe Felder erhöht werden.

**Tabelle 3.1:** Pegel zwischen einem externen Störsender und der Spannung  $U_{RE}$ .

	1.5 mm	0.5 mm	0.025 mm
Dämpfung	-61 dB	-70.5 dB	-80 dB

Schlussfolgernd kann gesagt werden, dass dünnere Schichtdicken geringere Koppel-

pfade hervorrufen. Das ist besonders bei WBG-Transistoren mit kurzen Schaltzeiten ein Vorteil. Aber auch im Hinblick auf die Störstrahlung kann eine dünnere Schicht sowohl weniger störende Felder an die Umgebung abgeben als auch eine bessere Störfestigkeit gegen externe Felder aufweisen. Die höhere Dämpfung unterdrückt zudem noch Störungen und hochfrequente Anteile. Sollte aber ein dynamisches oder hochfrequentes Signalverhalten erwünscht sein, kann eine zu dünne Schichtdicke zu einer unerwünschten Filterung beitragen.

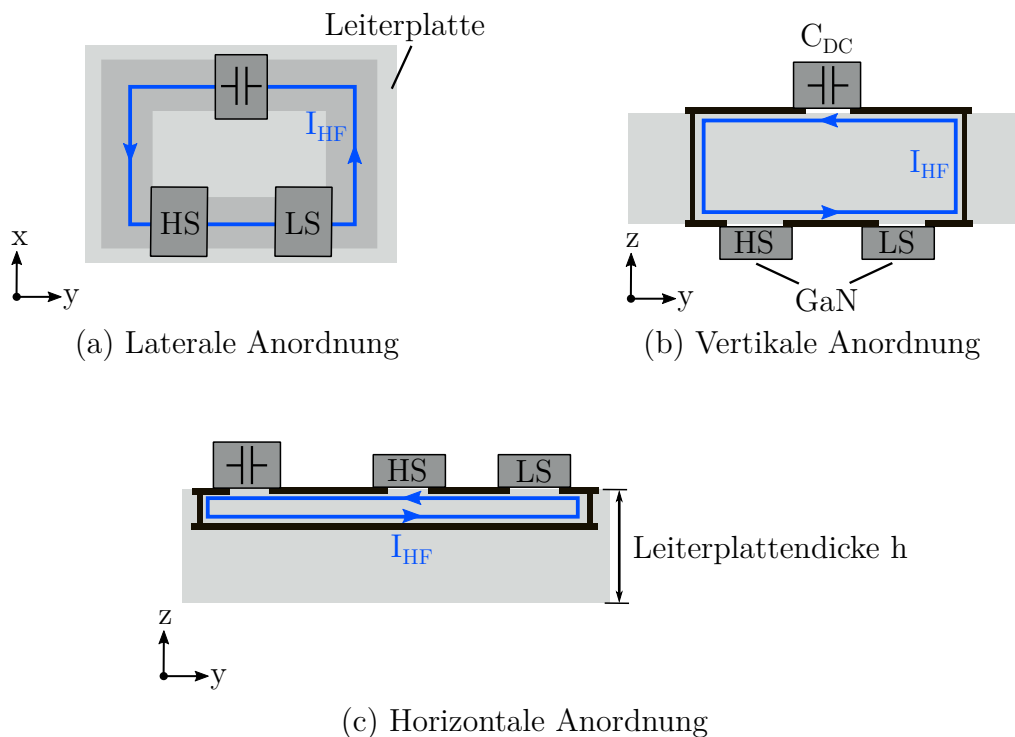
## 4 Aufbaukonzepte für schnellschaltende GaN-Transistor

### 4.1 Anordnung von diskreten WBG-Transistoren

Ein wichtiger Faktor bei der Entwicklung von Stromrichtern sind die Kosten der Leistungstransistoren. Transistoren mit großer Bandlückenenergie sind zum heutigen Zeitpunkt teurer als etablierte IGBT- oder MOSFET-Leistungshalbleiter auf Basis von Silizium. Somit ist die benötigte Chipfläche ein wichtiges Auslegungskriterium bei der Entwicklung von Stromrichtern mit WBG-Transistoren. Um eine erhebliche Kostensteigerung zu vermeiden bzw. sogar einen Kostenvorteil mit WBG-Transistoren erzielen zu können, muss die erforderliche Chipfläche möglichst für die gewünschte Anwendung ausgelegt werden [62]. Diskrete Bauelemente bieten eine hohe Flexibilität im Design, was vor allem bei WBG-Leistungstransistoren ein wichtiger Faktor ist, da eine Reduktion der parasitären Elemente und eine dementsprechend angepasste Schaltgeschwindigkeit sich positiv auf die Verlustleistung auswirken und zu einer Reduktion der Chipfläche führen kann.

Um die Vorteile der in dieser Arbeit verwendeten GaN-Transistoren ausschöpfen zu können, ist ein niederinduktiver Schaltzellenaufbau Grundvoraussetzung. Es gibt drei Varianten, wie die Bauelemente in einer Schaltzelle bestehend aus zwei Leistungsschaltern und einer Zwischenkreiskapazität angeordnet werden können. Diese drei Anordnungen sind in Abbildung 4.1 schematisch dargestellt. Abbildung 4.1(a) zeigt eine Anordnung der HF-Zwischenkreiskapazitäten und der High-Side- und Low-Side-Leistungsschalter an der Oberseite der Platine, wodurch eine laterale HF-Schleife entsteht. Der Nachteil dieser Anordnung ist die geringe magnetische Streufeldkompensation im Vergleich zu den anderen Varianten. In Abbildung 4.1(b) ist eine vertikale Anordnung mit den HF-Zwischenkreiskapazitäten auf der Oberseite und den Leistungstransistoren auf der Rückseite der Platine dargestellt. Die Schleifeninduktivität bildet sich hier über der Dicke der Leiterplatte bzw. den einzelnen Innenlagen. Abbildung 4.1(c) zeigt eine horizontale Anordnung der Bauelemente auf der Oberseite der

Platine mit einer darunterliegenden Leiterbahn zum Schließen des Stromkreises. Mit dieser Variante kann ein niederinduktiver Aufbau unabhängig von der Leiterplattendicke erfolgen. Ein Nachteil dieser Anordnung sind die unsymmetrischen parasitären Aufbaukapazitäten, die somit auch zu einer unsymmetrischen Belastung der Transistoren führen. In [4] werden diese Anordnungen mit konventionellen Leiterplatten von 0.7 mm bis zu einer Gesamtdicke von 1.5 mm verglichen. Der Vergleich dieser Anordnungen zeigt klar, dass für die untersuchte Anwendung im Niedervoltbereich  $< 48\text{ V}$  die horizontale Anordnung aus Abbildung 4.1(c) die geringste Schleifeninduktivität aufweist und daraus die effizienteste Schaltzelle resultiert. Neuartige Leiterplattentechnologien ermöglichen heutzutage deutlich kleinere Schichtdicken. Deswegen werden diese Aufbauten unter Berücksichtigung kleinerer Leiterplattenstrukturen näher untersucht.

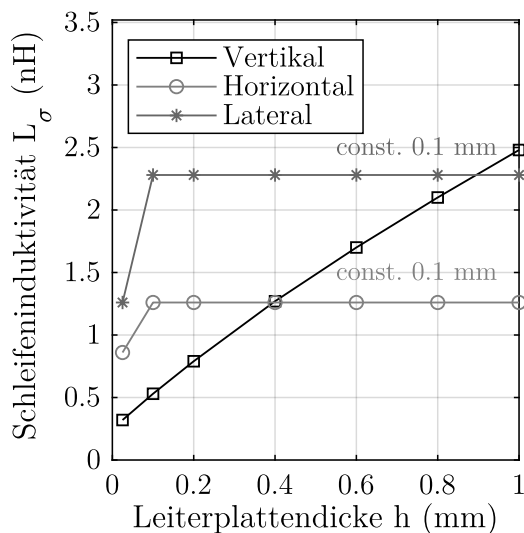


**Abbildung 4.1:** Anordnungen von Bauteilen in einer Schaltzelle mit konventionellen Leiterplatten.

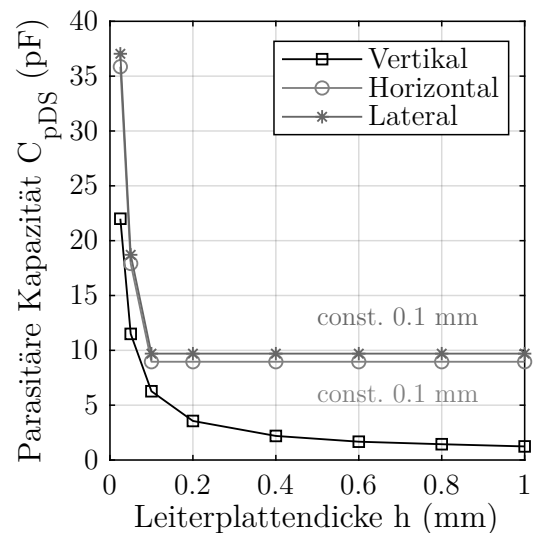
Abbildung 4.2 zeigt für die Anordnungen aus Abbildung 4.1 die parasitäre Schleifeninduktivität  $L_\sigma$  und die parasitäre Kapazität  $C_{pDS}$  in Abhängigkeit von der Leiterplattendicke. Dabei entspricht  $C_{pDS}$  der Kapazität, die durch die Aufbau- und Verbindungstechnik zwischen den Drain-Source-Kontakten des Low-Side-Transistors entsteht. Da eine Anbindung zum Kühlkörper bei leistungselektronischen Bauelementen meist vorausgesetzt wird, ist ein Abstand zwischen den Leistungstransistoren und



der Zwischenkreiskapazität von 2 cm berücksichtigt. Bei allen Anordnungen beträgt der Abstand zwischen den Transistoren 4.5 mm. Bei der lateralen Anordnung ist eine zusätzliche Kupferfläche unter der Schleife in einem Abstand von 0.1 mm angeordnet. Dadurch kann ein magnetisches Gegenfeld, induziert durch den Strom im Kommutierungskreis, die Schleifeninduktivität senken. Ohne diese zusätzliche Kupferfläche beträgt die Schleifeninduktivität mehr als 10 nH. Bei der horizontalen Anordnung wurde eine typische Dicke für die Prepregs von 0.1 mm verwendet. Diese zwei Varianten sind somit nur von der Dicke des äußeren Prepregs abhängig und nicht von der gesamten Leiterplattendicke  $h$ . Deswegen sind die parasitären Elemente bis zu einer Dicke von 0.1 mm konstant. Beim Vergleich der drei Anordnungen ist zu sehen, dass oberhalb von 0.4 mm die horizontale Anordnung zwar eine geringere Schleifeninduktivität erreicht, dafür aber eine höhere parasitäre Kapazität als die vertikale Anordnung aufweist. Die vertikale Anordnung hingegen ist bei einer Schleifendicke  $< 0.4$  mm sowohl bei der Schleifeninduktivität als auch bei der parasitären Kapazität klar im Vorteil. Dies zeigt, dass bei dünnen Substraten die vertikale Anordnung am besten geeignet ist. Aus diesem Grund wird die vertikale Anordnung für die weiteren Untersuchungen und Prototypen verwendet.



(a) Vergleich der Schleifeninduktivität



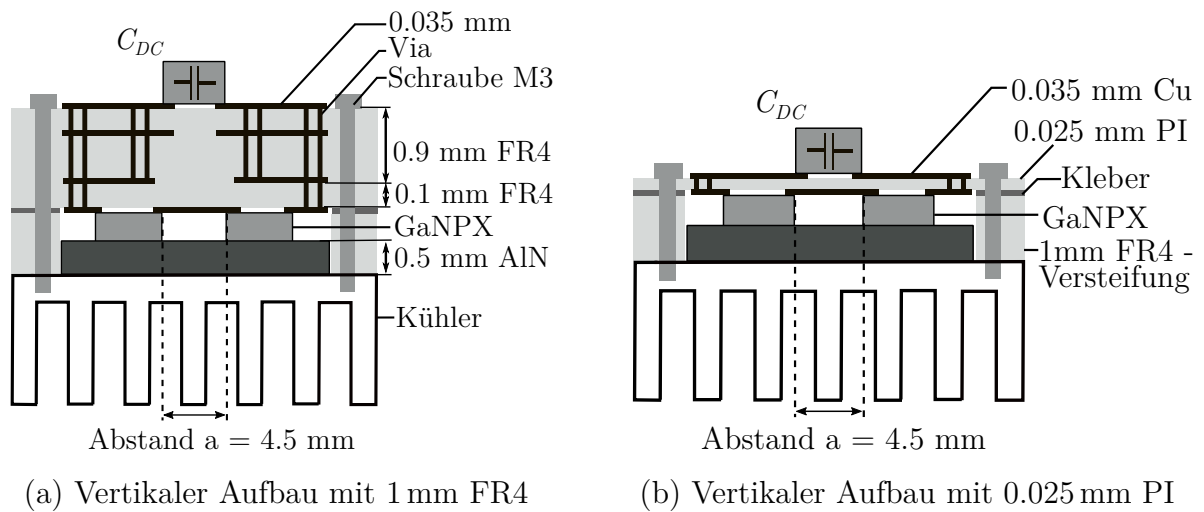
(b) Vergleich der parasitären Kapazität

**Abbildung 4.2:** Vergleich der parasitären Induktivitäten und Kapazitäten der Anordnungen aus Abbildung 4.1 in Abhängigkeit von der Leiterplattendicke bei einer Frequenz von 100 MHz. Bei allen Anordnungen beträgt die Breite der Leiterbahnen 5 mm und der Abstand zwischen den Transistoren 4.5 mm.

## 4.2 Niederinduktive Konzepte für vertikale Zweilevel-Schaltzellen

Es gibt eine Vielzahl von neuartigen Aufbau- und Verbindungstechniken, die eine effizientere Nutzung von Leistungstransistoren versprechen. Wie bereits beschrieben bietet die Leiterplatte in Verbindung mit diskreten Bauelementen die größte Flexibilität in der Konzeptionierung und im Design. Jedoch befinden sich auch die Leiterplattentechnologien im ständigen Wandel und bieten auch hier neue Realisierungsmöglichkeiten, die in dieser Arbeit näher untersucht und verglichen werden. Die klassische Aufbauvariante ist eine zwei- oder mehrlagige Leiterplatte auf Basis von FR4 mit Schichtdicken  $> 0.060$  mm. Eine neue Variante, die in dieser Arbeit für das leistungselektronische Umfeld untersucht wird, ist ein Aufbau mit einem Dielektrikum aus Polyimid (PI), wodurch Schichtdicken  $< 0.060$  mm ermöglicht werden. Zudem bietet Polyimid höhere Spannungsfestigkeiten von typischerweise  $100$  kV/mm bis zu  $400$  kV/mm [63]. Substrate auf Basis von Polyimid haben sich mittlerweile als Standardtechnologien etabliert und finden vor allem bei flexiblen Leiterplatten Anwendung. Eine weitere Variante ist die Integration von ungehäusten Transistoren in den Kern einer Leiterplatte. Bei dieser Variante ist eine direkte Vergleichbarkeit mit den anderen Varianten aufgrund unterschiedlicher Layouts nicht möglich. Deswegen wird die Integration der Transistoren in ein Leiterplattensubstrat separat im nächsten Kapitel untersucht.

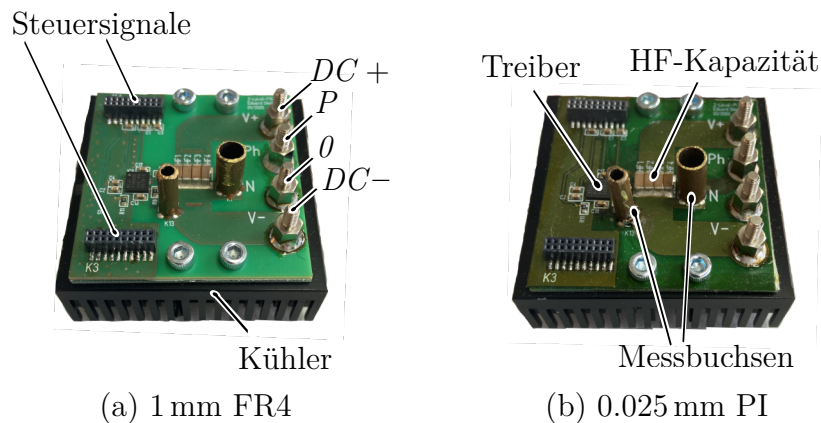
Zur Verifikation der weiteren Ergebnisse wurden zwei Konzepte mit unterschiedlichen Technologievarianten bzw. Schichtdicken auf Basis von FR4 und PI erstellt. Abbildung 4.3 zeigt die Schnittbilder dieser zwei Konzepte. Der Fokus bei der Auslegung lag auf überschwingungsfreiem Schalten mit maximaler Schaltgeschwindigkeit. Obwohl beim FR4-Material aus Abbildung 4.3(a) eine Materialstärke von  $1$  mm gewählt wurde, kann eine mittlere Schleifendicke von  $0.4$  mm angenommen werden, da die inneren Layer zur Schleifenbildung mitgenutzt werden können. Beim Aufbau auf Basis von PI beträgt die Schleifendicke nur  $0.025$  mm. In beiden Schaltzellen wurden zwei GaN-HEMTs vom Typ GS66508T  $650$  V  $30$  A von GaN Systems [50] verwendet. Die Isolation der GaN-HEMTs zum Kühlkörper erfolgte mit einer Aluminiumnitrid (AlN)-Keramik, die gleichzeitig eine gute Wärmespreizung sicherstellte. Der Abstand  $a$  zwischen den Transistoren wurde mit  $4.5$  mm gewählt. Bei beiden Aufbauten wurde die Verbindungsschicht durch eine FR4-Versteifung zusätzlich mechanisch stabilisiert. Beim PI-Substrat ist dies sogar zwingend erforderlich. Abbildung 4.4 zeigt die zwei Leistungsmodule mit FR4 und PI als Dielektrikum, bestehend aus den High-Side- und Low-Side-Transistoren, der HF-Zwischenkreiskapazität, dem Treiber und einem Kühlkörper. Die HF-Zwischenkreiskapazität betrug bei diesen beiden Modulen



**Abbildung 4.3:** Schnittbilder der vertikalen Schaltzellen mit GaN-Transistoren (GS66508T) auf Basis von FR4 und Polyimid.

jeweils 400 nF. Der verwendete Treiber SI8233AB-D-IM1 von Silicon Labs wurde auf der Oberseite der Leiterplatte platziert. Die Treiberanbindung erfolgte für diese zwei Varianten mit dem identischen Layout, was eine direkte Vergleichbarkeit ermöglicht. Zum Messen der Ausgangsspannung waren koaxiale Messbuchsen vorgesehen. Mithilfe von diesen wurde eine niederinduktive Anbindung des Tastkopfes ermöglicht, um Messabweichungen zu minimieren.

Zur experimentellen Ermittlung der Schleifeninduktivitäten wurde ein Doppelpulstest, der in Anhang A.2 beschrieben ist, durchgeführt. Aus der Oszillation der Drain-Source-Spannung kann, wie in Kapitel 3.1.1 beschrieben, die Schleifeninduktivität wie



**Abbildung 4.4:** Leistungsmodule mit vertikal angeordneten Bauelementen aus Abbildung 4.3 realisiert mit FR4 und Polyimid.

folgt berechnet werden:

$$L_\sigma = \frac{1}{(2\pi f_0)^2 (C_{OSS}|_{U_{DS}=U_{DC}} + C_{Probe} + C_{pDS})} \quad (4.1)$$

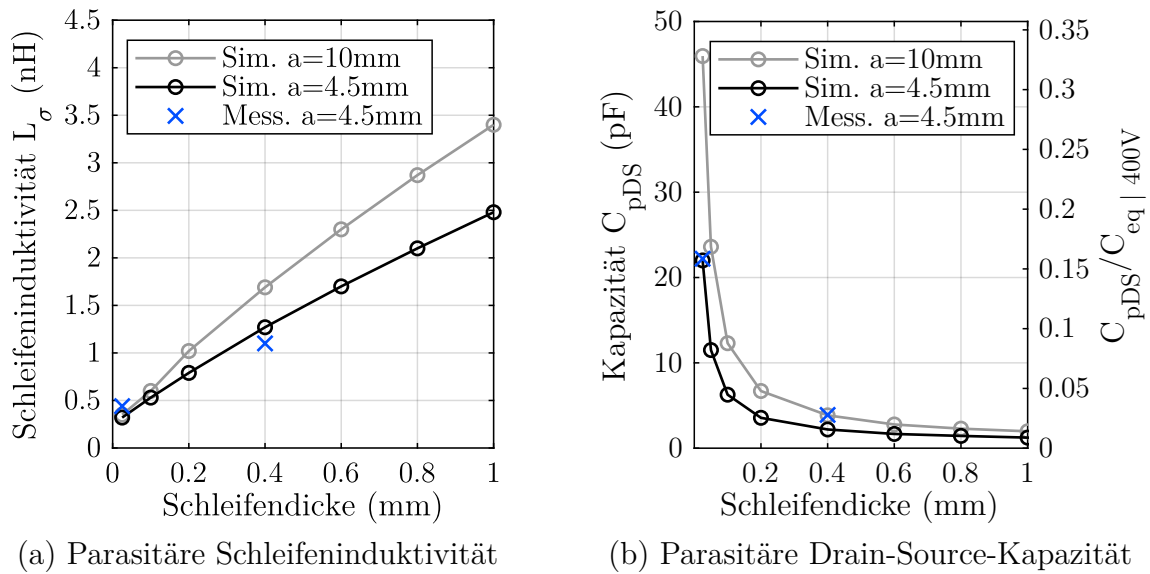
Zu beachten ist hierbei, dass der Tastkopf zum Messen der Spannung eine zum Messobjekt parallele Kapazität  $C_{Probe}$  von 14 pF erzeugt, die nicht vernachlässigbar ist. Dies gilt auch für die aufbaubedingte parasitäre Kapazität  $C_{pDS}$ . Diese wurde mithilfe eines LCR-Meters (Typ Agilent E4980A) an einer unbestückten Leiterplatte an den jeweiligen Drain-Source-Kontakten gemessen. Tabelle 4.1 vergleicht die parasitären Elemente der zwei Schaltzellen miteinander. Zu sehen ist, dass die Variante auf Basis von FR4 die geringere parasitäre Kapazität aufweist. Hingegen ergibt sich bei der Variante mit PI eine geringere Schleifeninduktivität.

**Tabelle 4.1:** Parasitäre Elemente in den Aufbau- und Verbindungskonzepten.

Variante	Kapazität $C_{pDS}$	Induktivität $L_\sigma$	Schleifendicke
FR4	3.9 pF	1.1 nH	0.4 mm
PI	22.2 pF	0.44 nH	0.025 mm

Für die hier realisierten Schaltzellen zeigt Abbildung 4.5 die Abhängigkeit der parasitären Elemente von der Schleifendicke bzw. Leiterplattendicke für einen horizontalen Abstand  $a$  von 4.5 mm und für einen Aufbau mit einem größeren Abstand  $a$  von 10 mm. Aufgrund der Länge der Transistoren von ca. 5 mm beträgt die Schleifenlänge 14.5 mm bei einem Abstand  $a$  von 4.5 mm und 20 mm bei einem Abstand  $a$  von 10 mm. Die Distanz  $a$  zwischen den Transistoren unterliegt einem gegensätzlichen Optimierungsziel [53]. Ist die Distanz  $a$  klein, ist zwar die Schleifeninduktivität niedrig, aber auch die thermische Kopplung bzw. der thermische Widerstand erhöht. Wird die Distanz vergrößert, ist das Verhalten genau umgekehrt. In diesem Kapitel wird aber nur der Einfluss des Abstandes auf die Schleifeninduktivität untersucht. Das thermische Verhalten der Schaltzelle ist Teil der Untersuchungen im nachfolgendem Kapitel.

Die Schleifeninduktivität aus Abbildung 4.5(a) zeigt eine näherungsweise lineare Abhängigkeit der Schleifeninduktivität von der Schichtdicke bzw. der Schleifendicke. Bei geringeren Schichtdicken  $< 0.2$  mm ergeben sich aufgrund der guten Feldkompensation der Leiter kaum Unterschiede zwischen den zwei Distanzen 4.5 mm und 10 mm. Bei den parasitären Kapazitäten  $C_{pDS}$  verhält sich dies genau umgekehrt. Bei Schichtdicken  $> 0.2$  mm werden die Unterschiede immer geringer. Wie in Kapitel 3.1.2 gezeigt wurde, hängt der Einfluss der parasitären Kapazität  $C_{pDS}$  auf den Schaltvorgang vor allem von der ladungsbezogenen äquivalenten linearen Kapazität  $C_{eq,Q}$  ab. Wie



**Abbildung 4.5:** Vergleich der parasitären Schleifeninduktivität und Drain-Source-Kapazität für zwei verschiedene Abstände von 4.5 mm und 10 mm zwischen den Transistoren.

aus der normierten Skala aus Abbildung 4.5(b) entnommen werden kann, entspricht der Zuwachs der Kapazität bei einer Zwischenkreisspannung von 400 V und einer Schichtdicke von 0.025 mm bereits 16 %. Bei derselben Zwischenkreisspannung und einer Schleifendicke von 0.4 mm ist der entsprechende Wert hingegen nur 3 %. Um den Einfluss der parasitären Kapazitäten auf das Schaltverhalten zu zeigen, wurde die Verlustleistung der Schaltzelle gemessen. Es besteht jedoch keine Möglichkeit, den Drainstrom  $i_d(t)$  in einer Schaltzelle ohne zusätzliche elektrische Bauelemente wie z. B. einen Shunt-Widerstand oder einen Stromsensor zu ermitteln. Dies würde bei sehr kleinen Induktivitäten, wie es hier der Fall ist, zu einer zu großen Beeinflussung der Ergebnisse führen. Das heißt, eine genaue Messung der Schaltverluste ohne eine Erhöhung der parasitären Elemente in der Schaltzelle ist nicht möglich. Deswegen wird der Ansatz aus Kapitel 3.1.2 übernommen, wo gezeigt wurde, dass der Einfluss bzw. die Steigung unabhängig vom gewählten Lastfall ist. Im unbelasteten Fall wird die Energie nur zum Umladen der Kapazitäten verwendet und spiegelt somit den messtechnisch einfachsten Fall wider. Die Durchlassverluste  $P_D$  im Transistor aus Gleichung 4.2 sind aufgrund des geringen Drainstroms  $I_D$  vernachlässigbar.

$$P_D = I_D^2 R_{DS(on)} \quad (4.2)$$

Die Schaltverluste  $P_{sw}$  entstehen während des Aus- und Einschaltvorgangs und sind

somit proportional zur Schaltfrequenz  $f_{sw}$  und zur Schaltenergie  $E_{sw}$ .

$$P_{sw} = E_{sw} f_{sw} \quad (4.3)$$

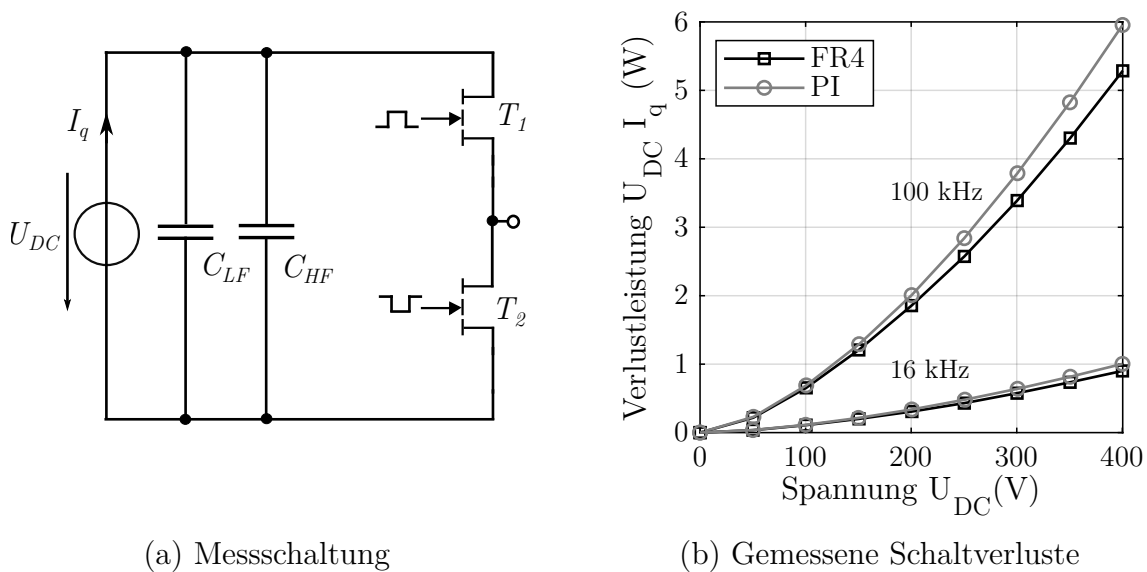
Die Schaltverluste im unbelasteten Fall  $P_{sw(0)}$  ergeben sich daher aus Gleichung 3.15 multipliziert mit der Schaltfrequenz.

$$P_{sw(0)} = \left(1 + \frac{C_{pDS}}{C_{eq,Q}}\right) E_{sw(0),H} f_{sw} \quad (4.4)$$

Abbildung 4.6(a) zeigt die Messschaltung zur Bestimmung der Schaltverluste  $P_{sw(0)}$  im Fall einer unbelasteten Schaltzelle. Da die Schaltzelle nur Energie zum Umladen der Kapazität der Transistoren benötigt, kann die Verlustleistung pro Transistor aus den gemessenen Ausgangsgrößen  $U_{DC}$  und  $I_q$  der Quelle berechnet werden.

$$P_{sw(0)} = \frac{U_{DC} I_q}{2} \quad (4.5)$$

Abbildung 4.6(b) vergleicht die Messergebnisse in Abhängigkeit von der Zwischenkreisspannung für die FR4-Variante mit einer Schleifendicke von 0.4 mm und für die PI-Variante mit einer Schleifendicke von 0.025 mm. Als Modulation wurde eine Sinus-Dreieck-Modulation verwendet. Bei einer geringen Schaltfrequenz von 16 kHz sind die absoluten Schaltverluste und somit auch die Unterschiede zwischen den Aufbauten



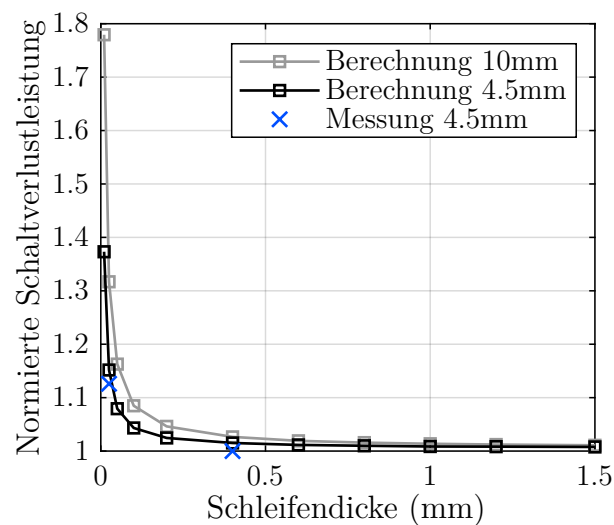
**Abbildung 4.6:** Messschaltung zur Bestimmung der Schaltverluste in der Schaltzelle im unbelasteten Fall in Abhängigkeit von der Zwischenkreisspannung  $U_{DC}$  für 100 kHz und 16 kHz Taktfrequenz [5, 51].

gering. Bei höheren Schaltfrequenzen nimmt der absolute Unterschied aufgrund der Proportionalität zur Schaltfrequenz dementsprechend zu.

Abbildung 4.7 zeigt die numerische Berechnung der Schaltverlustleistung aus Gleichung 4.4 in Abhängigkeit von der Schleifendicke  $h$ . Für die parasitären Kapazitäten wurden die simulierten Werte aus Abbildung 4.5 verwendet. Da hier der Zuwachs entscheidender als die absoluten Größen ist, wurde die Schaltverlustleistung  $P_{sw(0)}$  auf die Verlustleistung des Transistors  $P_{sw(0),H}$  ohne Einflüsse einer aufbaubedingten Kapazität normiert. Dadurch werden die Ergebnisse unabhängig von der Schaltfrequenz, der Zwischenkreisspannung und näherungsweise auch von der Last und weisen folgende Abhängigkeit auf:

$$\frac{P_{sw(0)}}{P_{sw(0),H}} = 1 + \frac{C_{pDS}}{C_{eq,Q}} \quad (4.6)$$

Abbildung 4.7 zeigt, dass auch bei geringen Distanzen ( $a = 4.5 \text{ mm}$ ) zwischen den Transistoren ein nennenswerter Zuwachs an Schaltverlusten durch die parasitäre Kapazität entsteht. Eine weitere Reduzierung der Schichtdicken ( $< 0.025 \text{ mm}$ ) wäre aufgrund des starken Anstiegs nicht mehr sinnvoll.

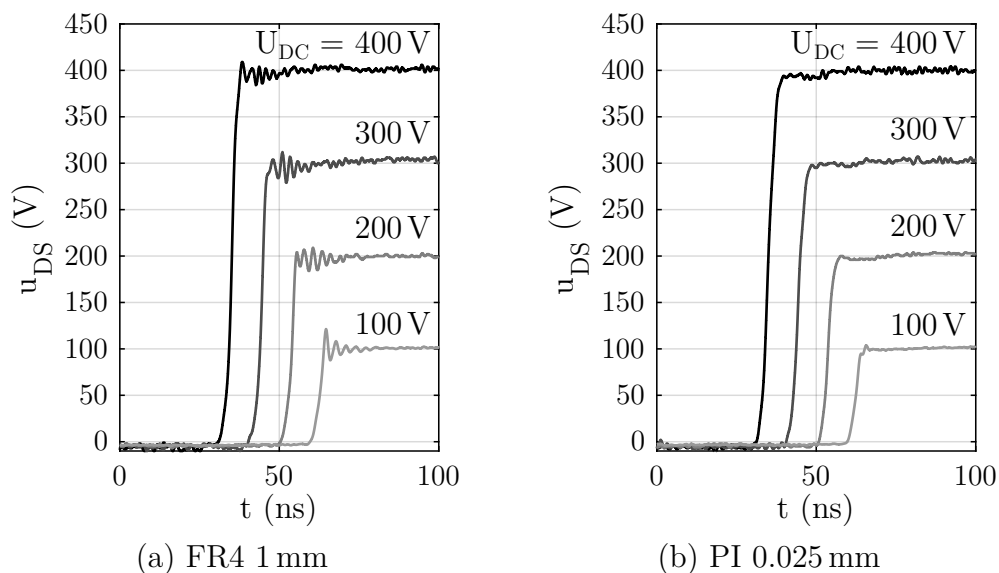


**Abbildung 4.7:** Normierte Schaltverlustleistung im lastfreien Zustand in Abhängigkeit von der Schleifendicke  $h$ .

## Schaltverhalten

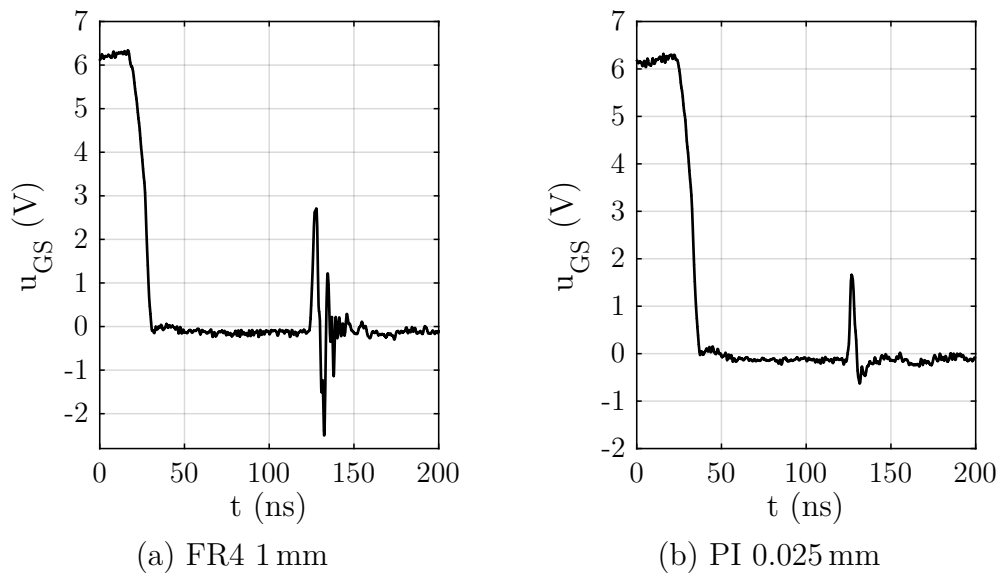
Als Nächstes wird das Schaltverhalten der Schaltzellen näher untersucht. Bei der unbelasteten Schaltzelle unterscheidet sich der Einschalt- und Ausschaltvorgang des Low-Side-Transistors im Hinblick auf die Schaltzeiten nicht. Fließt hingegen ein Laststrom,

entlädt dieser den Low-Side-Transistor während des Einschaltvorgangs, wodurch eine Abhängigkeit vom Laststrom mit einer höheren Schaltzeit resultiert. Da der Ausschaltvorgang somit die kürzeren Schaltzeiten aufweist, vergleicht Abbildung 4.8 nur die Drain-Source-Spannung des Low-Side-Transistors während des Ausschaltvorgangs mit unlimitierter Schaltgeschwindigkeit (Vorwiderstand  $R_{GV} = 0 \Omega$ ) und einem Laststrom von ca. 10 A. Das Leistungsmodul auf Basis von Polyimid zeigt hierbei in keinem Spannungsbereich ein Überschwingen oder Oszillationen. Aber auch das Leistungsmodul auf Basis von FR4 zeigt mit der verwendeten Geometrie ein quasi überschwingungsfreies Verhalten mit vernachlässigbaren Oszillationen. Beide Varianten weisen ein sehr gutes Schaltverhalten auf, welches auf die geringen Schleifeninduktivitäten des jeweiligen Aufbaus zurückzuführen ist. Bei der Gate-Source-Spannung, die in Abbildung 4.9 gezeigt wird, gibt es klare Vorteile bei dem 0.025 mm PI-Substrat. Das parasitäre Wiedereinschalten, das zu einem Brückenkurzschluss bzw. erhöhten Verlusten führen kann [64], ist deutlich kleiner bzw. auch zeitlich kürzer. Dies kann auf mehrere Faktoren wie z. B. auf die dämpfende Wirkung von dünnen Substraten, auf die geringere Reaktanz, aber auch auf die reduzierte Schaltgeschwindigkeit, die aufgrund der parasitären Kapazität  $C_{pDS}$  entsteht, zurückgeführt werden. Abbildung 4.10 vergleicht die Ableitung der Drain-Source-Spannung bzw. die Schaltgeschwindigkeit der Aus- und Einschaltvorgänge der zwei Prototypen bei einer Zwischenkreisspannung von 400 V. Wie erwartet fällt die Schaltgeschwindigkeit des Einschaltvorgangs deut-

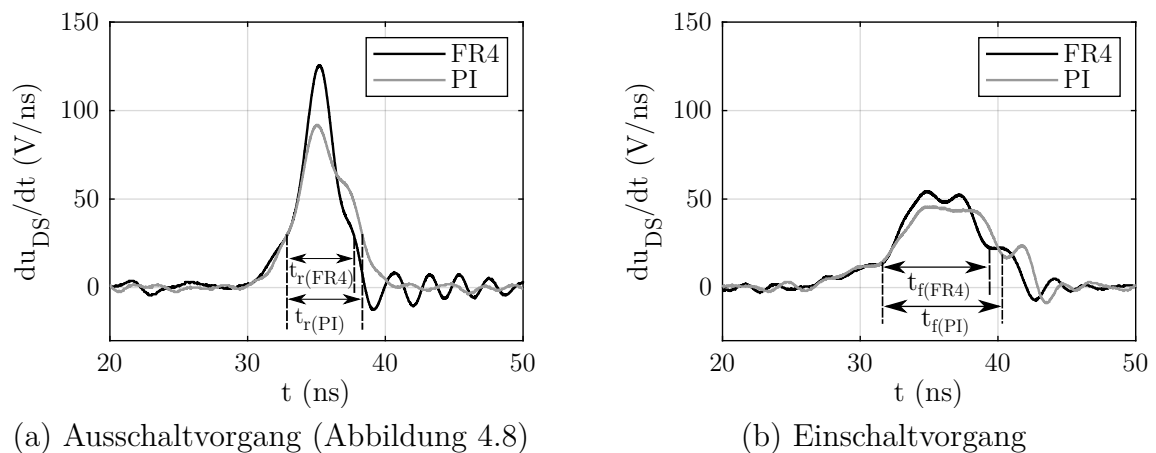


**Abbildung 4.8:** Vergleich der Drain-Source-Spannung während des Ausschaltvorgangs beim inversen Doppelpulstest mit einem Gate-Vorwiderstand von  $0 \Omega$  und einem Laststrom von 10 A bei verschiedenen Zwischenkreisspannungen.





**Abbildung 4.9:** Vergleich der Gate-Source-Spannung während des Ausschaltvorgangs beim inversen Doppelpulstest mit einem Gate-Vorwiderstand von  $0\ \Omega$ , einer Zwischenkreisspannung von 400 V und einem Laststrom von 10 A.



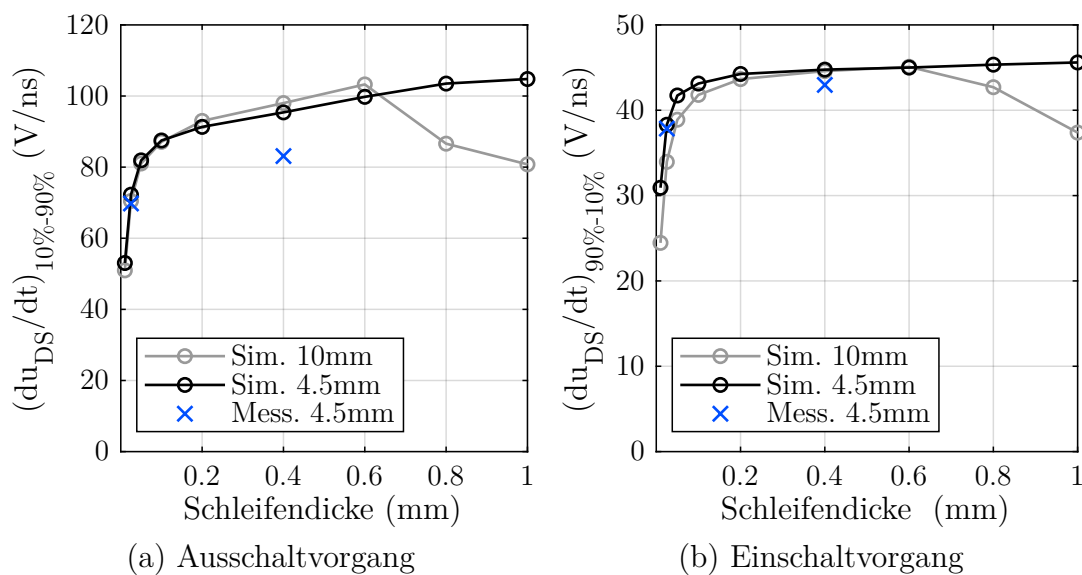
**Abbildung 4.10:** Ableitung der Spannung  $u_{DS}$  für den Aus- und Einschaltvorgang bei einer Zwischenkreisspannung von 400 V und einem Gatevorwiderstand  $R_{GV}$  von  $0\ \Omega$ .

lich geringer aus als beim Ausschaltvorgang. Die erhöhte, aufbaubedingte parasitäre Drain-Source-Kapazität führt bei PI zu einer messbaren Reduzierung der Schaltgeschwindigkeit im Vergleich zum Modul mit FR4. Aber auch die Schaltzeiten  $t_r$  und  $t_f$  zwischen 10 % und 90 % der Zwischenkreisspannung sind bei der Variante mit FR4 geringer. Tabelle 4.2 fasst die Messergebnisse der Schaltgeschwindigkeiten zusammen.

**Tabelle 4.2:** Vergleich der Anstiegs- und Abfallgeschwindigkeit während des Schaltvorgangs bei einer Zwischenkreisspannung von 400 V und einem Gatevorwiderstand  $R_{GV}$  von  $0 \Omega$ .

Variante	$(du/dt)_{max}$ Aus.	$(du/dt)_{max}$ Ein.	$t_r$ Aus.	$t_f$ Ein.
FR4	126 V/ns	54 V/ns	4.9 ns	7.4 ns
PI	91 V/ns	48 V/ns	5.5 ns	8.4 ns

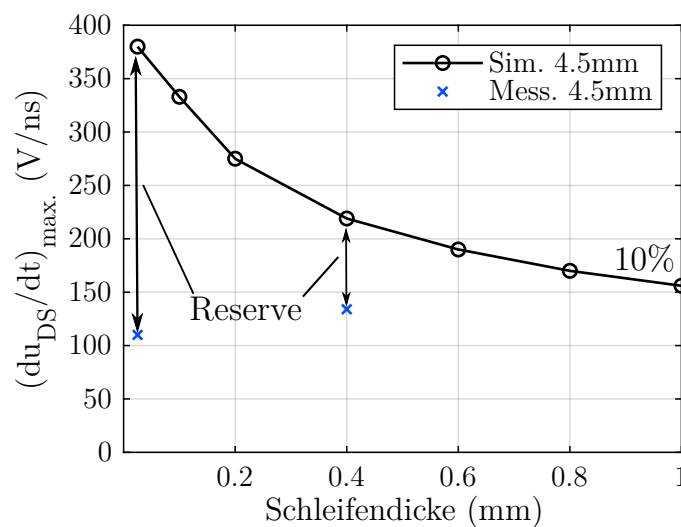
Abbildung 4.11 zeigt eine LTspice-Simulation der Schaltgeschwindigkeit mit den von der Schleifendicke abhängigen parasitären Elementen aus Abbildung 4.5. Das Überschwingen beim Schalten kann nicht nur die Leistungstransistoren zerstören, sondern auch Störungen in der Elektronik verursachen. Deswegen wurde das Überschwingen durch einen Vorwiderstand  $R_{GV}$  auf 10 % der Zwischenkreisspannung limitiert. Wurde diese Grenze nicht erreicht, betrug der Vorwiderstand  $R_V$   $0 \Omega$ . Die Zwischenkreisspannung betrug bei dieser Untersuchung 400 V und der Laststrom 10 A. Die Ergebnisse zeigen zwei Limitierungen durch die Aufbau- und Verbindungstechnik. Ist die Schichtdicke zu gering, reduzieren die parasitären Kapazitäten die Schaltgeschwindigkeit und erhöhen somit die Verlustleistung. Vergrößert sich die Schleifendicke, wird die Schleifeninduktivität dominanter und es entsteht ein Überschwingen, das ab einem Überschwingen von 10 % der Zwischenkreisspannung durch einen Vorwiderstand gemindert



**Abbildung 4.11:** Schaltgeschwindigkeit  $du/dt$  bei einer Zwischenkreisspannung von 400 V in Abhängigkeit von der Schleifendicke mit einer Limitierung des Überschwingens durch einen Vorwiderstand auf 10 %.

wird. Dies ist im Beispiel für den Chipabstand  $a = 10$  mm durch Abnahme der Schaltgeschwindigkeit zu sehen. Diese Abnahme der Schaltgeschwindigkeit erhöht ebenfalls die Schaltverluste. Somit ergibt sich für jede Schaltzelle, abhängig vom gewählten Transistor, ein von der Aufbau- und Verbindungstechnik abhängiges Optimum. Bei einer vertikalen Struktur mit sehr geringen Abständen zwischen den Transistoren, wie hier mit 4.5 mm gezeigt, kann bis zu einer Schleifendicke von 1 mm kein Minimum festgestellt werden.

Abschließend wird die maximal erreichbare Schaltgeschwindigkeit für die untersuchte vertikale Schaltzelle mit einem Abstand  $a$  von 4.5 mm untersucht. Das Überschwingen des RLC-Kreises in einer Schaltzelle hängt maßgeblich von der Sprunganregung und somit von der Schaltgeschwindigkeit ab (siehe Kapitel 3.1.1). Beim Einschaltvorgang wird die Ausgangskapazität  $C_{OSS}$  des Low-Side-Transistors durch einen positiven Ausgangsstrom entladen, wodurch eine Abhängigkeit vom Laststrom entsteht. Beim Ausschaltvorgang mit der höheren Schaltgeschwindigkeit erfolgt das Wiederaufladen der Ausgangskapazität nicht durch den Laststrom und besitzt somit keine direkte Abhängigkeit von diesem. Dennoch bewirkt der Laststrom eine geringe zeitliche Verzögerung beim Ausschaltvorgang, da dieser die Ladung der Ausgangskapazität des High-Side-Transistors über die Last leitet und somit die Wiederaufladung begrenzt. Aus diesem Grund tritt das größte Überschwingen im lastfreien Zustand auf. Dies spiegelt somit den „Worst-Case-Fall“ wider. Abbildung 4.12 zeigt für den in diesem Kapitel untersuchten Aufbau einer Schaltzelle die theoretisch maximal mögliche Schaltgeschwindigkeit, bis ein Überschwingen von 10 % erreicht wird. Die Grafik zeigt: Je dünner das



**Abbildung 4.12:** Simulierte maximale Schaltgeschwindigkeit in einem RLC-Schwingkreis mit den parasitären Parametern aus Abbildung 4.5 bis zu einem Überschwingen von 10 %.

Substrat ist, desto höher ist die maximale Schaltgeschwindigkeit, bis ein Überschwingen von 10 % erreicht wird. Die in Blau gekennzeichneten Messpunkte entsprechen den Schaltgeschwindigkeiten, die mit den zwei Prototypen erreicht wurden. Daraus lässt sich schlussfolgern, dass die Aufbauten auf Basis von FR4 und PI eine Reserve für zukünftige Entwicklungen aufweisen. Dies könnten z. B. schnellere bzw. leistungsfähigere Treiberschaltungen oder sogar „Ultra-Wide-Band-Gap-Semiconductors“ sein.

Die Untersuchungen haben gezeigt, dass für geringe Schleifendicken  $< 0.4$  mm eine vertikale Schleifenanordnung die geringsten parasitären Elemente aufweist. Zwei niederinduktive Konzepte mit unterschiedlichen Technologieausführungen zeigen dabei Schleifeninduktivitäten  $< 1.1$  nH. Der Einfluss der parasitären Kapazität hängt hierbei vor allem von der äquivalenten linearen Ausgangskapazität des Transistors ab. Die Untersuchungen der vertikalen Schaltzellen in Abhängigkeit von der Schleifendicke zeigen, dass jede Schaltzelle ein Optimum zwischen der parasitären Schleifeninduktivität und der Aufbaukapazität besitzt. Dieses Optimum ist abhängig von den Geometriedaten der Anordnung und vom Typ des eingesetzten Transistors. Zudem konnte dargelegt werden, dass die in dieser Arbeit untersuchten Schaltzellen noch eine ausreichende Reserve bei der maximalen Schaltgeschwindigkeit für zukünftige Entwicklungen aufweisen. Im Hinblick auf die Schaltfrequenz können außerdem noch folgende Ergebnisse formuliert werden:

- **Schaltzellen mit geringen Schaltfrequenzen**

Schaltzellen mit WBG-Transistoren und geringen Schaltfrequenzen haben den Vorteil, dass die Schaltverluste maßgeblich reduziert werden können. Wird ein dünnes Substrat z. B. aus Polyimid gewählt, steigen die Schaltverluste durch die Aufbaukapazität an. Wenn diese jedoch keinen dominanten Anteil an den Gesamtverlusten beitragen, können die Vorteile von dünnen Substraten genutzt werden. Die Vorteile eines dünnen Substrates sind das verbesserte Schaltverhalten, die stärkere Dämpfung von Störungen und das geringere Übersprechen auf andere Leitungen. Zudem können Distanzen zwischen den Transistoren vergrößert werden, was eine bessere thermische Entkopplung ermöglicht. Außerdem führt eine niederinduktive Gateschleife zu einem geringeren parasitären Wiedereinschalten.

- **Schaltzellen mit hohen Schaltfrequenzen**

Die Vorteile für Schaltzellen mit hohen Schaltfrequenzen sind die Erhöhung der Dynamik im System, die kleineren Bauteilgrößen in Filtern sowie kleinere Zwischenkreiskapazitäten. Der Nachteil sind die höheren Schaltverluste, die zu

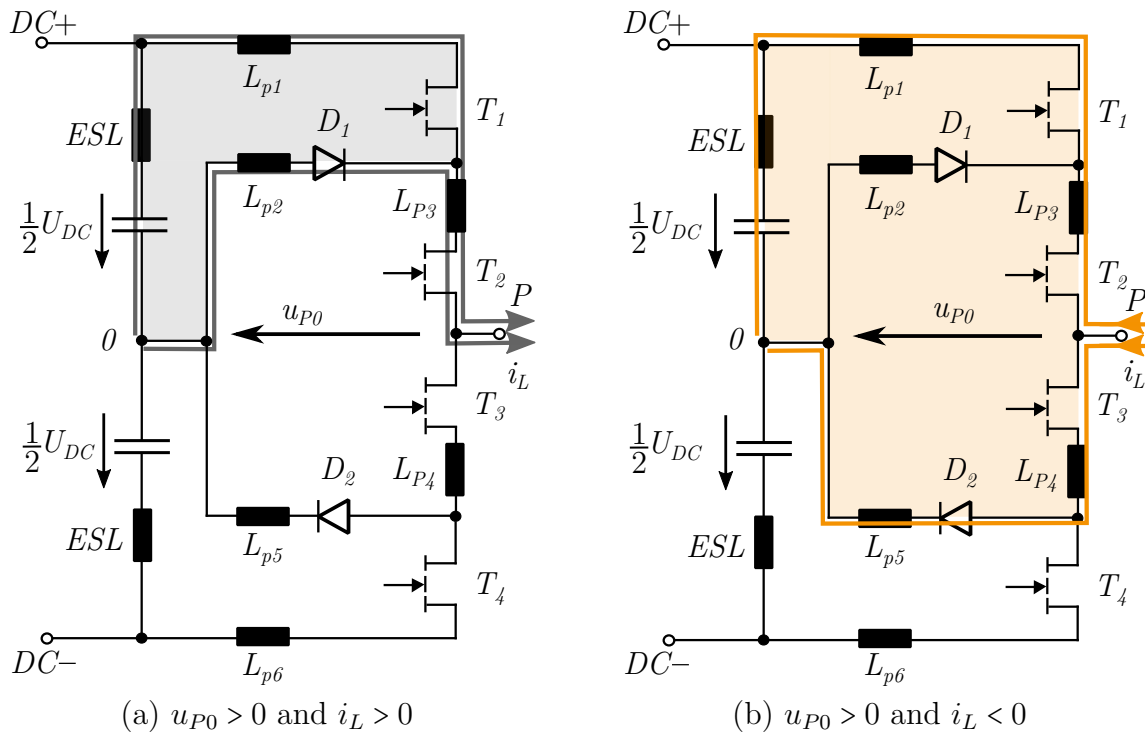
einem erheblichen Teil der Gesamtverluste beitragen können. Eine zusätzliche Erhöhung der Schaltverluste durch kapazitive Kopplungen, hervorgerufen von dünnen Schichtdicken in der Aufbau- und Verbindungstechnik, sollte wenn möglich vermieden werden. Deswegen ist bei hohen Schaltfrequenzen ein Aufbau mit höheren Schichtdicken vorteilhaft.

## 4.3 Niederinduktive Konzepte für NPC-Dreilevel-Schaltzellen

Wie in Kapitel 2.2 bereits erläutert, kann mit Mehrlevel-Topologien bei Schaltfrequenzen über  $> 10$  kHz eine höhere Effizienz erreicht werden. Dadurch sind diese nicht nur bei Hochvolt-Anwendungen, sondern auch für den Automobilsektor oder bei Industrieanwendungen relevant. Grundvoraussetzung hierfür sind jedoch geringere Schaltverluste als bei Zweilevel-Topologien. Wie in Kapitel 4.2 gezeigt, ist es möglich, Zweilevel-Schaltzellen mit geringen parasitären Elementen zu realisieren. Dies ermöglicht nicht nur volle Schaltgeschwindigkeiten bei GaN-HEMTs, sondern bietet auch noch Raum für neuartige Entwicklungen zur Steigerung der Schaltgeschwindigkeit. Um den Vorteil der geringeren Schaltverluste beizubehalten, müssen auch Aufbau- und Verbindungskonzepte für Mehrlevel-Topologien geringe parasitäre Elemente aufweisen. Dies stellt aber aufgrund der höheren Anzahl an Bauelementen und der dadurch längeren Pfade höhere Anforderungen an die Aufbau- und Verbindungstechnik. Dies macht ein optimiertes Design bei Mehrlevel-Topologien umso wichtiger. Aufgrund der weiten Verbreitung der NPC-Topologie und der einfachen Handhabung werden die nachfolgenden Untersuchungen anhand dieser Topologie durchgeführt. Die Erkenntnisse dieses Kapitels lassen sich auch auf andere Topologien übertragen.

### 4.3.1 Kommutierungspfade und Schleifeninduktivitäten in der NPC-Schaltzelle

Äquivalent zur Zweilevel-Schaltzelle müssen für ein möglichst schwingungsfreies Schaltverhalten die Induktivitäten in den Kommutierungskreisen optimiert werden. Abbildung 4.13 zeigt als Beispiel die Kommutierungsvorgänge bei einer positiven Spannung  $u_{p0}$ . Beim Kommutierungsvorgang in Abbildung 4.13(a) muss sich der Strom im Pfad mit der Induktivität  $L_{p1}$  abbauen und im Pfad mit der Induktivität  $L_{p2}$  wieder aufbauen. Äquivalent erfolgt dieser Vorgang in den entsprechenden Pfaden, die in Abbildung 4.13(b) dargestellt sind. Diese zwei Schleifen existieren auch symmetrisch für die



**Abbildung 4.13:** Kommutierungsvorgänge in einer NPC-Topologie mit positiver Spannung  $u_{P0}$ .

Fälle mit negativer Spannung  $u_{P0}$ , die in Abbildung 4.14 dargestellt sind. Diese oben genannten Kommutierungsvorgänge erfolgen mit der für die Anwendungen gewählten Schaltfrequenz  $f_{sw}$ .

In der NPC-Schaltzelle existieren drei HF-Schleifen, die in Abbildung 4.15 gezeigt sind. Die große HF-Schleife in Blau bildet hier keinen Kommutierungskreis, jedoch fließen nach einer transienten Spannungsänderung in allen HF-Kreisen hochfrequente Ströme. Die folgenden Gleichungen fassen die Induktivitäten der jeweiligen HF-Schleifen zusammen:

$$L_{HF1} = L_{p1} + L_{p2} + ESL \quad \text{bzw.} \quad L_{p6} + L_{p5} + ESL \quad (4.7)$$

$$L_{HF2} = L_{p1} + L_{p3} + L_{p4} + L_{p5} + ESL \quad \text{bzw.} \quad L_{p2} + L_{p3} + L_{p4} + L_{p6} + ESL \quad (4.8)$$

$$L_{HF3} = L_{p1} + L_{p3} + L_{p4} + L_{p6} + 2ESL \quad (4.9)$$

Aufgrund der Symmetrie können die HF-Schleifen 1 und 2 mit zwei verschiedenen Pfaden gebildet werden. Die Unterscheidung zwischen dem hochfrequenten Kreisstrom und dem Kommutierungsvorgang selbst sollte bei der Analyse von Schaltzellen berücksichtigt werden. Vor allem bei Multilevel-Topologien mit mehr als einem HF-Kreis ist diese Unterscheidung wichtig. Es muss daher für die Nachbildung eines Schalttests nicht nur der Kommutierungsvorgang richtig nachgebildet werden, sondern auch die

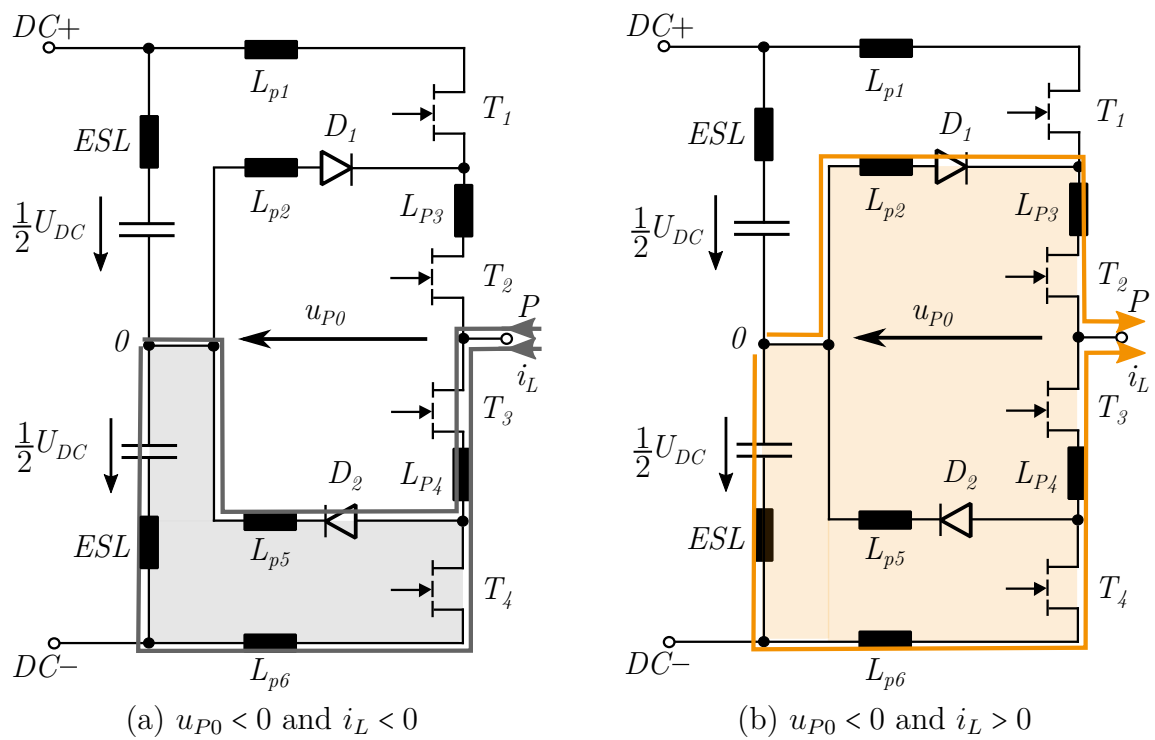


Abbildung 4.14: Kommutierungsvorgänge in einer NPC-Topologie mit negativer Spannung  $u_{P0}$ .

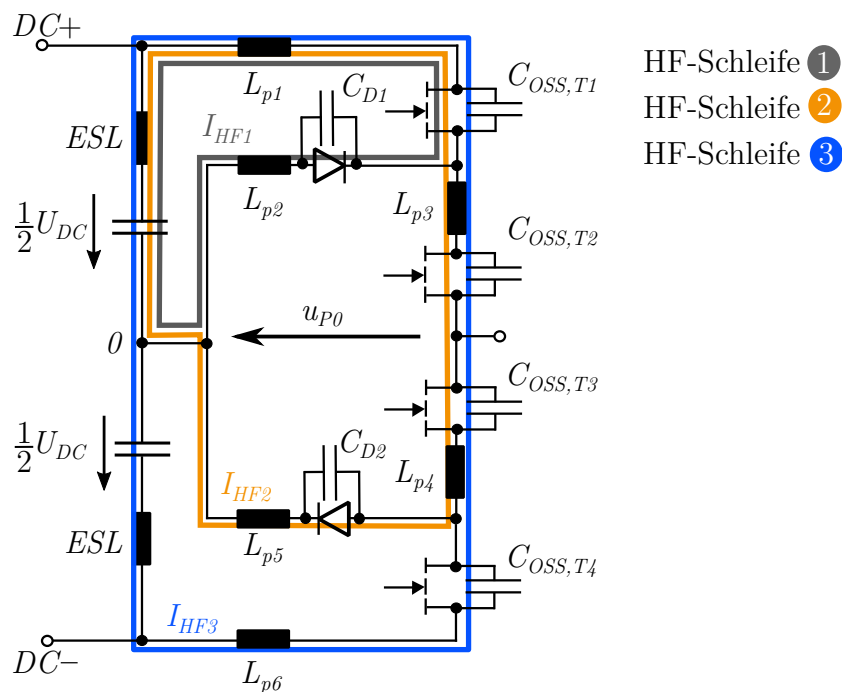


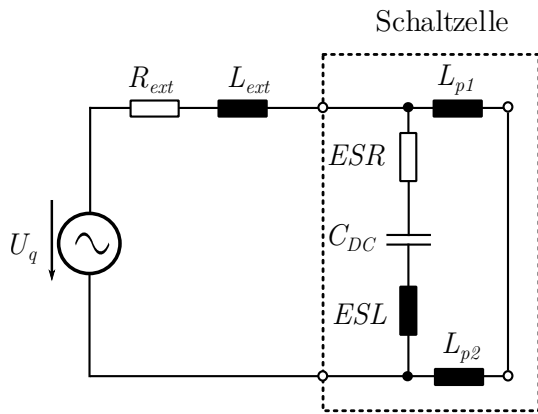
Abbildung 4.15: HF-Kommutierungskreise in der NPC-Topologie.

exakten HF-Kreise mit dem jeweiligen Ladungszustand, da diese das Überschwingen und die Oszillation bestimmen [65].

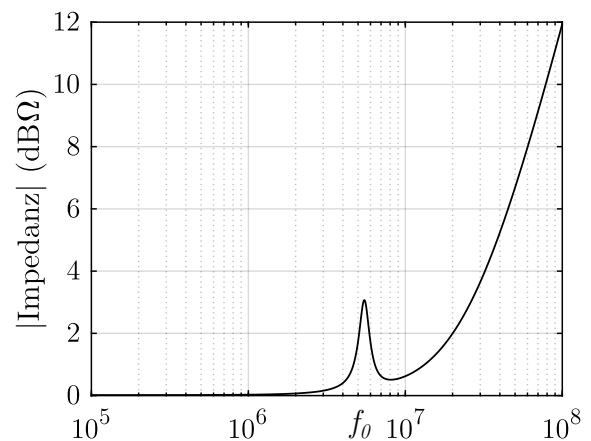
### Bestimmung der Schleifeninduktivität in einer Multilevel-Schaltzelle

Eine Multilevel-Schaltzelle ist eine Parallelschaltung von mehreren HF-Kreisen. Bei einer sprungförmigen Anregung dieser LC-Glieder entstehen in der gesamten Schaltung Oszillationen. Eine Zuordnung einzelner Oszillationen zu den dazugehörigen LC-Schwingkreisen in der Schaltzelle ist daher nur bedingt möglich. Eine Möglichkeit, die in dieser Arbeit angewandt wird, besteht darin, die einzelnen Pfade zu separieren und mit einem Impedanzanalysator zu vermessen. Um den Stromkreis innerhalb der Schaltzelle zu schließen, müssen die Anschlüsse der Leistungshalbleiter kurzgeschlossen werden.

Die Messung sehr kleiner Induktivitäten erfordert einen sehr genauen Abgleich vom Messgerät bis zum Messobjekt, um parasitäre Elemente des Messsystems (in Abbildung 4.16(a) als  $L_{ext}$  und  $R_{ext}$  bezeichnet) nicht zu erfassen. Bei Messobjekten mit Induktivitäten von ca. 1 nH muss ein solcher Abgleich mit sehr hoher Genauigkeit bzw. gewissen Aufwand erfolgen. Die verwendete Messschaltung aus Abbildung 4.16(a) vermeidet den Fehler von Anchlusselementen, indem ein Resonanzkreis zwischen der Zwischenkreiskapazität und einer Schleifeninduktivität gebildet wird.



(a) Messschaltung



(b) Simulierte Resonanzkurve

**Abbildung 4.16:** a) Messschaltung zur Ermittlung der Schleifeninduktivität. b) Simulation der Messschaltung mit den Parametern  $C_{DC} = 400$  nF,  $ESL = 0.5$  nH,  $ESR = 10$  m $\Omega$ ,  $L_{p1} = 1$  nH,  $L_{p2} = 1$  nH,  $L_{ext} = 6$  nH und  $R_{ext} = 1$   $\Omega$ .

Die Anschlussinduktivität  $L_{ext}$  ist somit in Reihe zur vermessenen Schleife verschaltet. Wird die HF-Schleife mit der Resonanzfrequenz  $f_0$  angeregt, ergibt dies eine messbare Erhöhung der Impedanz, wie in der Simulation aus Abbildung 4.16(b) zur Veranschaulichung gezeigt ist. Die gesuchte Induktivität kann anschließend mit folgender



Gleichung berechnet werden:

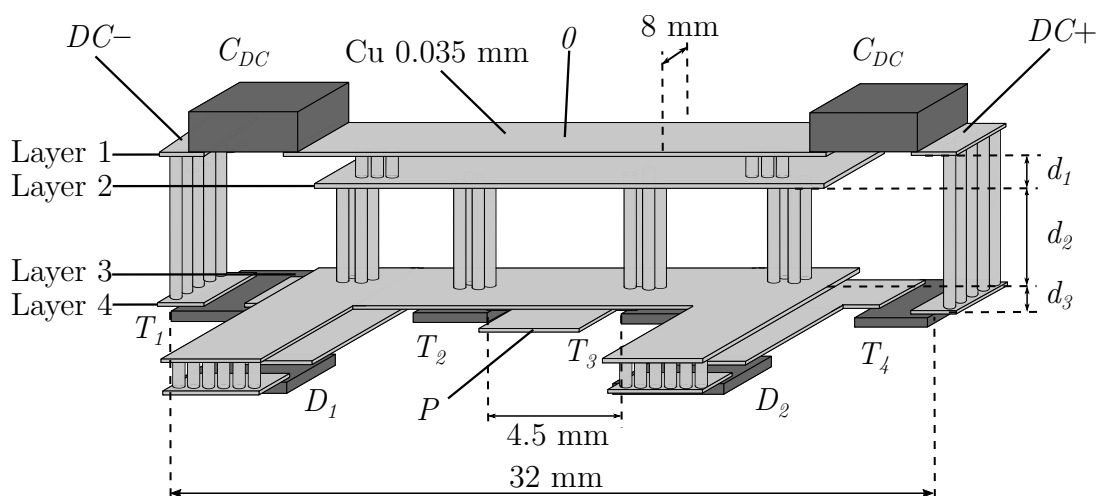
$$L_{HF} = \frac{1}{(2\pi f_0)^2 C_{DC}} \quad (4.10)$$

Aufgrund der Parallel- und Reihenschaltungen der Kapazitäten in der Schaltzelle entsteht hier die gleiche messtechnische Problematik. Um die parasitären Kapazitäten zu vermessen, müssen auch hier die Schleifen separiert werden. Die Messung der Kapazität erfolgte mit einem LCR-Meter (Agilent E4980A). Alle nachfolgenden Induktivitäts- und Kapazitätsmessungen wurden mit diesen Methodiken ermittelt.

### 4.3.2 Aufbau einer niederinduktiven NPC-Schaltzelle

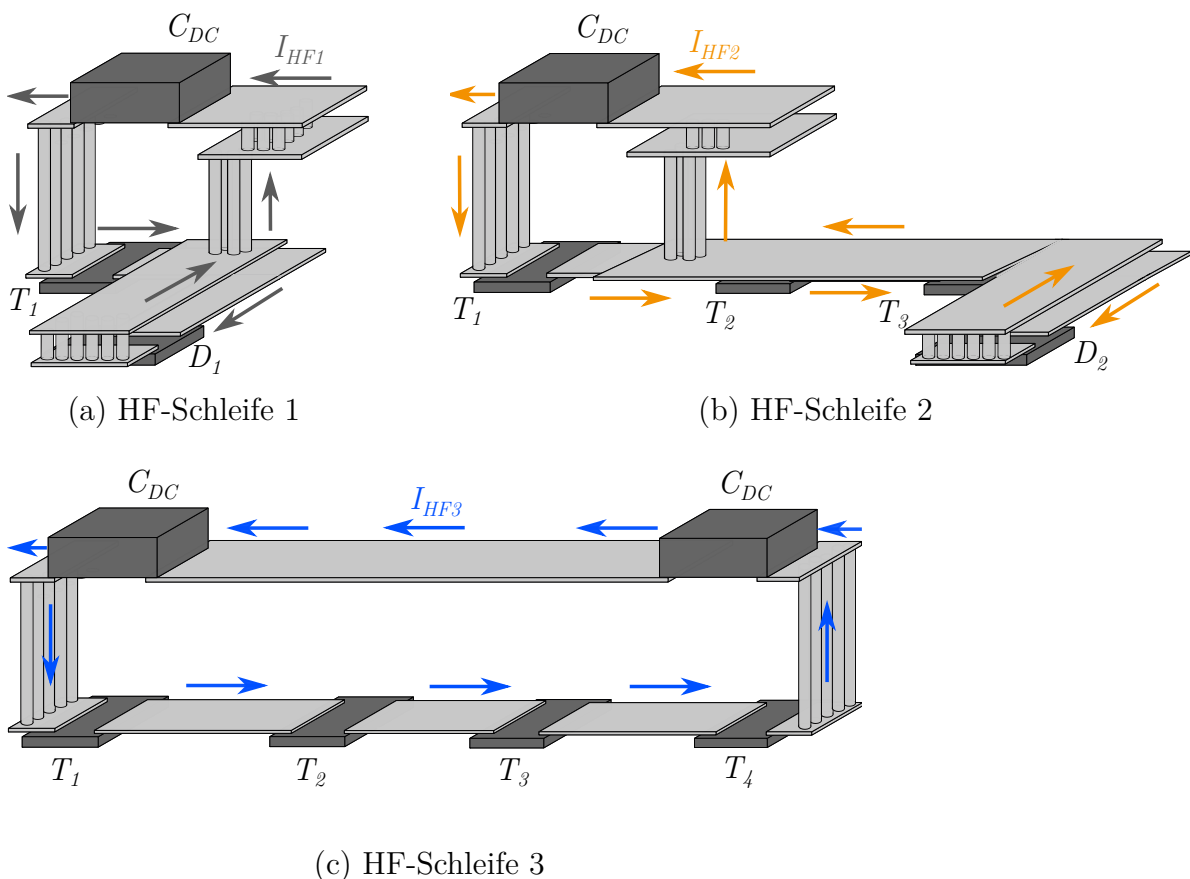
Um schnelles Schalten in einer NPC-Schaltzelle zu ermöglichen, wird der niederinduktive Aufbau aus Abbildung 4.17 näher untersucht [65]. Ähnlich der Zweilevel-Schaltzelle wird in dem Aufbau der NPC-Schaltzelle eine einseitige Kühlung gewählt. Somit werden die HF-Kapazitäten auf der Oberseite der Leiterplatte und die Leistungstransistoren auf der Unterseite der Leiterplatte platziert (siehe Abbildung 4.17). Die Symbole +, -, 0 und P stellen die Schnittstellen zur weiteren Schaltung dar. Der Abstand zwischen den Transistoren ist äquivalent zur Zweilevel-Schaltzelle mit 4.5 mm gewählt. Der hier vorgestellte vierlagige Aufbau kann auch durch Zusammenführen der Lagen 2 und 3 zu einem dreilagigen bzw. durch Weglassen dieser zu einem zweilagigen Aufbau geändert werden.

Um einen möglichst niederinduktiven Aufbau zu realisieren, müssen laterale Schleifen vermieden werden. Zudem muss jeder Strompfad einen Pfad mit einem entgegenge-



**Abbildung 4.17:** Aufbau einer NPC-Schaltzelle auf Basis einer vierlagigen Leiterplatte.

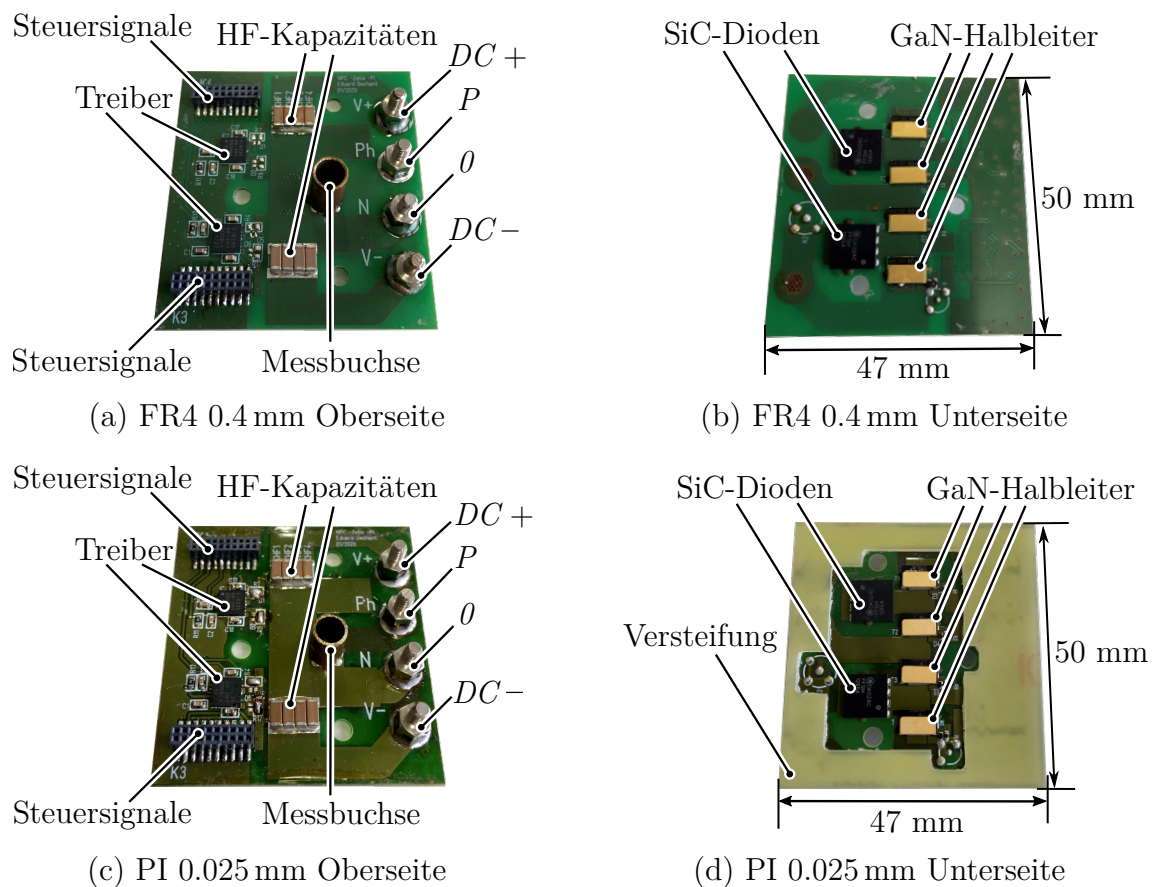
setzten Strom zur Kompensation des magnetischen Feldes aufweisen. Abbildung 4.18 zeigt die drei HF-Schleifen in der NPC-Schaltzelle. Die Pfade mit den Induktivitäten  $L_{p2}$  und  $L_{p5}$  sind orthogonal zur Schaltzelle angeordnet, wodurch eine magnetische Kopplung zur restlichen Schaltzelle vermieden wird. Zudem weisen die Pfade  $L_{p1}$ ,  $L_{p6}$ ,  $L_{p2}$  und  $L_{p5}$  eine große räumliche Distanz zueinander auf, wodurch eine magnetische Kopplung untereinander vernachlässigbar wird. Die Induktivitäten  $L_{p3}$  und  $L_{p4}$  besitzen magnetische Kopplungen zur ersten bzw. zu den inneren Lagen. Diese magnetische Kopplung ist aber nicht nur negativ zu betrachten, da Gegenströme bzw. die Induktion von einem Gegenfeld zur Reduzierung der Induktivität führen. Wie auch bei der Zweilevel-Schaltzelle hängen die parasitären Elemente in den drei Schleifen von der gewählten Dicke der einzelnen Lagen ab. Diese Abhängigkeit wird im nächsten Teilkapitel näher untersucht.



**Abbildung 4.18:** HF-Schleifen der vierlagigen NPC-Schaltzelle.

### 4.3.3 Parasitäre Elemente in Abhängigkeit von der Schichtdicke

Der vorgeschlagene Entwurf kann mit einer zwei-, drei- oder auch vierlagigen Verbindungstechnologie realisiert werden. Eine dreilagige Realisierung wurde nicht weiter betrachtet, da diese aufgrund des mangelnden Angebotes und der Asymmetrie des Lagenaufbaus keine Relevanz für die Praxis hat. Zur Verifikation der Simulationen wurden hier ebenfalls zwei verschiedene Prototypen mit dem jeweils niederinduktivsten Lagenaufbau realisiert. Dies entspricht beim vierlagigen Aufbau einer Dicke des Dielektrikums von ca. 0.4 mm und beim zweilagigen Aufbau einer Dicke von 0.025 mm. Abbildung 4.19 zeigt diese zwei Prototypen mit einem identischen Grundaufbau und identischer Treiberanbindung. Auf der Unterseite des Moduls befinden sich GaN-Leistungstransistoren (GaN GS66508 650 V) und die SiC-Dioden (FFSM1265A 650 V) und auf der Oberseite des Moduls die Anschlussbuchsen, Treiber (SI8235AB-D-IM1) und Zwischenkreiskapazitäten (2 x 400 nF). Die Größe dieser Leistungsmodule beträgt 47 mm x 50 mm. Der zweilagige Aufbau besitzt auf der Unterseite (siehe Abbildung 4.19(d)) zur mechanischen Stabilisierung eine Versteifung auf Basis von FR4.



**Abbildung 4.19:** Ober- und Unterseite des NPC-Leistungsmoduls mit einer Leiterplattendicke von 0.5 mm.

Tabelle 4.3 und 4.4 vergleichen die gemessenen parasitären Elemente zwischen den zwei Schaltzellen. Ähnlich wie bei den Zweilevel-Schaltzellen fallen die parasitären Induktivitäten mit PI kleiner und die Kapazitäten im Vergleich zum Aufbau mit FR4 größer aus.

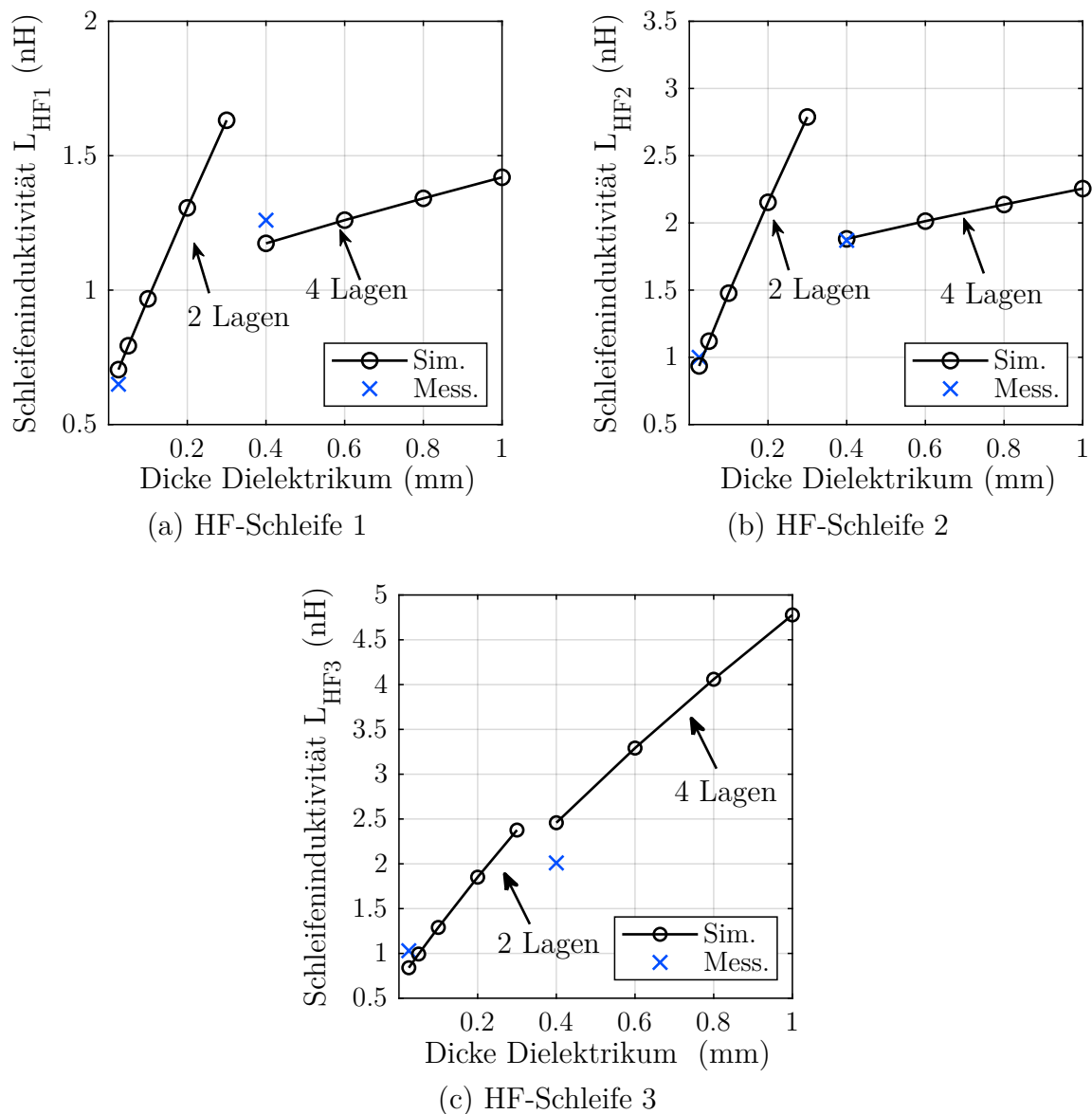
**Tabelle 4.3:** Gemessene parasitäre Induktivitäten in der NPC-Schaltzelle für verschiedene Lagenaufbauten bei ca. 10 MHz.

Lagenaufbau	HF-Schleife 1	HF-Schleife 2	HF-Schleife 3
$d_1=d_3=0.1$ mm $d_2=0.1$ mm	1.26 nH	1.8 nH	2.01 nH
$d_1=d_3=0$ mm $d_2=0.025$ mm	0.65 nH	1.0 nH	1.3 nH

**Tabelle 4.4:** Gemessene parasitäre Kapazitäten in der NPC-Schaltzelle für verschiedene Lagenaufbauten.

Lagenaufbau	$T_1, T_4$	$D_1, D_2$	$T_2, T_3$
$d_1=d_3=0.1$ mm $d_2=0.1$ mm	$\leq 1$ pF	34.6 pF	13.6 pF
$d_1=d_3=0$ mm $d_2=0.025$ mm	$\leq 1$ pF	108 pF	35 pF

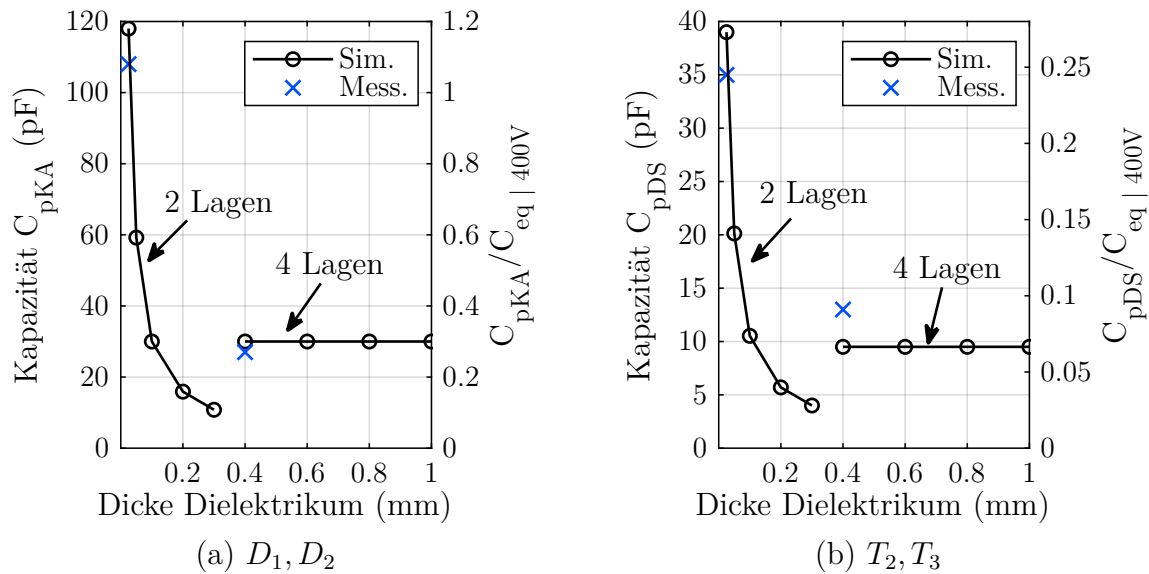
Abbildung 4.20 zeigt die Abhängigkeit der Schleifeninduktivität von der Leiterplattendicke für diesen zwei- und vierlagigen Aufbau. Bei dem vierlagigen Aufbau wurden die äußeren Prepregs mit einer Dicke von 0.1 mm konstant gehalten und der Kern in der Größe variiert. Der dünnste vierlagige Aufbau entspricht dabei einer Gesamtdicke von ca. 0.4 mm mit einer Dicke des Kerns und der Prepregs von jeweils 0.1 mm. Aus den Ergebnissen kann entnommen werden, dass eine niederinduktive Realisierung eines zweilagigen Aufbaus nur bis zu einer Schichtdicke von 0.2 mm sinnvoll ist. Ab dieser weist ein vierlagiger Aufbau niedrigere Induktivitäten in den HF-Schleifen 1 und 2 auf. Bei einer Schichtdicke von 0.025 mm können bei allen drei Schleifen Induktivitäten von  $\leq 1$  nH erreicht werden. Wie jedoch bereits bei der Zweilevel-Schaltzelle gezeigt, muss auch die parasitäre Kapazität betrachtet werden. Abbildung 4.21 zeigt die Abhängigkeit der aufbaubedingten parasitären Kapazität zwischen den Drain-Source-Kontakten bei den Transistoren bzw. der Anode und der Kathode bei den Dioden. Die Kapazitäten der Transistoren  $T_1$  und  $T_4$  sind nicht dargestellt, da diese aufgrund der Geometrie parasitäre Kapazitäten  $\leq 1$  pF aufweisen und somit keine Relevanz haben. Aufgrund des symmetrischen Aufbaus werden die Dioden  $D_1$  und  $D_2$  sowie die Schalter  $T_2$  und  $T_3$  zusammengefasst. Die parasitäre Kapazität ist beim vierlagigen Aufbau unabhängig von der gesamten Leiterplattendicke, da die Außenlagen konstant bei 0.1 mm gehalten wurden. Wird ein zweilagiger Aufbau verwendet, erhöht die Reduzierung der Schichtdicke die parasitäre Kapazität stark. Der Einfluss



**Abbildung 4.20:** Einfluss der Leiterplattendicke auf die Schleifeninduktivität in der NPC-Schaltzelle für die drei untersuchten HF-Schleifen.

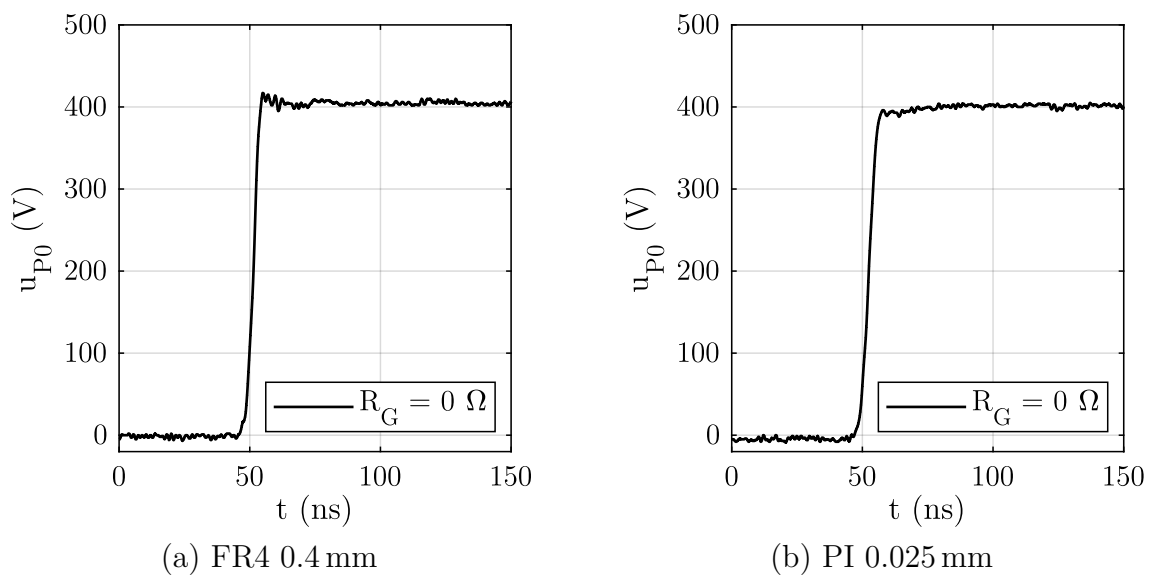
dieser Kapazität hängt auch hier maßgeblich von der Ausgangskapazität des Transistors ab. Als Bezugsgrößen wurden für die Schalter die Kapazität des GaN-Transistors GS66508 und für die Dioden die Kapazität der SiC-Diode FFSM1265A, die auch im experimentellen Aufbau eingesetzt wurden, verwendet. Eine Vergrößerung der Kerndicke im vierlagigen Aufbau resultiert in einer Erhöhung der Schleifeninduktivität bei gleichbleibender Kapazität. Dies bietet jedoch aus elektrischer Sicht keine Vorteile, sondern nur Nachteile.

Abbildung 4.22 vergleicht die Ausgangsspannungen der zwei untersuchten Schaltzellen bei einem Doppelpulstest, der im Anhang A.2 beschrieben ist, bei einer Zwischen-



**Abbildung 4.21:** Einfluss der Leiterplattendicke auf die parasitäre Kapazität  $C_p$  der Bauelemente  $D_1, D_2, T_2$  und  $T_3$  in der NPC-Schaltzelle.

kreisspannung von 800 V und einem Ausgangsstrom von 10 A für den Fall  $u_{P0} > 0$  &  $i_L > 0$ . Bei beiden Varianten ist ein überschwingungsfreies Schaltverhalten zu sehen. Für die Variante mit FR4 beträgt die maximale Spannungsanstiegsgeschwindigkeit  $(du/dt)_{max}$  der Drain-Source-Spannung 106 V/ns. Obwohl die Spannungsanstiegsgeschwindigkeit im Vergleich zur Zweilevel-Topologie (126 V/ns bei  $U_{DC} = 400$  V) durch

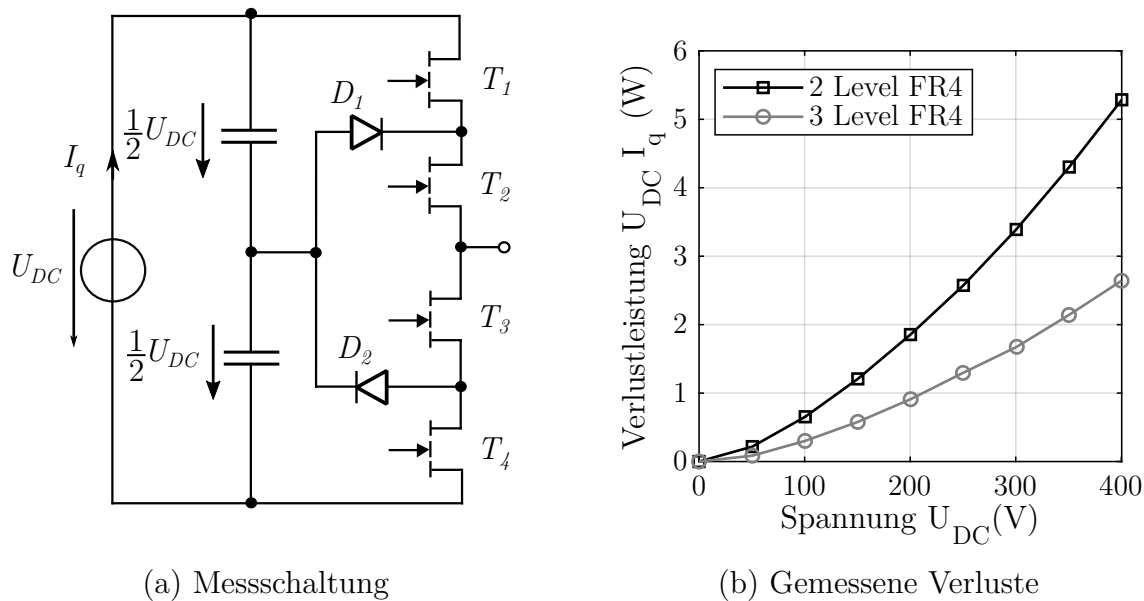


**Abbildung 4.22:** Vergleich der Drain-Source-Spannung während des Ausschaltvorgangs beim Doppelpulstest mit einer Zwischenkreisspannung von 800 V und einem Laststrom von 10 A.

höhere Kapazitäten im Aufbau niedriger ausfällt, ist dieser Wert dennoch vergleichbar. Somit lassen sich Schaltflanken von  $> 100 \text{ V/ns}$  mit einem optimierten niederinduktiven Design ohne Überschwinger auch in Dreilevel-Topologien realisieren. Da mit diesen Aufbauten auch ein komplett überschwingungsfreies Schaltverhalten erreicht wurde, wäre es hier sinnvoll, die äußeren Schichtdicken zu erhöhen, um die kapazitiven Kopplungen zu senken und die Schaltgeschwindigkeit dadurch zu erhöhen.

Wie auch im vorherigen Teilkapitel gezeigt, existiert bei Mehrlevel-Topologien ein Optimum zwischen den parasitären Elementen. Aufgrund des gleichen Verhaltens wird dieses aber hier nicht nochmals gezeigt. Die Möglichkeit der Äquivalenz der Schaltgeschwindigkeiten zwischen einer Zwei- und Dreilevel-Schaltzelle ist eine wichtige Grundvoraussetzung für den effizienten Einsatz von Mehrlevelschaltungen mit WBG-Transistoren. Ähnlich wie bei der Zweilevel-Topologie würde eine vierlagige Leiterplatte zur Realisierung eines überschwingungsfreien Schaltvorgangs ausreichen. Wird die Schichtdicke weiter reduziert, können zwar die Induktivitäten noch weiter gesenkt werden, doch führt dies wiederum zu erhöhten Schaltverlusten. Das macht diese Variante bei Mehrlevel-Topologien für einen Einsatz bei hohen Schaltfrequenzen nur bedingt geeignet.

Abbildung 4.23 vergleicht die Schaltverlustleistung der Schaltzellen in Abhängigkeit von der Zwischenkreisspannung für eine Zwei- und Dreilevel-Topologie im unbelasteten Fall mit einer Sinus-Dreieck-Modulation. Die aufgenommene Verlustleistung wurde, wie in Abbildung 4.23(a) gezeigt, über die abgebende Leistung der Spannungsquelle ermittelt. Der Vergleich zeigt das Potenzial der NPC-Topologie. Aufgrund der halben Zwischenkreisspannung fällt die Schaltverlustleistung im Vergleich zur Zweilevel-Schaltzelle stark ab. Jedoch hängt die Gesamteffizienz von den Durchlassverlusten und Schaltverlusten ab. Beim Vergleich zwischen einer Zwei- und Dreilevel-Topologie mit Transistoren gleicher Spannungsklasse müssten die geringeren Schaltverluste die doppelten Durchlassverluste erst komplett kompensieren, um Vorteile in der Performance zu erzielen. Wenn jedoch GaN-HEMTs in Zukunft mit einer höheren Durchbruchspannung verfügbar sind, steigt bei diesen der  $R_{on, spez.}$ , wie aus den Gleichungen 2.1 und 2.4 zu entnehmen ist, ebenfalls an. Dies hat zur Folge, dass der  $R_{DS(on)}$  bei der Zweilevel-Topologie höher ausfällt und somit nicht mehr der doppelte Durchlasswiderstand kompensiert werden müsste. Da Dreilevel-Topologien ähnliche Schaltgeschwindigkeiten wie Zweilevel-Topologien erreichen, lässt sich jetzt bereits schlussfolgern, dass die Dreilevel-Topologie bei Anwendungen mit dominanten Schaltverlusten die effizientere Variante sein wird.



**Abbildung 4.23:** Messschaltung zur Bestimmung der Schaltverluste in der Schaltzelle im unbelasteten Fall in Abhängigkeit von der Zwischenkreisspannung  $U_{DC}$  für 100 kHz und Vergleich der Verluste zwischen der Zweilevel- und Dreilevel-Topologie.

Zusammenfassend konnte gezeigt werden, dass durch planare Verbindungstechnologien in Verbindung mit der optimalen Schichtdicke des Trägersubstrats die parasitären Elemente und somit auch die elektrischen Eigenschaften der Schaltzelle optimiert werden können. Die in diesem Kapitel untersuchten Anordnungen mit diskreten Bauelementen mit dem sogenannten GaNPX-Gehäuse können individuell an die Anforderung der Anwendung angepasst werden. Neuartige planare Verbindungstechnologien im leistungselektronischen Umfeld wie z. B. die Integration der Transistoren in die Leiterplatte bieten nicht nur Optimierungsmöglichkeiten bei den elektrischen Parametern, sondern auch bei den thermischen und mechanischen Eigenschaften. Da dies auch ausschlaggebende Eigenschaften für leistungselektronische Schaltungen sind, wird diese Technologievariante im nächsten Kapitel näher untersucht.

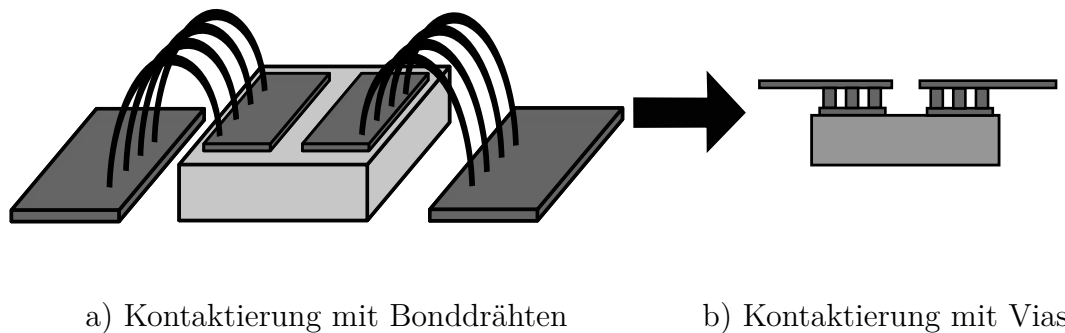


## 5 Integration von Transistoren in das Trägersubstrat

Durch den Wandel der Aufbau- und Verbindungstechniken zu immer kleineren Strukturen gewinnt die Integration von elektrischen Funktionen immer mehr an Bedeutung. Eine Integration kann in verschiedenen Entwicklungsebenen erfolgen:

- Wafer-Level
- Package-/Panel-Level
- PCB-Level

Jede dieser Integrationsebenen hat ihre Vor- und Nachteile. Bei der Wafer-Level-Integration können z. B. das Volumen und die parasitären Elemente auf ein Minimum reduziert werden, aber die geringere Flexibilität bei Neuerungen und längere Entwicklungszeiten führen zu deutlich höheren Kosten, die wiederum z. B. durch höhere Stückzahlen kompensiert werden müssen. Bei der Package-/Panel-Level-Integration werden aktive und passive Bauelemente auf einem Substrat miteinander verbunden und mit einem Gehäuse umschlossen. Werden mehrere elektrische Bauelemente in ein Gehäuse zusammengeführt, wird dies auch System in Package (SiP) genannt. In dieser Arbeit wird die PCB-Level-Integration für das leistungselektronische Umfeld untersucht. Die PCB-Level-Integration konnte sich bereits in der Mikroelektronik etablieren. Um eine Etablierung im leistungselektronischen Umfeld zu erreichen, muss diese Technologie jedoch höheren Anforderungen standhalten können. Da bei der Integration von Transistoren in das Leiterplattensubstrat auch diskrete Bauelemente eingesetzt werden, kann auch hier eine individuelle Anpassung und Optimierung an die Anwendung erfolgen. Zudem werden bei dieser Technologievariante Bonddrähte durch niederinduktive Vias ersetzt (siehe Abbildung 5.1). Das Integrieren der Bauelemente in das Trägersubstrat eröffnet beim Platzieren der Bauelemente eine neue Ebene vertikal in z-Richtung. Deswegen wird auch der Begriff „3D-Packaging“ bei der Integration der Halbleiter verwendet.



**Abbildung 5.1:** Schematische Darstellung einer Chipkontaktierung mit Bonddrähten und Vias.

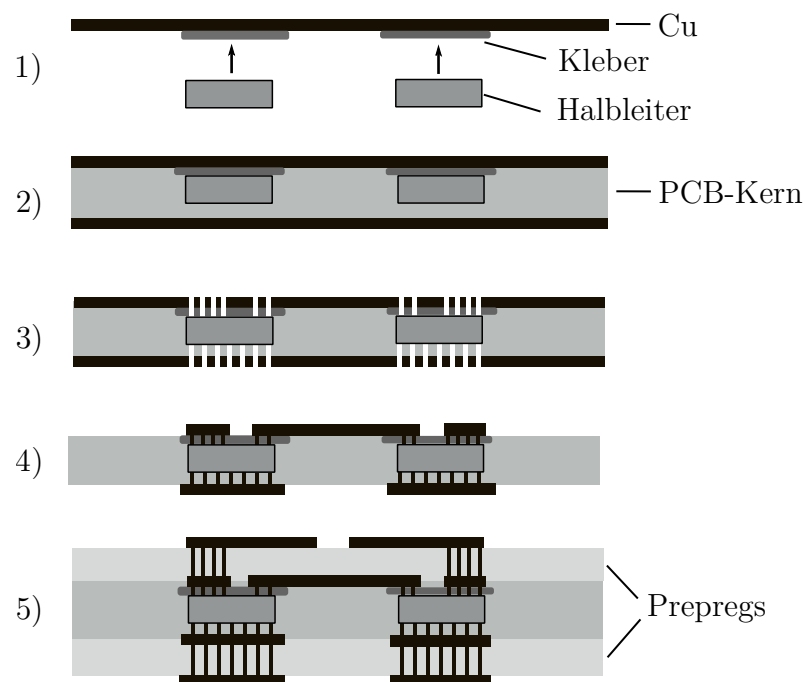
Allgemein können dem 3D-Package bzw. der Integration der Halbleiter in die Leiterplatte im Vergleich zur gewöhnlichen Leiterplatte folgende Vorteile zugeordnet werden [8, 66]:

- Reduzierung der Größe aufgrund der räumlichen Nähe
- Reduzierung des Gewichts aufgrund der Miniaturisierung
- Geringere Kosten durch Einsparung des Gehäuses
- Verbesserte Signale aufgrund geringerer parasitärer Elemente
- Erhöhte Zuverlässigkeit angesichts der wegfallenden Verbindungen
- Erschwerter Nachbau
- Schutz vor Vibrationen
- Berührungsschutz
- Abschirmung gegen elektromagnetische Strahlung
- Schutz vor Umwelteinflüssen wie Chemikalien, Staub und Feuchtigkeit

Aufgrund der Vielzahl an Vorteilen wird in dieser Arbeit die Integration der Transistoren in ein FR4-Trägersubstrat im Hinblick auf leistungselektronische Anwendungen näher untersucht. Zudem hat das wegfallende Gehäuse der GaN-HEMTs nicht nur Einfluss auf das elektrische Verhalten der Schaltzelle, sondern auch auf die thermischen und mechanischen Eigenschaften und somit auch auf die Zuverlässigkeit. Da diese Aspekte bisher noch nicht ausreichend untersucht wurden, wird in diesem Kapitel näher darauf eingegangen.

## Herstellungsprozess einer Zweilevel-Schaltzelle mit integrierten Transistoren

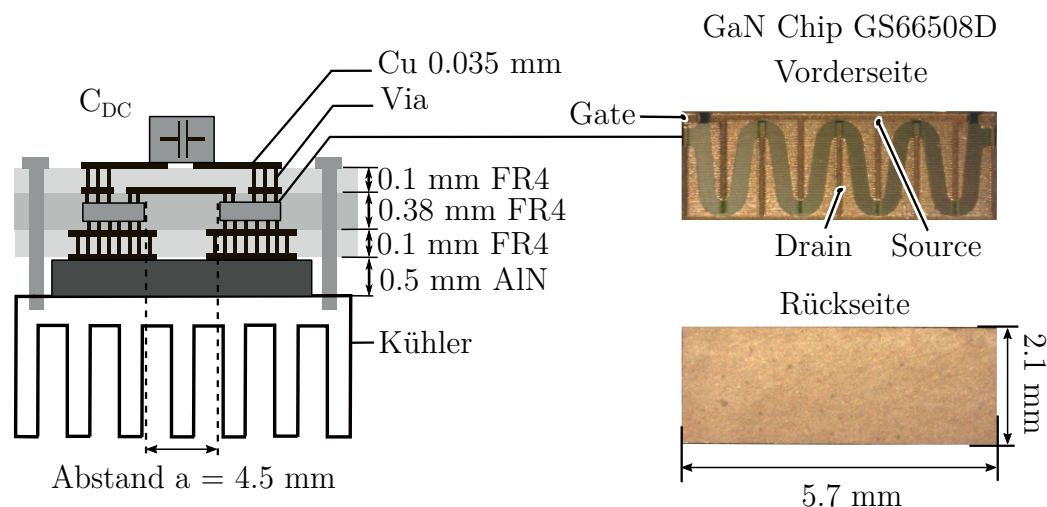
Bei der 3D-Integration in die Leiterplatte können sowohl passive als auch aktive Bauelemente integriert werden. Die Grenzen hierfür werden von den einzelnen Herstellern individuell, je nach eigener Machbarkeit, festgelegt. Auch die einzelnen Prozessschritte können sich hierbei unterscheiden. Abbildung 5.2 zeigt den Herstellungsprozess für die in dieser Arbeit verwendete Schaltzelle [67]. Im ersten Schritt werden die Transistoren auf eine Kupferfolie mit einem nicht leitenden Kleber aufgebracht. Anschließend werden die inneren zwei Kupferlagen mit dem Kernmaterial und den Transistoren verpresst. Im nächsten Schritt werden die Durchkontaktierungen mittels eines Hochpräzisionslasers erstellt. Anschließend werden die inneren zwei Layer strukturiert und die Vias mit einem Galvanik-Prozess gefüllt. Die Grundvoraussetzung für die Kontaktierung der Mikrovias ist eine für die Galvanik geeignete Metallisierung der Halbleiteroberfläche wie z. B. mit Kupfer (Cu) oder Nickel/Palladium (NiPd) [67]. Die Verpressung und Strukturierung der äußeren zwei Prepregs sind die letzten Schritte und unterscheiden sich von einem Standardleiterplattenprozess nicht mehr.



**Abbildung 5.2:** Herstellungsprozess einer Schaltzelle mit Integration der Transistoren in den Kern der Leiterplatte [67].

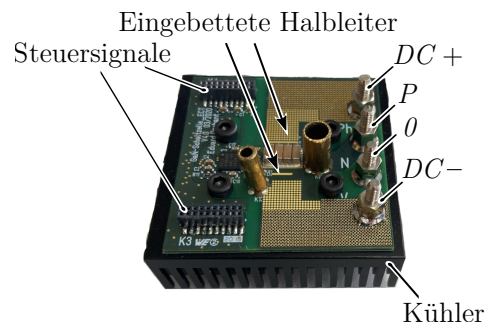
## 5.1 Elektrische Eigenschaften einer Zweilevel-Schaltzelle

Wie bereits in Kapitel 4.1 beschrieben, besitzt die vertikale Anordnung bei kleinen Schichtdicken die geringsten parasitären Elemente. Aus diesem Grund ist die Schaltzelle mit integrierten Transistoren ebenfalls als vertikale Schaltzelle realisiert. Die Schleifenlänge wird bei dieser Variante nicht über die gesamte Leiterplatte, sondern über die obersten zwei Lagen gebildet. Abbildung 5.3 zeigt das Konzept der Schaltzelle mit eingebetteten GaN-HEMTs vom Typ GS66508D 650 V 30 A. Die Kontaktierung der Transistoren erfolgt sowohl auf der Vorder- als auch auf der Rückseite über Mikrovias. Dabei leiten die Vias an der Rückseite die Wärme vom Transistor zum Kühlkörper weiter. Die Isolation zum Kühlkörper erfolgt durch eine AlN-Keramik mit einer Wärmeleitfähigkeit von 170 W/mK bis zu 200 W/mK [68]. Der Abstand zwischen den zwei Transistoren beträgt, wie bei den Prototypen aus Kapitel 4.2, ebenfalls 4.5 mm. Die Dicke des Leiterplattenkerns beträgt 0.38 mm und die der Prepregs jeweils 0.1 mm, wodurch eine Gesamtdicke von ca. 0.7 mm entsteht.



**Abbildung 5.3:** Konzept einer Zweilevel-Schaltzelle mit in die Leiterplatte integrierten Transistoren [46].

Abbildung 5.4 zeigt den Prototyp mit eingebetteten GaN-Transistoren und HF-Zwischenkreiskondensatoren (400 nF) realisiert als Leistungsmodul. Der Treiber (SI8235-AB-D-IM1) ist wie bei den Aufbauten aus Kapitel 4.2 ebenfalls auf der Oberseite der Leiterplatte platziert. Tabelle 5.1 zeigt die gemessenen parasitären Elemente der Schaltzelle bei einer Schleifenlänge von 0.1 mm. Die Messergebnisse zeigen eine sehr geringe parasitäre Schleifeninduktivität von 0.39 nH. Diese sehr geringe Schleifeninduktivität ist in Bezug auf die parasitäre Kapazität von 15 pF ein hervorragendes



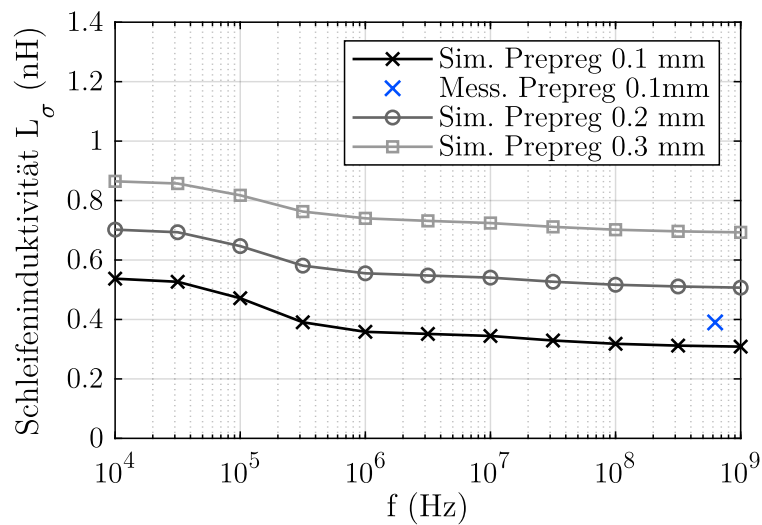
**Abbildung 5.4:** Prototyp des Leistungsmoduls mit integrierten Transistoren.

Ergebnis. Der direkte Vergleich mit den Werten aus Tabelle 4.1 in Kapitel 4.2 ist aber nur bedingt möglich, da die Zuordnung der parasitären Elemente aus messtechnischen Gründen unterschiedlich ist. Bei der Variante mit integrierten Transistoren kann zwischen dem Gehäuse und der Verbindungsstruktur nicht unterschieden werden. Daher beinhalten die Messwerte auch die Kapazitäten zwischen den Drain-Source-Anschlusskontakten im Layout und die Kapazitäten, die durch die Kopplung zum Kühlkörper entstehen. Die Messwerte aus Kapitel 4.2 beinhalten hingegen nur die parasitären Kapazitäten durch den Aufbau ohne Gehäuse. Auch bei der Schleifeninduktivität entsteht ein Unterschied durch das nicht vorhandene Gehäuse. Zum einen existieren die zusätzlichen Induktivitäten des Gehäuses nicht und zum anderen entsteht auch bei gleichem Abstand  $a$  zwischen den Transistoren eine geringere Schleifenlänge von 9.2 mm. Deswegen ist trotz der höheren Schleifendicke die Induktivität mit den integrierten Transistoren niedriger als bei der PI-Variante.

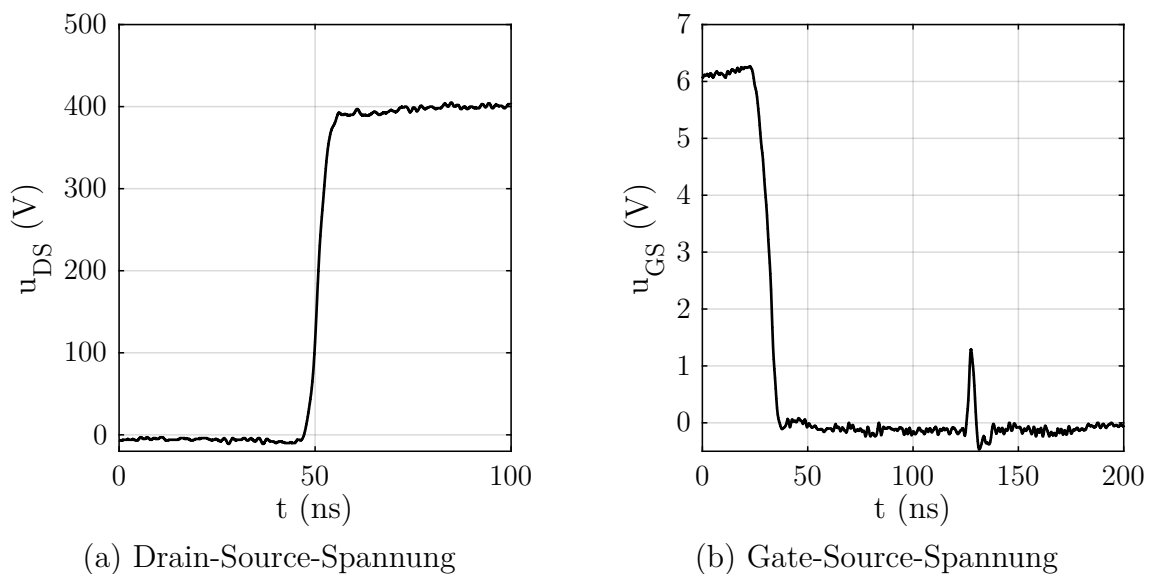
**Tabelle 5.1:** Parasitäre Elemente in den Verbindungskonzepten.

Variante	Kapazität $C_P$	Induktivität $L_\sigma$	Schleifendicke
Integrierte Transistoren	15.0 pF	0.39 nH	0.1 mm

In Abbildung 5.5 ist die Schleifeninduktivität für verschiedene Prepregs in Abhängigkeit von der Frequenz dargestellt. Aus den Simulationen kann entnommen werden, dass auch bei Vergrößerung der Prepregs auf 0.3 mm die Schleifeninduktivität unter 1 nH bleibt. Abbildung 5.6(a) zeigt das Schaltverhalten der Schaltzelle. Durch die geringe Schleifeninduktivität wird auch hier ein überschwingungsfreies Schaltverhalten beim Ausschaltvorgang des Low-Side-Transistors erreicht. Aber auch bei der Gate-Source-Spannung fällt das parasitäre Wiedereinschalten mit 1.2 V unter den Wert der Schwellspannung mit 1.7 V. Die Ergebnisse zeigen, dass sich durch die geringen parasitären Kapazitäten und Induktivitäten das elektrische Verhalten der Schaltzelle im Gegensatz zum klassischen Aufbau mit FR4 oder der Dünnschichttechnik mit PI verbesser-



**Abbildung 5.5:** Simulation der Kommutierungsinduktivität in Abhängigkeit von der Frequenz für verschiedene Prepregs.



**Abbildung 5.6:** Drain-Source- und Gate-Source-Spannung während des Ausschaltvorgang des Low-Side GaN-Schalters vom Leistungsmodul mit integrierten GaN-Transistoren und einem Gate-Vorwiderstand von  $0 \Omega$ .

sert. Zwar bietet PI eine bessere Störsicherheit aufgrund der geringeren Schichtdicken, jedoch kann auch eine weitere Integration von der umgebenden Elektronik noch weitere elektrische Vorteile bringen. Dies wurde aber nicht weiter untersucht.

## 5.2 Thermische Eigenschaften

Die maximale Stromtragfähigkeit in Leistungsmodulen hängt vor allem von den thermischen Grenzen des Aufbaus ab. Zu hohe thermische Belastungen führen zu einer beschleunigten Alterung und zum Verschleiß der Aufbau- und Verbindungstechnik. Die Temperatur ist deswegen eine der Hauptursachen für Ausfälle in leistungselektronischen Systemen [69]. Immer kleiner werdende Strukturen setzen neue Maßstäbe für die Aufbau- und Verbindungstechniken, um trotz höherer Leistungsdichten eine ausreichende Kühlung der Transistoren zu gewährleisten. Die erzeugte Verlustleistung in einem Leistungstransistor stellt in der Regel in einer leistungselektronischen Schaltung die größte Wärmequelle dar. Die dabei entstehende Wärme kann über drei verschiedene Übertragungsmechanismen an die Umgebung weitergegeben werden:

- Konduktion
- Strahlung
- Konvektion

Bei der Konduktion bzw. der Wärmediffusion erfolgt die Wärmeübertragung in den verschiedenen Körpern. Dabei fließt der Wärmestrom immer in Richtung der niedrigeren Temperatur [70]. Der Wärmewiderstand  $R_{th,Konduktion}$ , der dem Wärmestrom entgegenwirkt, wird mit der Weglänge  $l$ , der effektiven Oberfläche  $A$  und der spezifischen Wärmeleitfähigkeit  $\lambda$  wie folgt berechnet:

$$R_{th,Konduktion} = \frac{l}{\lambda A} \quad (5.1)$$

Über die Oberfläche der Module bzw. des Kühlkörpers kann die Wärme durch Wärmestrahlung abgegeben werden. Der Wärmewiderstand  $R_{th,Strahlung}$  der Wärmestrahlung kann nach [70, 71], wie in Gleichung 5.2 gezeigt, berechnet werden. Dabei entspricht  $k_B$  der Boltzmann-Konstante und  $T_1$  bzw.  $T_2$  den Temperaturen der einzelnen Medien. Die Geometrie und Oberflächenbeschaffenheit werden über den Emissionsgrad  $\varepsilon_S$  beschrieben.

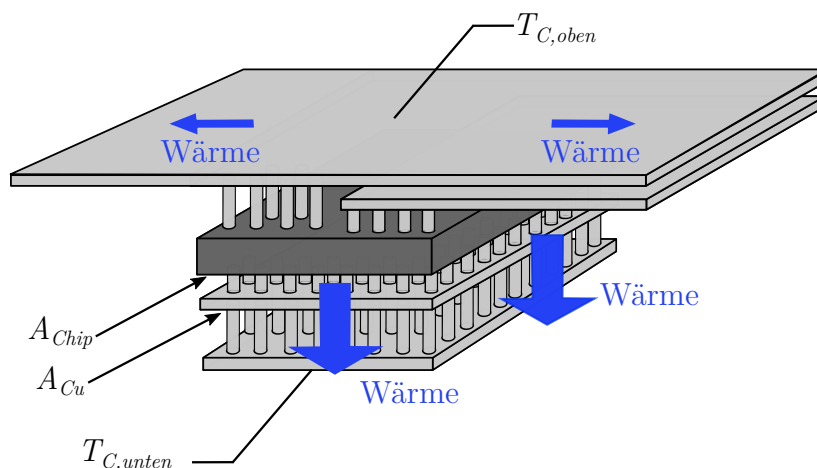
$$R_{th,Strahlung} = \frac{1}{\varepsilon_S k_B A (T_1^2 + T_2^2) + (T_1 + T_2)} \quad (5.2)$$

Bei der letzten Variante erfolgt die Wärmeübertragung an die Umgebung durch Konvektion. Diese ist von der Strömung des umgebenden Mediums wie der Luft oder einer Flüssigkeit abhängig. Die Konvektion kann aber auch durch Zwang mit einem Lüfter

oder einer Pumpe erfolgen. Mithilfe des Wärmeübergangskoeffizienten  $\alpha_K$  kann der Wärmeübergangswiderstand  $R_{th,Konvektion}$  wie folgt berechnet werden:

$$R_{th,Konvektion} = \frac{1}{\alpha_K A} \quad (5.3)$$

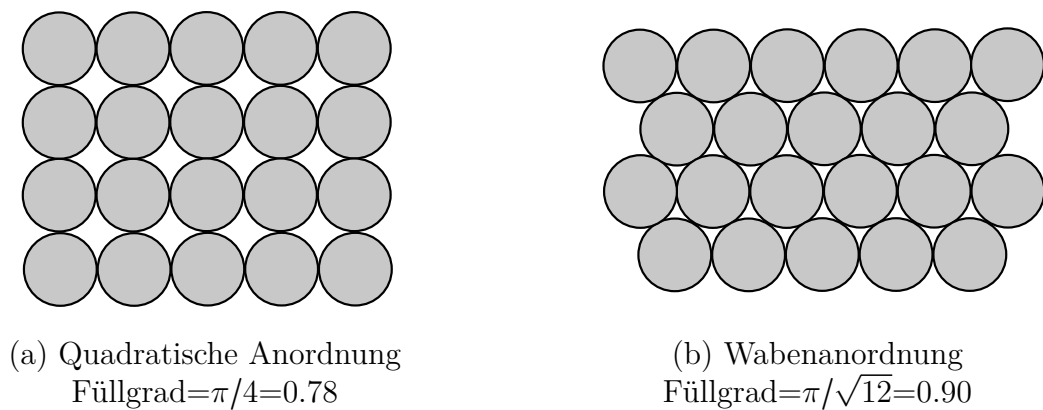
Bei den thermischen FEM-Simulationen und den Messaufbauten wurden ein Flüssigkühler an der Unterseite der Leistungsmodule verwendet. Somit erfolgt ein großer Anteil der Wärmeübertragung über die Konduktion. Aber auch über die Oberseite kann über Konvektion und Strahlung Wärme an die Umgebung abgegeben werden, was bei den Simulationen mit einem Wärmeübergangskoeffizienten von  $10 \text{ W/m}^2\text{K}$  berücksichtigt wurde [72]. Bei der Integration des Leistungstransistors in den Kern der Leiterplatte ist der Transistor vom Dielektrikum umschlossen. Da die Wärmeleitfähigkeit von FR4 als Dielektrikum mit ca.  $0.4 \text{ W/mK}$  im Vergleich zu Kupfer mit  $400 \text{ W/mK}$  eine schlechtere Entwärmung bietet, müssen thermische Kupfervias zur Entwärmung eingesetzt werden. Abbildung 5.7 zeigt das thermische Konzept mit einem Verhältnis der Chipfläche  $A_{Chip}$  zu der darunterliegenden Kupferlage  $A_{Cu}$  von eins. Da bei der Integration der Leistungstransistoren in die Leiterplatte die elektrischen Anschlüsse über Mikrovias kontaktiert werden, können diese ebenfalls zur Entwärmung genutzt werden. Dies ermöglicht eine zweiseitige Kühlung des Transistors. Da die Positionierung der Vias auch einen Einfluss auf die thermische Entwärmung hat, wird diese als Nächstes untersucht.



**Abbildung 5.7:** Ableitung der Verlustleistung des eingebetteten Galliumnitrid-Transistors über Thermovias.

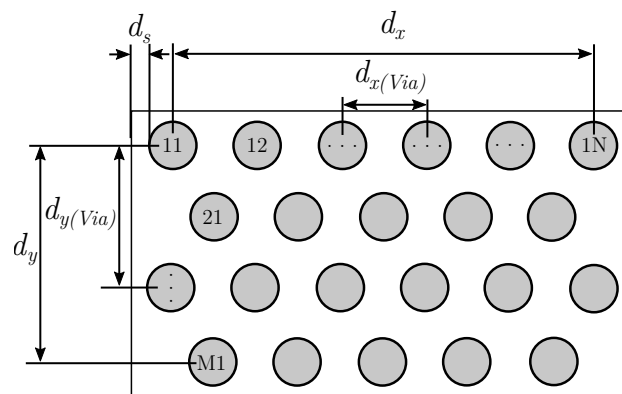
Abbildung 5.8 vergleicht zwei mögliche Anordnungen von Vias. Abbildung 5.8(a) zeigt eine quadratische Anordnung, die oft zur Positionierung von Thermal-Vias verwen-





**Abbildung 5.8:** Vergleich vom Füllgrad zwischen einer quadratischen und hexagonalen Anordnung von Thermal-Vias.

det wird. Mit dieser Anordnung ist ein theoretisch maximaler Füllgrad zwischen der Fläche der Vias und der Nutzfläche von 0.78 möglich. Bei einer hexagonalen Anordnung bzw. Wabenanordnung aus Abbildung 5.8(b) kann unter Vernachlässigung von Randeffekten ein theoretisch maximaler Füllgrad von 0.9 erreicht werden. In der Praxis lässt sich jedoch ein Füllgrad von 0.9 nicht realisieren, da Abstände zwischen den Vias  $d_{Pitch}$ , die individuell vom Hersteller festgelegt werden, eingehalten werden müssen. Außerdem können Vias nicht unmittelbar am Rand platziert werden, da auch hier Abstände  $d_s$  zu den Rändern der Kontaktflächen berücksichtigt werden müssen. Nachfolgend wird für die zwei Varianten unter Berücksichtigung von Randeffekten für ein rechteckiges Kupferpad der Füllgrad berechnet. Die Vorgehensweise wird anhand einer hexagonalen Anordnung erläutert. Abbildung 5.9 zeigt eine hexagonale Anordnung der Thermal-Vias an einer Fläche mit einer Länge  $d_x$  und Breite  $d_y$ .



**Abbildung 5.9:** Schematische hexagonale Anordnung der Vias auf einer Chipoberfläche.

Damit eine möglichst homogene Wärmeverteilung mit einem maximalen Füllgrad entsteht, wurden die Vias 11, 1N und M1 jeweils an die Ecken des Pads des Transistors mit dem dazugehörigen Abstand  $d_S$  platziert. Anschließend können die optimalen Abstände für eine gleichmäßige Verteilung in Abhängigkeit vom Pitch  $d_{Pitch}$  in x-Richtung berechnet werden:

$$N_x = \frac{d_x}{d_{Pitch}} \quad N_x \in \mathbb{R} \quad (5.4)$$

$$d_{x(via)} = \frac{d_x}{\lfloor N_x \rfloor} \quad \lfloor N_x \rfloor = \max\{k \in \mathbb{Z} \mid k \leq N_x\} \quad (5.5)$$

In y-Richtung  $d_{y(via)}$  beträgt der minimale Abstand aufgrund der Wabenanordnung  $\sqrt{3}d_{Pitch}$  und kann damit äquivalent wie folgt berechnet werden:

$$M_y = \frac{d_y}{\sqrt{3}d_{Pitch}} \quad M_y \in \mathbb{R} \quad (5.6)$$

$$d_{y(via)} = \frac{d_y}{\lfloor M_y \rfloor} \quad \lfloor M_y \rfloor = \max\{k \in \mathbb{Z} \mid k \leq M_y\} \quad (5.7)$$

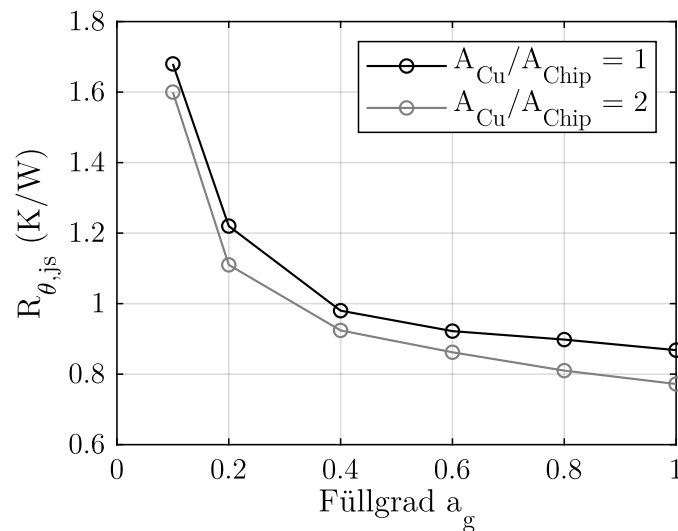
Mit einem Pitch  $d_{Pitch}$  von 0.25 mm, einer Kupferfläche des Chips von 2.1 mm x 5.8 mm und einem Viadurchmesser von 0.15 mm wird ein Füllgrad  $a_g$  zwischen der Chipfläche  $A_{Chip}$  und der gesamten Fläche der Vias  $A_{Vias}$  von 0.34 erreicht.

$$a_g = \frac{A_{Vias}}{A_{Chip}} \quad (5.8)$$

Bei dieser Chipoberfläche können somit 235 Vias platziert werden. Wird mit der gleichen Vorgehensweise und den gleichen Randbedingungen eine quadratische Anordnung bestimmt, ergibt dies einen Füllgrad von 0.27 mit 192 Vias. Dies zeigt, dass trotz Randeffekten mit einer Wabenstruktur ein höherer Füllgrad erreicht wird.

Abbildung 5.10 zeigt die Ergebnisse einer 3D-FEM-Simulation des thermischen Widerstandes  $R_{\theta,js}$  in Abhängigkeit vom Füllgrad  $a_g$  anhand des Aufbaus aus Abbildung 5.3. Als Isolation zwischen dem Leistungsmodul und dem Kühler wurde eine AlN-Keramik eingesetzt. Als Kühler wurde hier ein Flüssigkühler mit einer konstanten Temperatur von 20 °C verwendet. Zwischen der Keramik und dem Kühlkörper wurde ein „Liquid-Metall-Alloy“ mit einer Wärmeleitfähigkeit von 80 W/mK eingesetzt. Die Materialparameter für diese Simulation sind im Anhang A.1 aufgelistet. Der Füllgrad eins entspricht in diesem Fall einer vollen Kontaktierung mit Kupfer und kann hier einer Anbindung durch eine Dickkupfertechnologie gleichgesetzt wer-

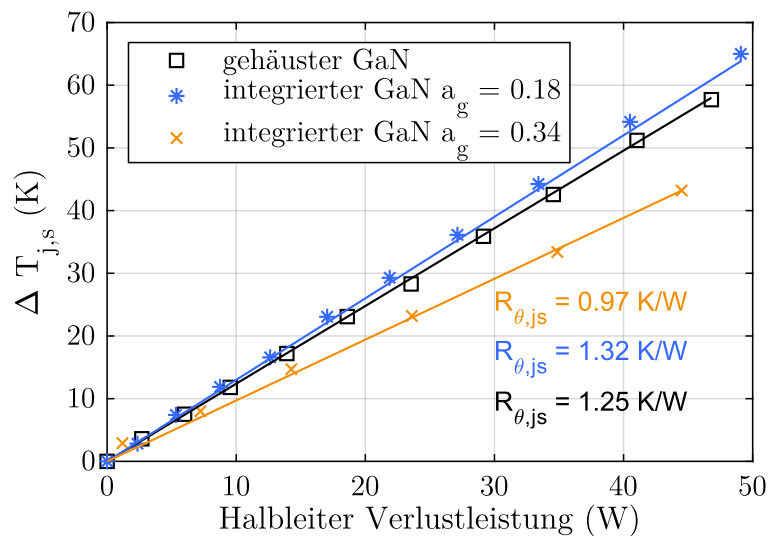
den. Um mit Vias einen gleichwertigen thermischen Widerstand zu erreichen, müsste der Füllgrad ca. 0.5 betragen. Ab diesem Wert führt eine weitere Steigerung des Füllgrades nur noch zu einer geringen Verbesserung des thermischen Widerstandes. Wird die in Abbildung 5.7 gezeigte Kupferlage  $A_{Cu}$  vergrößert, kann aufgrund der besseren Wärmespreizung der thermische Widerstand gesenkt werden.



**Abbildung 5.10:** Abhängigkeit des thermischen Widerstandes vom Füllgrad zwischen Kühler  $T_s$  und Sperrschichttemperatur  $T_j$  aus Abbildung 5.9.

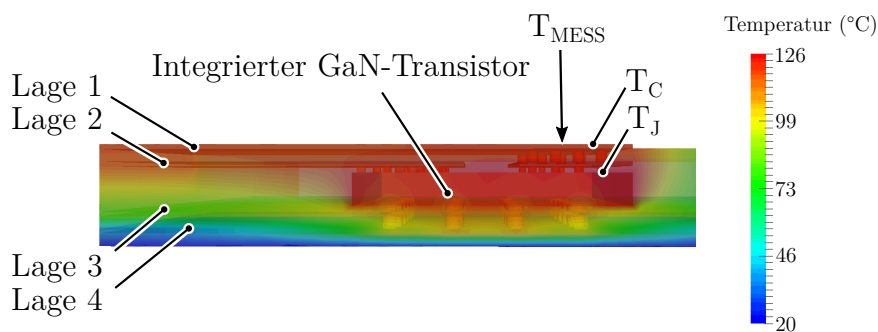
Abbildung 5.11 zeigt die messtechnisch ermittelte Temperaturerhöhung zwischen der Sperrschichttemperatur  $T_j$  und dem Kühlkörper  $T_s$  in Abhängigkeit von der Verlustleistung im Transistor für die Variante mit gehäusten sowie integrierten GaN-Transistoren. Das Schnittbild der gehäusten GaN-Transistoren ist in Abbildung 4.3(a) und das Schnittbild mit integrierten Transistoren in Abbildung 5.3 gezeigt. Die Anbindung zum Kühlkörper erfolgte über eine AlN-Keramik, die an den Transistoren bzw. der Leiterplatte durch eine Lötverbindung angebracht war. Zwischen der Keramik und dem Kühlkörper wurde auch hier ein „Liquid-Metall-Alloy“ mit einer Wärmeleitfähigkeit von 80 W/mK eingesetzt. Um eine konstante Kühlkörpertemperatur und somit eine bessere Vergleichbarkeit zu erreichen wurden die Messungen mit einem Wasserkühler durchgeführt. Eine Messung der Sperrschichttemperatur mit einer Infrarotkamera oder einem Temperatursensor ist bei dem in das Substrat integrierten Transistor kaum möglich. Daher wurde zur Bestimmung der Sperrschichttemperatur eine Kombination aus einer Oberflächentemperaturmessung und einer FEM-Simulation angewandt. Zuerst wurde die Temperatur  $T_{C,oben}$  mit einer Infrarotkamera (Flir 450sc) an dem gezeigten Messpunkt aus Abbildung 5.7 auf der Oberseite der Oberfläche gemessen. Mithilfe einer FEM-Simulation wurde anschließend das Temperaturgefälle zwischen Oberfläche und Chip ermittelt. Abbildung 5.12 zeigt bei dieser Simulation des Leis-

tungsmoduls mit einer Chiptemperatur von ca. 125 °C eine Temperaturdifferenz von 10 °C. Validiert wurde diese Simulation mit einer zusatzlichen faseroptischen Temperaturmessung mit dem Sensor Opsens OTG-M170 an der Oberflache einer freigelegten Chipmetallisierung. Zur Bestimmung der Sperrschichttemperatur wurde daher die Temperatur an der Oberflache vermessen und mit der Temperaturdifferenz aus der FEM-Simulation verrechnet.



**Abbildung 5.11:** Messung der Temperaturdifferenz zwischen dem Kuhlkorper und der Sperrschichttemperatur fur zwei Leistungsmodule mit integrierten Transistoren und einem konventionellen Aufbau mit gehauften GaN-HEMTs (GS66058T).

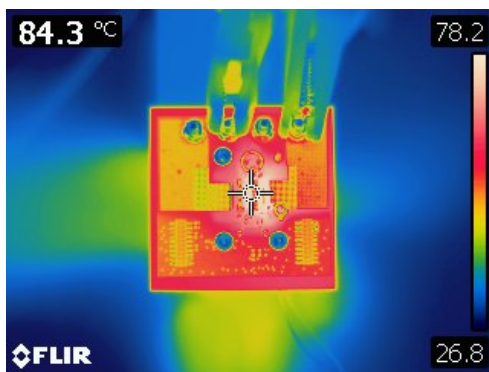
Aus den Ergebnissen aus Abbildung 5.11 ist zu erkennen, dass durch Erhohung des Fullgrades bzw. des Kupfergehaltes im Leistungsmodul der thermische Widerstand deutlich gesenkt wird. Im Vergleich zu einem konventionellen Aufbau mit gehauften GaN-Transistor kann auch der Warmewiderstand verbessert werden. Dies ist zum



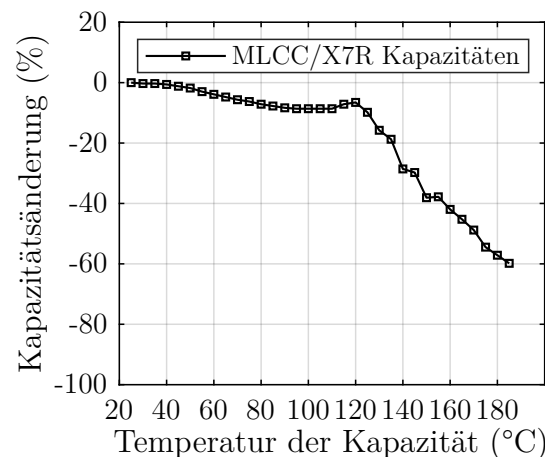
**Abbildung 5.12:** FEM-Simulation der Schaltzelle zur Ermittlung der Temperaturdifferenz zwischen Oberflache und Chip.

einen auf die bessere Wärmespreizung und zum anderen auf die bessere indirekte oberseitige Kühlung zurückzuführen.

Der kleine Temperaturgradient zwischen Chiptemperatur und Oberfläche hat aber auch Nachteile, da beim vertikalen Aufbau eine direkte thermische Kopplung mit den HF-Kapazitäten entsteht. Abbildung 5.13(a) zeigt eine Messung der Temperatur an der Oberfläche der HF-Kondensatoren bei einer Chiptemperatur von 100 °C. Dabei ist zu sehen, dass die Temperaturen sich aufgrund der guten thermischen Verbindung durch die Kupfer-Vias nur um 15,7 °C unterscheiden. Deshalb müssen die HF-Kapazitäten bei diesem Aufbau möglichst temperaturbeständig sein. Abbildung 5.13(b) zeigt die Kapazität der gewählten Kondensatoren (4 x 100 nF vom Typ C18080V104 der Firma KEMET) in Abhängigkeit von der Oberflächentemperatur. Mit diesen temperaturbeständigen Kapazitäten entsteht bis zu einer Oberflächentemperatur von 120 °C nur eine geringe Kapazitätsänderung.



(a) Temperatur der HF-Zwischenkreiskapazität bei einer Chiptemperatur von 100 °C.



(b) Kapazitätsänderung der HF-Zwischenkreiskondensatoren in Abhängigkeit von der Temperatur.

**Abbildung 5.13:** Thermische Kopplung zwischen Transistoren und Kapazität (Typ C18080V104 der Firma KEMET).

### 5.3 Mechanische Eigenschaften

Die Reduzierung der mechanischen Belastung von Bauelementen ist ein wichtiger Aspekt, um eine Produktlebensdauer zu verlängern. Die mechanische Spannung kann hierbei als Druckspannung bzw. auch als Zugspannung auftreten und wird aus der Normalkraft  $F_N$  und der Fläche  $A$  wie folgt berechnet:

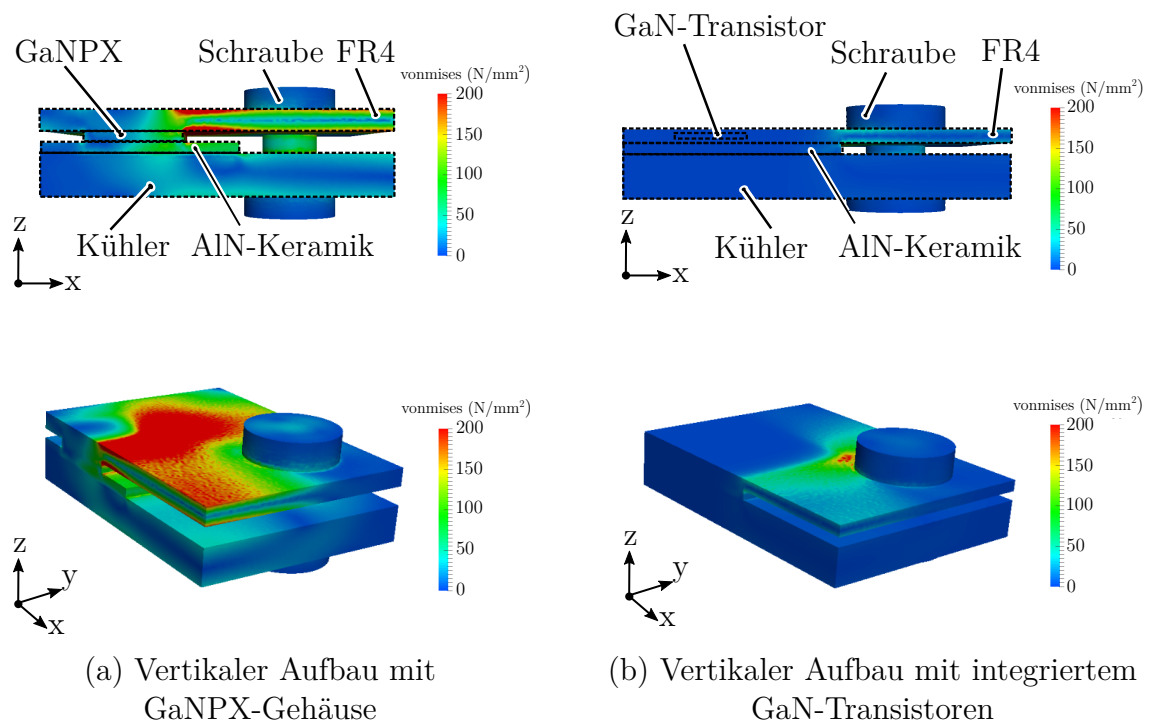
$$\sigma = \lim_{\Delta A \rightarrow 0} \frac{\Delta F_N}{\Delta A} \quad (5.9)$$

Ist die Kraft homogen auf einer Fläche verteilt, kann dieser Zusammenhang vereinfacht werden:

$$\sigma = \frac{F_N}{A} \quad (5.10)$$

Diese Krafteinwirkung auf die Chipfläche kann durch Ausdehnungen thermisch oder durch Schraub- oder Federanbindungen mechanisch entstehen [46]. Elektrische Bauelemente mit einer einseitigen elektrischen und thermischen Kontaktierung an der Leiterplatte können durch Lötverbindungen ohne zusätzliche Schraub- oder Federanbindungen an den Träger angebunden werden. Eine Weiterleitung der Wärme erfolgt dabei bei einem Keramiksubstrat oder einem Insulated-Metal-Substrate (IMS) durch den Träger selbst. Bei einer klassischen Leiterplatte kann, wie in [73] gezeigt, die Wärme über Thermal-Vias an den Kühlkörper weitergeleitet werden. Durch die zweiseitige Kontaktierung, in der die elektrische und thermische Anbindung jeweils an die Ober- bzw. Unterseite erfolgt, können der elektrische und der thermische Kreis getrennt werden. Bei dem in diesem Kapitel untersuchten Konzept mit einer vertikalen Schaltzelle wird eine zweiseitige Anbindung des Transistors vorausgesetzt. Deswegen wird die Anbindung zum Kühlkörper nachfolgend zwischen den Technologievarianten mit eingebetteten Transistoren und dem konventionellen GaNPX-Gehäuse verglichen.

Die Isolation zum Kühlkörper kann bei diskreten GaNPX-Bauelementen durch ein Thermal-Interface-Material (TIM) oder eine Keramik erfolgen. In dieser Arbeit wird eine AlN-Keramik zur Isolation und Anbindung an den Kühlkörper verwendet. Das Gehäuse der GaN-Transistoren ist dadurch zwischen Leiterplatte und Kühlkörper gespannt. Bei den integrierten Transistoren erfolgt die Wärmeableitung über Mikrovias, die ebenfalls über eine AlN-Keramik zum Kühlkörper isoliert sind. Die FEM-Simulationen aus Abbildung 5.14 vergleichen diese zwei Anordnungen auf ihre mechanischen Eigenschaften nach Befestigung an einen Kühlkörper. Aufgrund des symmetrischen Aufbaus ist hier nur ein Viertel der gesamten Schaltzelle zu sehen. In dieser Simulation sind keine thermomechanischen Effekte berücksichtigt, es soll nur der



**Abbildung 5.14:** Mechanische FEM-Simulation der Schaltzelle mit einer mechanischen Vorspannkraft von 100 N pro Schraube [46].

Unterschied zwischen den mechanischen Spannungen nach Anbringung an den Kühlkörper gezeigt werden. Die Vorspannkraft der Schrauben wurde in diesem Beispiel exemplarisch mit 100 N gewählt. Als Vergleichsspannung  $\sigma_v$  wurde die Von-Mises-Spannung verwendet, die für den räumlichen Spannungszustand wie folgt definiert ist [74]:

$$\sigma_v = \frac{1}{\sqrt{2}} \sqrt{(\sigma_x - \sigma_y)^2 + (\sigma_y - \sigma_z)^2 + (\sigma_z - \sigma_x)^2 + 6(\tau_{xy}^2 + \tau_{yz}^2 + \tau_{xz}^2)} \quad (5.11)$$

Die Formelsymbole  $\sigma_x$ ,  $\sigma_y$  und  $\sigma_z$  entsprechen dabei der Normalspannung und  $\tau_{xy}$ ,  $\tau_{yz}$  und  $\tau_{xz}$  den Schubspannungen mit den jeweiligen Bezugsrichtungen. Handelt es sich um einen ebenen Spannungszustand, vereinfacht sich der Zusammenhang zu folgender Gleichung:

$$\sigma_v = \sqrt{\sigma_x^2 + \sigma_y^2 - \sigma_x \sigma_y + 3(\tau_{xy}^2)} \quad (5.12)$$

Der Vergleich mit der mechanischen Von-Mises-Spannung zeigt beim herkömmlichen GaNPX-Gehäuse bei der gleicher Vorspannkraft pro Schraube eine deutlich höhere mechanische Spannung im Transistor. Aufgrund der Lage der Transistoren zwischen den Materialien überträgt sich die Vorspannung der Schraube ausschließlich über die Transistoren. Zudem können inhomogene Spannungsverteilungen im Transistor lokale

mechanische Spannungsüberhöhungen hervorrufen, die wiederum den Transistor beschädigen können. Die Verwendung von Abstandshaltern kann zwar vor mechanischem Überdruck schützen, aber Größenunterschiede aufgrund von Toleranzen und Verkipungen der Transistoren bringen Schwierigkeiten in der Realisierung mit sich. Beim Aufbau mit eingebetteten Transistoren treten hingegen kaum mechanische Spannungen auf, da sich die Transistoren im Kern der Leiterplatte und nicht zwischen den Materialien befinden. Daher kann durch das Einbetten der Transistoren in den Kern der Leiterplatte die mechanische Druckspannung durch Anbringung des Kühlkörpers im Vergleich zum GaNPX-Gehäuse reduziert werden.

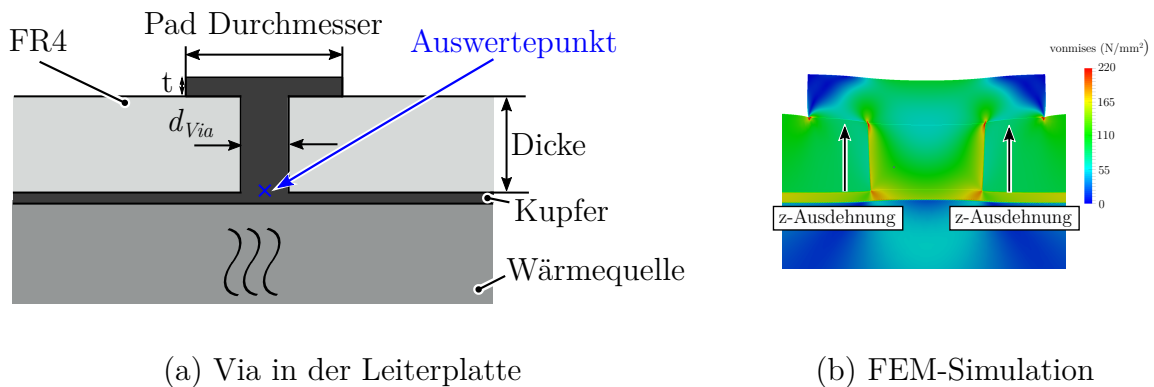
### Mechanische Beanspruchung von Mikrovias

Nicht nur äußere Krafteinwirkungen können die mechanischen Eigenschaften einer Schaltungszelle beeinflussen. Thermomechanische Spannungen, die durch Verlustwärme im Transistor entstehen, können zu Materialermüdung und Frühausfällen führen. Vias stellen hierbei eine Schwachstelle in der Schaltungszelle dar und werden deswegen in diesem Teilkapitel näher untersucht. In Abbildung 5.15(a) ist eine schematische Darstellung eines Vias in einer Leiterplatte und einer Wärmequelle gezeigt. Diese Anordnung von einem Via wurde mit einer Wärmequelle von  $100\text{ }^\circ\text{C}$ , einem Pad-Durchmesser von  $0.2\text{ mm}$ , einem Via Durchmesser  $d_{Via}$  von  $0.1\text{ mm}$ , einer FR4 Dicke von  $0.05\text{ mm}$  und einer Kupferdicke an der Oberseite  $t$  von  $0.035\text{ mm}$  in einer zweidimensionalen Anordnung simuliert (siehe Abbildung 5.15(b)). Um eine bessere visuelle Darstellung der Ausdehnung zu erhalten, ist die Längenausdehnung in z-Richtung um den Faktor 100 vergrößert. Aufgrund des höheren Ausdehnungskoeffizienten vom FR4  $\alpha_{FR4} = 50\text{ ppm/K}$  gegenüber Kupfer  $\alpha_{Cu} = 17\text{ ppm/K}$  zieht das FR4-Material das kupfergefüllte Via in z-Richtung. Dies verursacht mechanische Spannungen im Via, die zu einer Materialermüdung und zum Reißen führen können.

Ein wichtiger Parameter für die mechanische Spannung und somit für die Zuverlässigkeit der Schaltungszelle ist die Glasübergangstemperatur der jeweiligen Materialien. Isolationsmaterialien wie z. B. FR4 oder PI verändern die molekulare Struktur nach Überschreiten der jeweiligen Glasübergangstemperatur  $T_g$ , was in einem höheren Ausdehnungskoeffizienten  $\alpha$  resultiert [75].

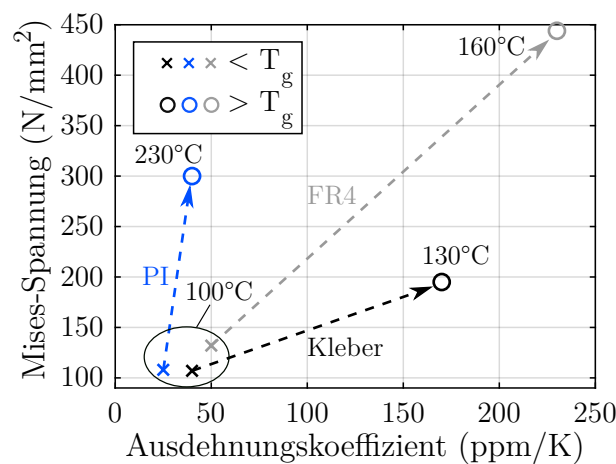
Abbildung 5.16 zeigt die Simulationsergebnisse der Von-Mises-Vergleichsspannung vor und nach der jeweiligen  $T_g$ -Temperatur für FR4, PI und einen Epoxidkleber zum Befestigen der Transistoren auf der Kupferfolie. Um Eck- und Randeckeffekte möglichst





**Abbildung 5.15:** Zweidimensionale Darstellung und Simulation eines Vias in einer FR4-Leiterplatte. Die Längenausdehnung in der FEM-Simulation ist um den Faktor 100 vergrößert.

gering zu halten, erfolgt die Auswertung in der Mitte zwischen der Halbleitermetallisierung und dem Via (siehe Abbildung 5.15(a)). Die Materialparameter dieser Simulation sind im Anhang A.1 aufgelistet. Alle Simulationen unter der  $T_g$ -Temperatur wurden bei einer konstanten Temperatur von 100 °C durchgeführt. Die zweite Simulation wurde 10 °C oberhalb der materialspezifischen  $T_g$ -Temperatur durchgeführt. Die Ergebnisse zeigen, dass beim FR4-Material eine Steigerung der mechanischen Spannung nach Überschreiten der  $T_g$ -Temperatur um 80 % entsteht. Bei PI sind die mechanischen Spannungen aufgrund des geringeren E-Moduls kleiner als bei FR4. Zudem befindet sich die Glasübergangstemperatur bei PI im Bereich von 220 °C bis 350 °C und ist damit höher als die von FR4 mit typischerweise 150 °C bis 200 °C. Die mechanischen Spannungen beim Epoxidkleber zeigen aufgrund des geringeren E-Moduls



**Abbildung 5.16:** Simulation der mechanischen Von-Mises-Spannung in Abhängigkeit vom Ausdehnungskoeffizienten für FR4, Polyimid und Epoxidkleber.

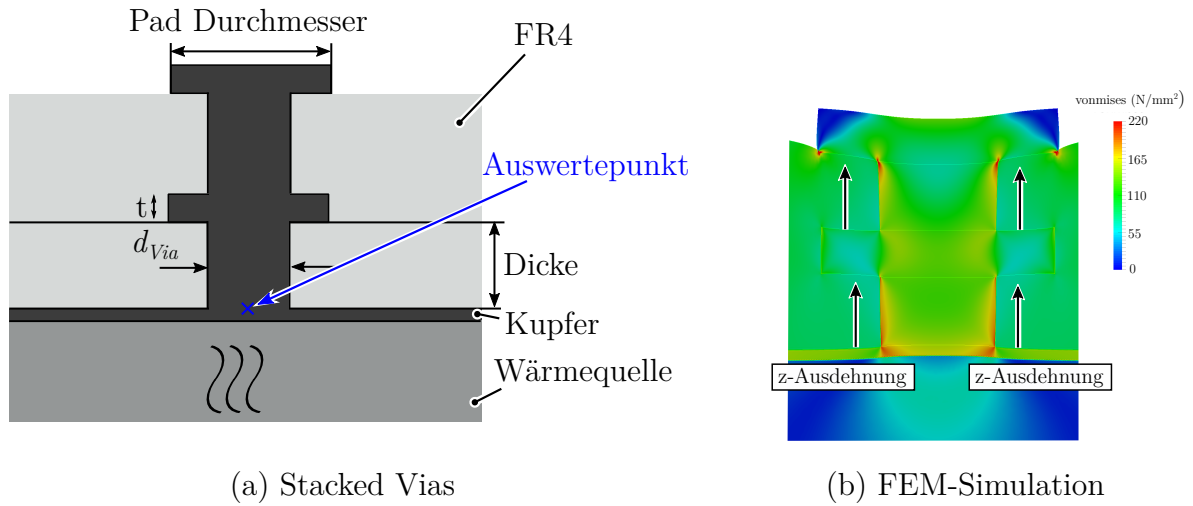
zwar geringere Werte, aber durch die niedrige Übergangstemperatur von  $120\text{ °C}$  treten diese bereits bei Temperaturen  $> 100\text{ °C}$  auf.

Sperrschichttemperaturen bei WBG-Transistoren können derzeit typischerweise von  $-55\text{ °C}$  bis  $175\text{ °C}$  betragen [76]. Daher müssen auch an das Trägermaterial ähnliche Temperaturanforderungen gestellt werden. Jedoch beschreibt die  $T_g$ -Temperatur den Bereich, in dem der Wandel von fest in weich bereits erfolgt ist und somit das Material seine strukturellen Eigenschaften verändert hat. Dabei ändert sich der Ausdehnungskoeffizient  $CTE$  bereits vor dieser  $T_g$ -Temperatur erheblich [75], wodurch eine steigende Beanspruchung der Umgebung entsteht. Deswegen müssen die Materialien so gewählt werden, dass die Sperrschichttemperatur der Transistoren einen ausreichend großen Abstand von min.  $20\text{ °C}$  zur Glasübergangstemperatur aufweist. Allgemein lassen sich folgende Anforderungen an das Trägermaterial formulieren [77]:

- Hohe Glasübergangstemperatur  $T_g$
- Geringe thermische Ausdehnung
- Hohe Wärmeleitfähigkeit
- Hohe Isolationsfestigkeit
- Geringe Feuchtigkeitsaufnahme
- Geringe Alterungserscheinungen bzw. hohe Zuverlässigkeit
- Geringe Kosten

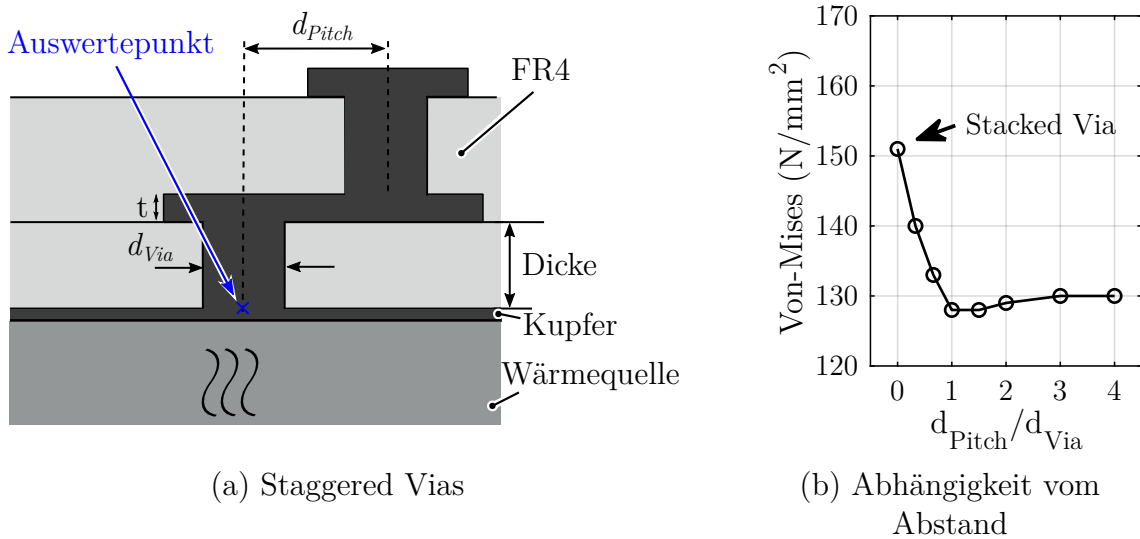
Um mehrere Lagen miteinander zu verbinden, können Vias direkt übereinander angeordnet werden. Diese Art von Durchkontaktierung wird auch „Stacked Vias“ genannt und ist in Abbildung 5.17 dargestellt. Die Simulation dieser Anordnung mit den gleichen geometrischen Parametern wie in Abbildung 5.15 zeigt, dass durch ein übergeordnetes Via die mechanische Spannung zwischen dem ersten Via und der Kupfermetallisierung im Vergleich zu einem einzelnen Via von  $132\text{ N/mm}^2$  auf  $151\text{ N/mm}^2$  erhöht wird. Der Grund hierfür ist, dass bei zwei übereinander angeordneten Vias das FR4-Material an zwei Flächen das Via nach oben drückt und somit die mechanische Spannung erhöht (siehe Abbildung 5.17(b)).

Eine weitere Möglichkeit, zweilagige Durchkontaktierungen zu realisieren, besteht darin, versetzte Vias zu verwenden (siehe Abbildung 5.18), die auch „Staggered Vias“ genannt werden. In Abbildung 5.18(b) ist die Von-Mises-Spannung in Abhängigkeit vom Abstand  $L$  für diese räumlich versetzten Vias dargestellt. Der Fall  $d_{Pitch}/d_{Via} = 0$



**Abbildung 5.17:** Zweidimensionale Darstellung und Simulation von übereinander angeordneten Vias in einer FR4-Leiterplatte mit einer Wärmequelle mit einer Temperatur von 100 °C. Die Längenausdehnung in der FEM-Simulation ist um den Faktor 100 vergrößert.

spiegelt hier die Variante mit den Stacked Vias wider. Die Simulationsergebnisse zeigen, dass mit Steigerung des Abstandes zwischen den Vias die mechanische Spannung bis zum Wert eines einzelnen Vias abfällt. Um eine möglichst geringe Belastung der Vias zu erreichen, sollte deswegen auf „Stacked Vias“ verzichtet und ein ausreichender Abstand zwischen den Vias vorgesehen werden. Bei allen nachfolgenden Prototypen wurden „Staggered Vias“ eingesetzt.



**Abbildung 5.18:** a) Zweidimensionale Darstellung von versetzt angeordneten Vias in einer FR4-Leiterplatte. b) Abhängigkeit der von Von-Mises-Spannung in Abhängigkeit des Abstandes zwischen den Vias bei einer Wärmequelle mit einer Temperatur von 100 °C.

## 5.4 Grenzen und Zuverlässigkeit von Schaltzellen mit integrierten Transistoren

Ein entscheidendes Kriterium, ob eine Technologie im leistungselektronischen Umfeld eingesetzt werden kann, ist die Zuverlässigkeit. Die Zuverlässigkeit beschreibt die Eigenschaft eines elektronischen Bauelements, ein vorgeschriebenes Verhalten über einen gewissen Zeitraum zu gewährleisten. Die Zuverlässigkeit ist keine direkt messbare Größe und kann nur durch eine gewisse wahrscheinliche Lebensdauer oder Ausfalldauer wiedergegeben werden. Aufgrund von unterschiedlichen, oft gleichzeitig wirkenden äußeren Umwelteinflüssen lässt sich eine allgemeingültige Lebensdauer meistens nicht exakt bestimmen. Folgend werden Gründe, die für Ausfälle von elektronischen Baugruppen verantwortlich sein können, aufgelistet:

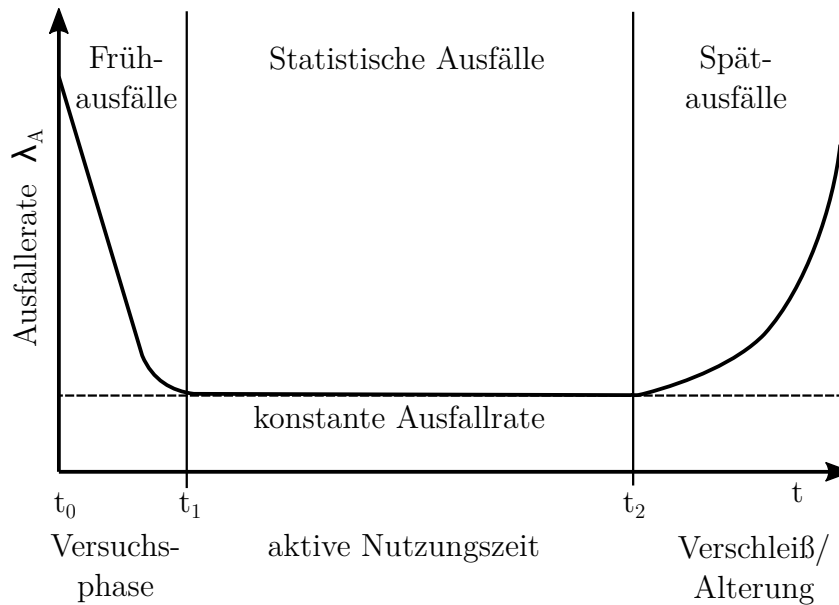
- Ermüdung/Verschleiß
- Verschmutzung
- Luftfeuchtigkeit
- Vibration
- Temperatur
- Elektromagnetische Störungen

Eine Kenngröße, die die Zuverlässigkeit eines Objekts beschreibt, ist die Ausfallrate  $\lambda_A(t)$ , die sich wie folgt aus der zeitlichen Ableitung der Zuverlässigkeit  $dR_Z(t)/dt$  und der Zuverlässigkeit  $R_Z(t)$  selbst zusammenstellt [78]:

$$\lambda_A(t) = \frac{-\frac{dR_Z(t)}{dt}}{R_Z(t)} \quad (5.13)$$

Abbildung 5.19 zeigt eine typische Ausfallrate in Abhängigkeit von der Nutzungszeit, die sich aus drei Bereichen zusammensetzt. In der ersten Versuchsphase  $t_0$  bis  $t_1$  treten die Frühausfälle auf, die z. B. auf Produktions- oder Materialfehler zurückzuführen sind. Die nächste Phase  $t_1$  bis  $t_2$  stellt die aktive Nutzungszeit der Baugruppe dar, in der eine konstante Ausfallrate auftritt. Die letzte Phase  $> t_2$  ist der Verschleiß bzw. die Alterung, in der zunehmende Alterungserscheinungen die Ausfallrate erhöhen.

Damit die Ausfallraten in jeder Phase gering gehalten werden können, müssen die Leistungsmodule mit integrierten Transistoren nach möglichen Grenzen und Schwächen untersucht werden. In dieser Arbeit wird keine komplette Spezifizierung eines



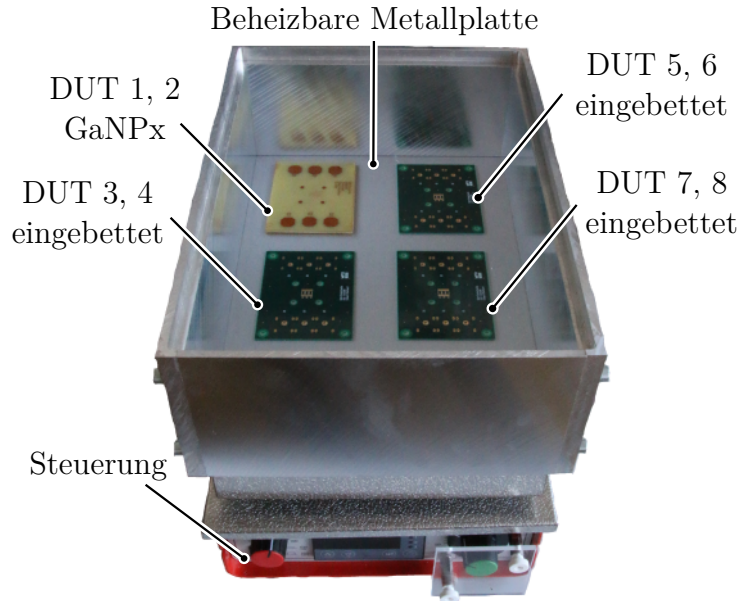
**Abbildung 5.19:** Verlauf der Ausfallrate über der Zeit [78].

Leistungsbauelements durchgeführt. Es werden lediglich kritische Aspekte wie z. B. die durch dünne Substrate entstehende hohe Belastung durch elektrische Felder, die Lebensdauer bei einer zyklischen Belastung und die Veränderung von Materialeigenschaften durch Alterung untersucht.

### 5.4.1 Hochtemperaturlagerung

Die Transistoren und die umgebende Aufbau- und Verbindungstechnik sind im Betrieb hohen Temperaturen ausgesetzt. Dies setzt über den Lebenszeitraum eine hinreichende Temperaturfestigkeit für das Leistungsmodul voraus. Um eine Temperaturbeanspruchung nachzustellen, kann die Hochtemperaturlagerung verwendet werden, die zu einer beschleunigten Alterung des Materials führt. Dadurch können schneller Auswirkungen auf die Spannungsfestigkeit und die elektrischen Eigenschaften untersucht werden. Die Hochtemperaturlagerung ist für leistungselektronische Anwendungen nach der Norm IEC 60068-2-2 spezifiziert und stellt somit einen Standardtest für leistungselektronische Produkte dar.

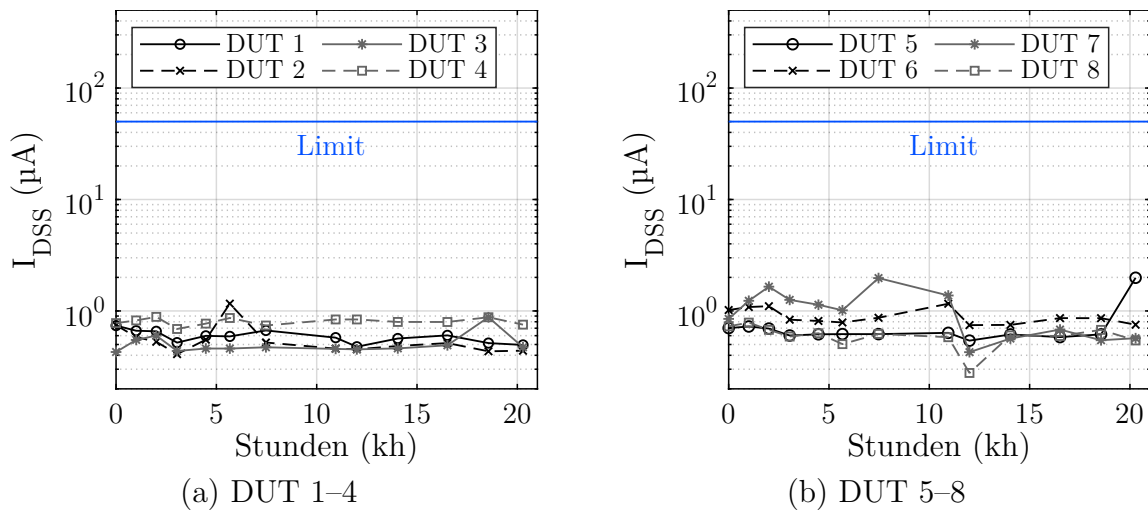
Abbildung 5.20 zeigt den Testaufbau mit einer Heizplatte und einer Metallwand. Um das Wärmegefälle zu reduzieren, wurde diese Kammer während des Tests mit einem Metalldeckel verschlossen. Aufgrund der geringen Dicke der Leiterplatte (ca. 1 mm) und der geschlossenen Umgebung kann in guter Näherung von einer konstanten Temperatur im kompletten Testobjekt ausgegangen werden. Die Temperaturlagerung wurde mit zwei gehäusten GaN-HEMTs GS66058T (DUT (Device Under Test) 1, 2), die



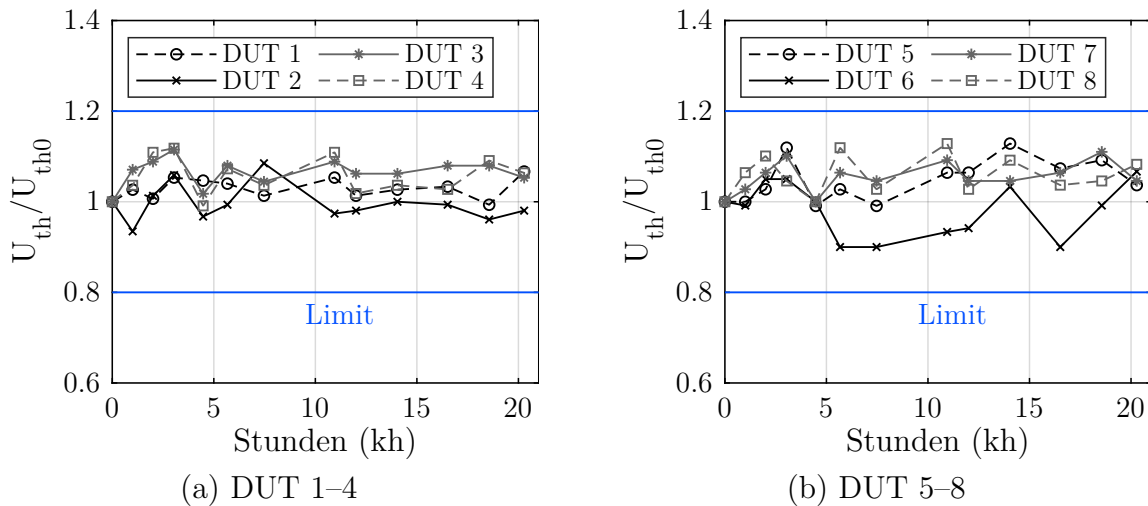
**Abbildung 5.20:** Hochtemperaturlagerung mit einer Temperatur von 125 °C und zwei gehäusten Transistoren (GS66058T) sowie sechs eingebetteten Transistoren (GS66058D).

an die Rückseite der Leiterplatte gelötet waren, und sechs in die Leiterplatte integrierten Transistoren (DUT 3–8) durchgeführt. In regelmäßigen Zeitintervallen wurden die elektrischen Parameter wie die Schwellspannung  $U_{th}$ , die bei einer Spannung  $U_{DS} = U_{GS}$  und einem Gatestrom von 7 mA definiert ist [50], und der Leckstrom  $I_{DSS}$  bei einer Spannung  $U_{GS} = 0$  V erfasst. Als Ausfallkriterium für den Leckstrom  $I_{DSS}$  wurde ein Überschreiten des laut Datenblatt [50] maximalen Leckstroms von  $> 50 \mu\text{A}$  bei einer Spannung  $U_{DS}$  von 650 V verwendet. Für die Schwellspannung wurde als Ausfallkriterium wie in den Untersuchungen in [79] eine Veränderung von  $\pm 20\%$  gewählt. Abbildung 5.21 und 5.22 zeigen die Ergebnisse der Hochtemperaturlagerung bis zu einer Dauer von 20 000 h.

Die gemessenen Leckströme lagen über der gesamten Testdauer in dem vom Hersteller spezifizierten Wertebereich. Auch bei den Schwellspannungen entstanden keine signifikanten Veränderungen bis zum Abschluss der Tests. Die Ergebnisse zeigen, dass auch bei Alterung des Materials die Leckstromfestigkeit der Aufbau- und Verbindungstechnik für die getesteten Schaltzellen bis 650 V gegeben ist. Auch die Schwellspannungen zeigten keine Veränderungen, die die Funktionen der Transistoren beeinträchtigen könnten.



**Abbildung 5.21:** Leckstrom  $I_{DSS}$  in Abhängigkeit von der Lagerungsdauer bei einer Temperatur von  $125^\circ C$ . DUT 1–2 sind konventionelle, gehäusete Bauelemente (GS66508T) und DUT 3–8 Leistungsmodule mit integrierten Transistoren.



**Abbildung 5.22:** Schwellspannung  $U_{th}$  in Abhängigkeit von der Lagerungsdauer bei einer Temperatur von  $125^\circ C$ . DUT 1–2 sind konventionelle Bauelemente (GS66508T) und DUT 3–8 Leistungsmodule mit integrierten Transistoren.

### 5.4.2 Analyse der dielektrischen Durchschlagfestigkeit von Epoxidharz-Glasgewebe-Verbundwerkstoffen und Polyimid

Der Trend zur Miniaturisierung führt auch bei dielektrischen Isolationsmaterialien zu wachsenden Anforderungen. WBG-Leistungstransistoren, die im Vergleich zu Siliziumtransistoren zehnmal höhere kritische elektrische Feldstärken und dadurch kleinere Driftlängen aufweisen, ermöglichen kompaktere Aufbauten. Dies ist aber vor allem im

leistungselektronischen Umfeld mit einer höheren Spannungsfestigkeit der Materialien verbunden. Klassische Isolationsmaterialien wie z. B. FR4 weisen typische elektrische Durchbruchfeldstärken von ca. 30 kV/mm auf. Mit Polyimid lassen sich Durchbruchfeldstärken von über 100 kV/mm realisieren, wodurch eine höhere Spannungsfestigkeit erreicht bzw. dünnere Strukturen bei gleicher Spannungsfestigkeit ermöglicht werden. Die Durchbruchfeldstärke kann bei Isolationsmaterialien nicht als Materialkonstante betrachtet werden [80], da Feststoffe noch andere Abhängigkeiten aufweisen wie z. B. die Temperatur, die Spannungsanstiegsgeschwindigkeit bzw. die Frequenz, das Layout, das Volumen oder die Zeitdauer der angelegten Spannung. Deswegen spiegelt die Durchbruchfeldstärke aus dem Datenblatt nur einen Testfall wider und kann somit nicht als allgemeine Materialkonstante betrachtet werden. Da es nur eingeschränkte Kenntnisse zur elektrischen Festigkeit bei Leistungsmodulen mit integrierten Transistoren und sehr dünnen Substraten gibt, wird diese näher untersucht.

Bei einem Spannungsdurchschlag im Feststoff kann in Abhängigkeit von der zeitlichen Beanspruchung zwischen folgenden Durchschlägen unterschieden werden [80]:

- Dielektrischer bzw. elektrischer Durchschlag
- Thermischer Durchschlag
- Erosions-/alterungsbedingter Durchschlag

Beim dielektrischen Durchschlag werden die Ionen bzw. Elektronen durch das angelegte elektrische Feld beschleunigt. Kollidiert ein Elektron mit einem Molekül, löst dieses weitere Ladungsträger heraus, die wiederum vom elektrischen Feld beschleunigt werden. Diese Stoßionisation führt zu einem lawinenartigen Durchschlag. Ein Merkmal des dielektrischen Durchschlags ist, dass dieser nach sehr kurzer Zeit  $< 1$  s erfolgt.

Der thermische Durchschlag basiert auf einem Leckstrom, der im Isolator fließt und durch Verlustleistung den Isolierstoff erwärmt. Die dielektrischen Verluste hängen dabei von der angelegten Spannung  $U$ , der Kapazität  $C$  und dem temperaturabhängigen Verlustfaktor  $\tan \delta$  wie folgt ab:

$$P_{\delta} = \omega U^2 C \tan \delta(T) \quad (5.14)$$

Isolierstoffe wie FR4 oder PI weisen einen positiven Temperaturkoeffizienten auf, dies führt bei steigender Temperatur zu einer erhöhten Leitfähigkeit und somit zu einem erhöhten Strom. Das heißt, solange die Wärmeleistung im Isolierstoff, die durch eine interne Quelle  $P_Q$  und die dielektrische Verlustleistung  $P_{\delta}$  entsteht, kleiner ist als die



maximal abzuführende Wärmeleistung  $P_{ab}$ , bleibt der Zustand stabil [81]. Dadurch ergibt sich das Stabilitätskriterium für einen thermischen Durchschlag wie folgt:

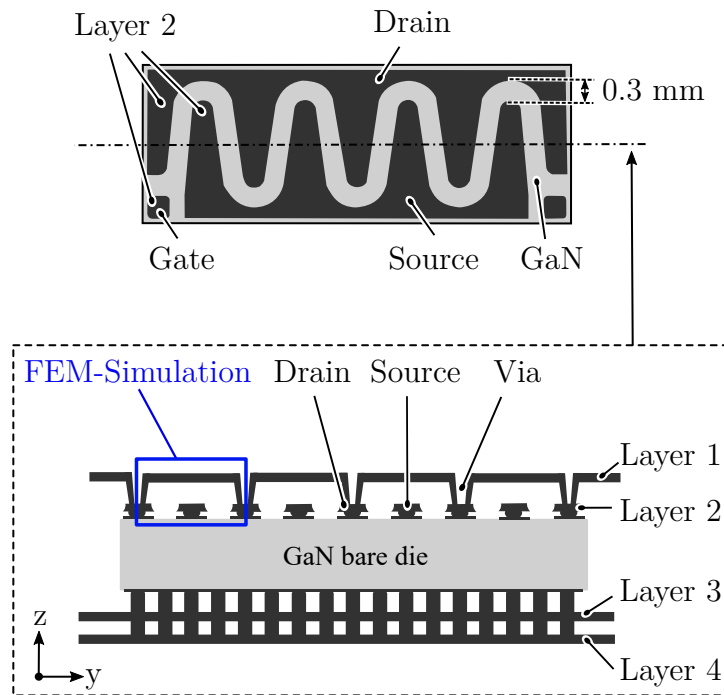
$$P_{ab} \geq P_Q + P_\delta \quad (5.15)$$

Dieser Zusammenhang lässt auch schlussfolgern, dass eine höhere thermische Leitfähigkeit des Materials oder ein geringerer thermischer Widerstand zum Kühlkörper die Durchbruchfestigkeit erhöht.

Der erosions- bzw. alterungsbedingte Durchschlag wird durch verschiedene kombinierte Einflüsse wie z. B. Teilentladungen, Feuchte oder thermische bzw. chemische Alterung verursacht. Teilentladungen entstehen vor allem durch inhomogene Felder z. B. an den Spitzen oder scharfen Kanten. Diese überhöhten Felder führen zu Teilentladungen, die mit Wärme das Material zersetzen und zu einer wachsenden Rissbildung führen [82, 83]. Diese Rissbildung, auch „Treeing“ genannt, führt nach einer gewissen Zeit zum Gegenpotenzial und damit zu einem Durchschlag. Aber auch chemische und thermische Alterungsprozesse, die zu Fehlstellen führen, tragen zu einem Verlust der Isolationseigenschaften und somit zu einem alterungsbedingten Durchschlag bei [84].

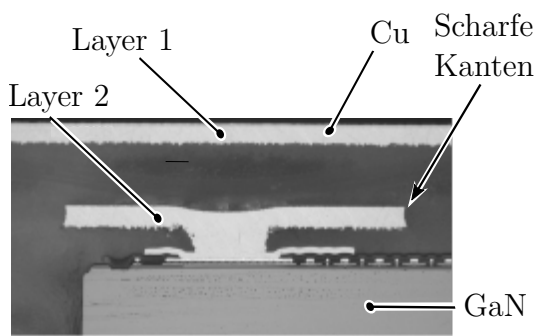
### Elektrische Felder in der Schaltzelle

Um das Durchbruchverhalten der Schaltzelle besser zu verstehen, werden zuerst die kritischen Pfade in der Schaltzelle lokalisiert [85]. In Abbildung 5.23 ist die Draufsicht auf die zweite Kupferlage in der Schaltzelle mit integrierten GaN-Transistoren zu sehen. Ergänzend ist ebenfalls ein Querschnitt der gesamten Schaltzelle dargestellt. Die erste kritische Distanz befindet sich zwischen den Drain- und Source-Kupferflächen mit einem lateralen Abstand von 0.3 mm. Diese Mäanderstruktur bildet mit einer Zwischenkreisspannung von 650 V ein laterales, quasi homogenes Feld von 2.2 kV/mm. Der nächste kritische Pfad, der im Querschnitt von Abbildung 5.23 zu sehen ist, befindet sich zwischen der ersten und zweiten Lage der Drain- und Source-Potenziale. Die in dieser Arbeit untersuchte Schaltzelle weist eine Schichtdicke zwischen der ersten und zweiten Lage von 0.1 mm auf, somit ist dieser Pfad kritischer als der laterale Pfad. Zudem zeigt eine Schliffanalyse, die in Abbildung 5.24(a) dargestellt ist, scharfe Kanten an den Kupferleitern, die durch die Galvanik entstehen und zu erhöhten elektrischen Feldern führen. Abbildung 5.24(b) zeigt eine FEM-Simulation der in Abbildung 5.23 blau gekennzeichneten Fläche mit einer Spannung  $U_{DS}$  von 650 V. Zwischen den Drain- und Source-Kontakten bildet sich ein quasi homogenes Feld mit Feldstärken von 6.2 kV/mm bis 6.7 kV/mm. Kritischer hingegen sind die überhöhten

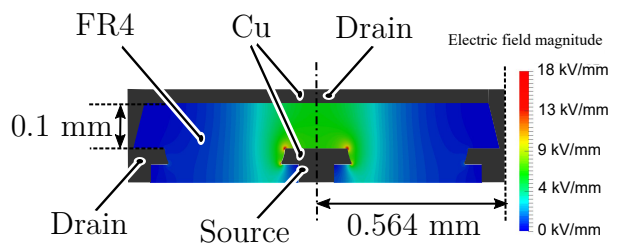


**Abbildung 5.23:** Draufsicht auf die zweite Kupferlage mit einem Querschnitt der Leiterplatte mit eingebetteten GaN-Transistoren (GS66508T) [85].

Felder an den Ecken der Kupferflächen mit Feldstärken von bis zu  $18 \text{ kV/mm}$ . Diese sind stark vom Radius der Ecken abhängig und können durchaus noch größer bzw. auch kleiner ausfallen. Es kann davon ausgegangen werden, dass der Durchbruch an diesen Feldüberhöhungen stattfindet.



(a) Schliffbild der elektrischen Leiter

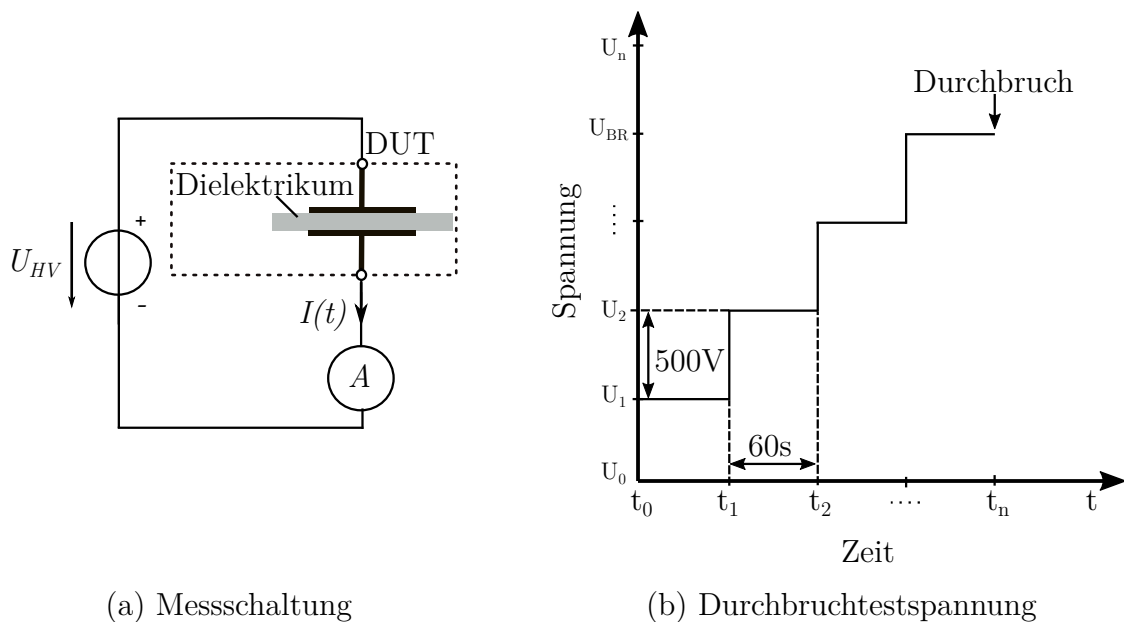


(b) FEM-Simulation der elektrischen Feldstärke in der Schaltzelle

**Abbildung 5.24:** Schliffbild und FEM-Simulation der Drain-Source-Kontakte der Aufbau- und Verbindungstechnik.

### Messaufbau

Bei Durchschlägen in Feststoffen gibt es einige Einflussfaktoren wie das Volumen, die Temperatur, die Frequenz, das Layout oder die Alterung. Um eine Vergleichbarkeit zwischen den Materialien von unterschiedlichen Herstellern zu erreichen, braucht es Testnormen, die einheitliche Vorgehensweisen sicherstellen. Eine gängige Norm für Leiterplattenmaterialien ist die IPC-TM-650, in der die Bestimmung der Spannungsfestigkeit mit einer Gleichspannung spezifiziert ist [86], die jedoch nicht die anwendungsbezogene Spannungsfestigkeit widerspiegelt. Um eine anwendungsspezifische Durchbruchfestigkeit zu ermitteln, ist eine separate Messung notwendig. Abbildung 5.25(a) zeigt schematisch den verwendeten Messaufbau mit einem Testobjekt DUT und einer DC-Hochspannungsquelle  $U_{HV}$  vom Typ FUG HCL350-20000. Die Vorgehensweise bei der Testspannung in Abbildung 5.25(b) wurde an die Norm IPC-TM-650 angelehnt. Es wurde dabei eine konstante Prüfspannung am Testobjekt für eine Zeitdauer von jeweils 60s angelegt. Nach Ablauf dieser Zeit wurde die Spannung in 500V-Schritten bis zum Spannungsdurchbruch erhöht. Anders als in der Norm wurden alle Tests bei Raumtemperatur ohne Ölbad durchgeführt, da z. B. auch das Eindringen von Öl das Messergebnis beeinflussen kann. Um Entladungen an der Oberfläche zu vermeiden, wurde bei allen Testobjekten eine Isolationsfolie angebracht. Zudem wurden bei allen Testobjekten die GaN-Transistoren durch FR4 ersetzt, da nicht der interne Durchbruchmechanismus der Transistoren selbst, sondern



**Abbildung 5.25:** Messschaltung mit der dazugehörigen Testspannung zur Ermittlung der Durchbruchfestigkeit.

die Spannungsfestigkeit der Aufbau- und Verbindungstechnik ermittelt werden sollte. Jede nachfolgende Messung wurde mit einer Anzahl von fünf Prüflingen durchgeführt. In diesem Messaufbau wird eine Gleichspannung zur Ermittlung der Durchbruchfestigkeit verwendet. Am Ausgang der Schaltzelle tritt jedoch eine pulsweitenmodulierte Spannung mit hochfrequenten Spannungen auf. Abhängig von der Frequenz können allerdings Wechselspannungen die Durchbruchfestigkeit noch weiter reduzieren [87, 88]. Deswegen kann davon ausgegangen werden, dass die tatsächliche Durchbruchfestigkeit geringer ausfällt.

### Experimentelle Ergebnisse

Die Charakterisierung des Durchbruchverhaltens wurde zuerst an einem Testaufbau mit zwei parallelen Platten durchgeführt (siehe Abbildung 5.26). Diese Teststruktur zeigt das Durchbruchverhalten des Dielektrikums mit einem elektrischen Feld in z-Richtung. Untersucht wurden ein klassisches FR4-Material (Technolam NPG 150 2116MR), ein temperaturbeständiges Hoch- $T_g$ -Isolationsmaterial (Hitachi MCL-E-700) und Polyimid (Panasonic RF775). Die Eigenschaften dieser Materialien sind in Tabelle 5.2 aufgeführt.

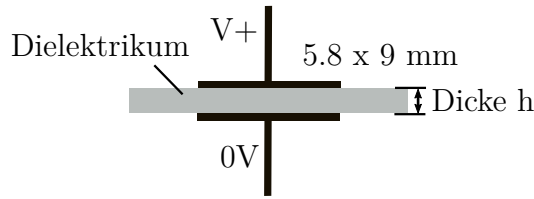
**Tabelle 5.2:** Verwendete Materialien für den Durchbruchtest mit der Zwei-Platten-Teststruktur [89–91].

	NPG 150	MCL-E-700	RF775
Dielektrikum	FR4	Hoch- $T_g$ -Glass Epoxy	Polyimid
Glasübergangstemperatur $T_g$	150 °C	250 °C	330 °C
Durchbruchfeldstärke	40 kV/mm	n.a.	275 kV/mm
Schichtdicke	0.1 mm	0.1 mm	0.025 mm

Zur Darstellung der Ausfallwahrscheinlichkeit  $F(U_{BR})$  wird die Weibull-Verteilungsfunktion, die in Gleichung 5.16 gezeigt ist, verwendet. Dabei entspricht  $U_{BR}$  der Lebensdauer bzw. Durchbruchspannung,  $\eta$  der charakteristischen Lebensdauer und  $\beta$  dem Formfaktor.

$$F(U_{BR}) = 1 - e^{-\left(\frac{U_{BR}}{\eta}\right)^\beta} \quad (5.16)$$

Für die Verteilung der Messwerte wurde der Median Rank aus Gleichung 5.17 ver-

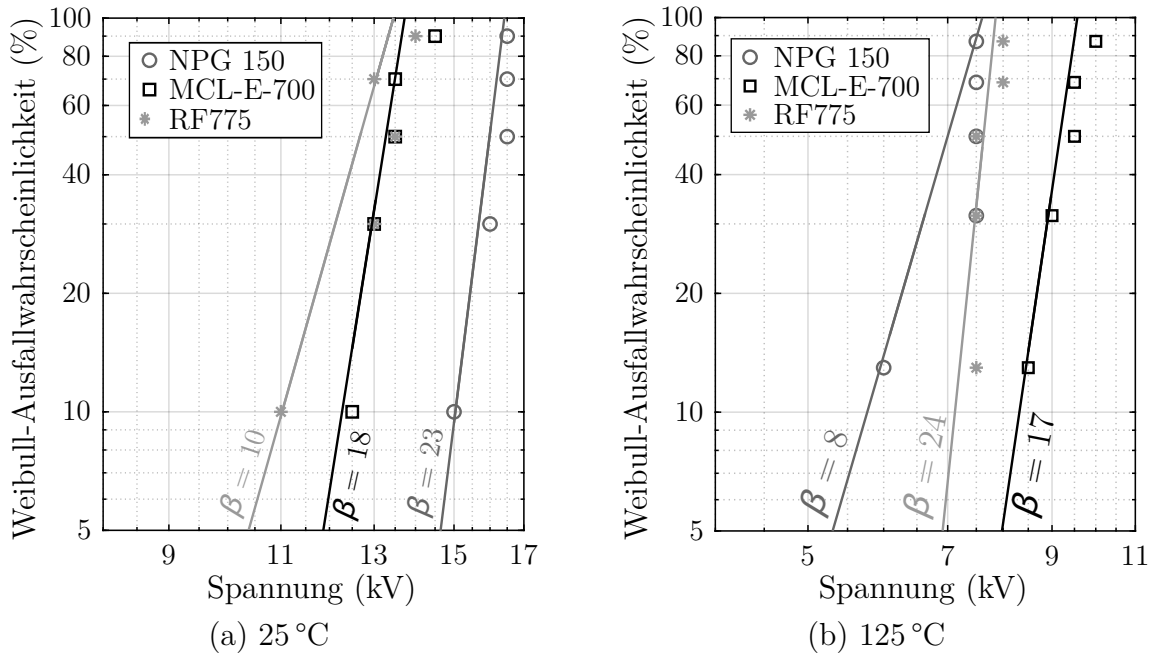


**Abbildung 5.26:** Zwei-Platten-Teststruktur zur Ermittlung der Durchbruchfestigkeit ohne Einflüsse des Layouts.

wendet, wobei  $i$  der Nummer und  $n$  der Gesamtanzahl der Prüflinge entspricht.

$$MR = \frac{i - 0.3}{n + 0.4} \tag{5.17}$$

Abbildung 5.27 vergleicht die Durchbruchfestigkeit anhand der Weibull-Verteilung für 25 °C und 125 °C. Bei Raumtemperatur weist das FR4-Material mit einer  $T_g$ -Temperatur von 150 °C die höchste charakteristische Lebensdauer  $\eta$  (Ausfallwahrscheinlichkeit von 63% ) von 16.4 kV auf. Polyimid erreicht trotz der geringen Schichtdicke von nur 0.025 mm eine charakteristische Lebensdauer bei der Durchbruchfestigkeit von 13.4 kV. Das Hoch- $T_g$ -Isolationsmaterial Hitachi MCL-E-700 erzielt eine ähnliche Durchbruchfestigkeit wie Polyimid von 13.6 kV.



**Abbildung 5.27:** Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung der Zwei-Platten-Teststruktur gemessen bei 25 °C und 125 °C.

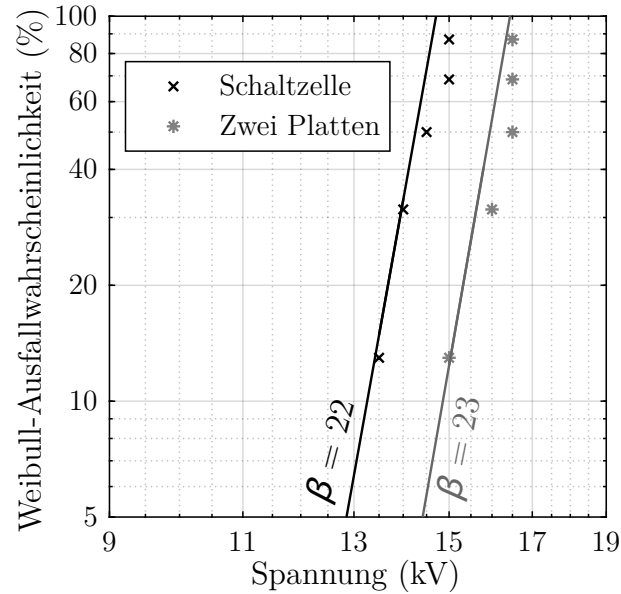
Werden die Materialien z. B. durch den Leistungstransistor oder die Umgebung erwärmt, führt dies zu einer Änderung der Materialeigenschaft [75]. Deswegen wurde eine weitere Messreihe mit einer Materialtemperatur von 125 °C durchgeführt. Beim NPG-2116MR fällt die charakteristische Lebensdauer  $\eta$  bei 125 °C um 61 % auf 6.4 kV, beim PI um 40 % auf 7.8 kV und beim Hoch- $T_g$ -Material um 38 % auf 8.5 kV ab. Der starke Rückgang vom FR4-Material ist auf die geringe Glasübergangstemperatur zurückzuführen. Befindet sich das Material in der Nähe der Glasübergangstemperatur, verändert dieses vor dem Erreichen der  $T_g$ -Temperatur bereits seine Eigenschaften, wodurch eine verminderte Durchbruchfestigkeit entsteht. Aufgrund der höheren Schichtdicke im Vergleich zu PI und des hohen  $T_g$ -Wertes weist das MCL-E-700 die höchste Durchbruchfestigkeit bei einer Temperatur von 125 °C auf.

Vergleicht man die quasi homogene elektrische Feldstärke in z-Richtung der Durchbruchspannung bei 10 % Ausfallwahrscheinlichkeit (Quantil der Weibull-Verteilung) des Materials NPG-2116MR mit dem Datenblattwert von 40 kV/mm, ist ein erheblicher Unterschied festzustellen.

$$E_{10\%} = \frac{\int_0^h E_z dl}{h} = \frac{U_{BR,10\%}}{h} = 150 \text{ kV/mm} \quad (5.18)$$

Ein wesentlicher Grund ist neben den unterschiedlichen äußeren Umwelteinflüssen die Fläche der Testobjekte. Die Fläche der untersuchten Teststruktur beträgt 0.5 cm<sup>2</sup>, was in etwa der Fläche des Chiplayouts entspricht. Laut der Norm IPC-TM-650 ist eine Größe des Testobjekts von 38 cm<sup>2</sup> spezifiziert [86]. Durch die größere Fläche sind mehr Fehlstellen bzw. Schwachstellen vorhanden, an denen ein Durchbruch stattfinden kann. Ähnliches konnte auch anhand einer Untersuchung mit lokal erhöhten Feldern in [92] gezeigt werden. In dieser Arbeit wird eine sechsmal so hohe elektrische Feldstärke mit einem lokal erhöhten inhomogenen Feld im Vergleich zu einem über den ganzen Testkörper homogenen Feld erreicht.

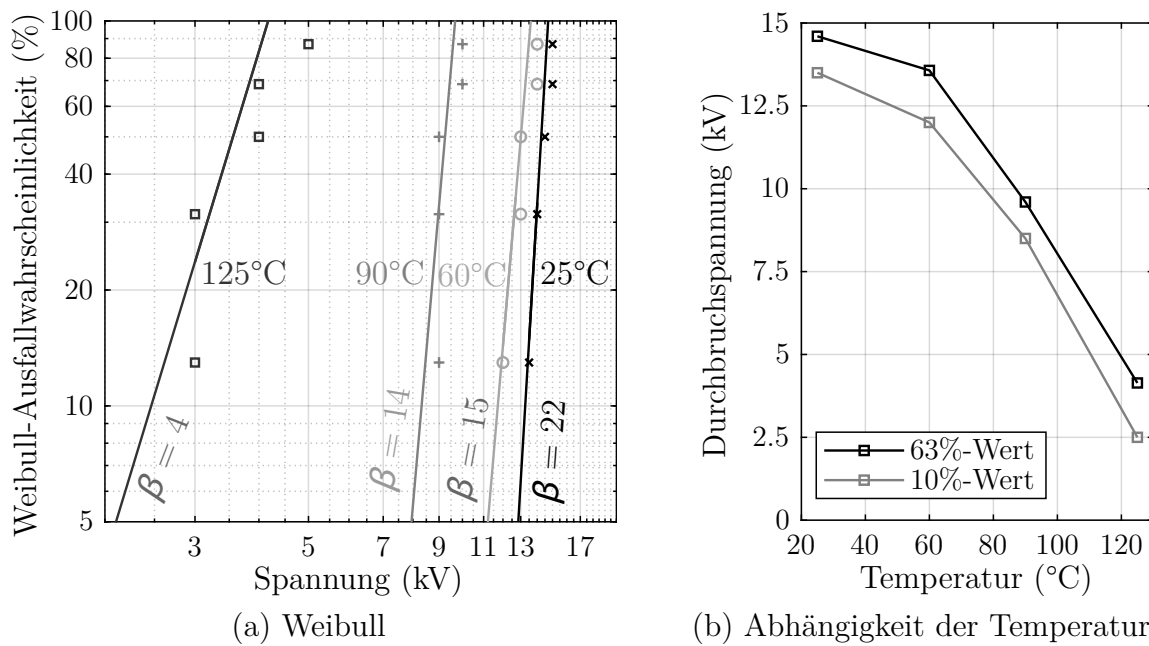
Als Nächstes wird das Durchbruchverhalten der Schaltzelle näher untersucht. Für alle weiteren Messungen wurde das klassische FR4-Material NPG 150 2116MR mit einer Schichtdicke von 0.1 mm verwendet. Abbildung 5.28 vergleicht die Durchbruchspannung zwischen der parallelen Plattenstruktur und der Schaltzelle. Die charakteristische Durchbruchspannung sinkt bei der Schaltzelle von 16.4 kV auf 14.7 kV, was auf die Einflüsse des Layouts zurückzuführen ist. Bei der parallelen Plattenstruktur treten nur Felder in z-Richtung auf, während bei der Schaltzelle zusätzliche Felder in x- und y-Richtung durch den zweiten kritischen Pfad entstehen (siehe Abbildung 5.24(b)). Somit wirkt das E-Feld  $\vec{E} = (E_x, E_y, E_z)$  in der Schaltzelle in alle Richtungen. Durch die vektorielle Addition von elektrischen Feldern entstehen höhere lokale elektrische



**Abbildung 5.28:** Vergleich der Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung zwischen der Schaltzelle und der parallelen Plattenstruktur mit dem FR4-Material NPG 150 2116MR für eine Schichtdicke von 0.1 mm und einer Temperatur von 25 °C.

Feldstärken, die zu einer reduzierten Durchbruchfestigkeit führen. Dies zeigt, dass ein Layout nicht zu vernachlässigende Einflüsse auf das Durchbruchverhalten haben kann. In Abbildung 5.29 ist die Temperaturabhängigkeit des Durchbruchverhaltens der Schaltzelle zu sehen. Die 10 % Ausfallwahrscheinlichkeit der Durchbruchspannung sinkt bei 125 °C auf 2.5 kV ab. Da in der Schaltzelle pulsweitenmodulierte Spannungen mit hochfrequenten Spannungsanteilen auftreten und dieser Test aber mit einer Gleichspannung durchgeführt worden ist, kann davon ausgegangen werden, dass die tatsächliche Durchbruchfestigkeit in der Schaltzelle niedriger ausfällt. Zudem können Alterung und weitere Umwelteinflüsse die Durchbruchfestigkeit ebenfalls noch weiter senken. Dadurch kann bereits bei einer Zwischenkreisspannung von 600 V ein Risiko für die Zuverlässigkeit entstehen. Daher sollte für eine Schaltzelle mit geringen Schichtdicken ein temperaturbeständiges Material mit einer hohen  $T_g$ -Temperatur gewählt werden. Da die Temperatur den Alterungsprozess von Materialien beschleunigt [93] und Leistungstransistoren in der Regel hohen Temperaturbelastungen ausgesetzt sind, müssen diese und die umgebende Aufbau- und Verbindungstechnik dieser beschleunigten Alterung standhalten können.

Um eine beschleunigte Alterung zu erreichen und somit das Langzeitverhalten von Materialien näher zu untersuchen, wurde eine Hochtemperaturlagerung (siehe Kapitel 5.4.1) durchgeführt. Dabei wurden jeweils fünf Schaltzellen bei 125 °C für 500 h,

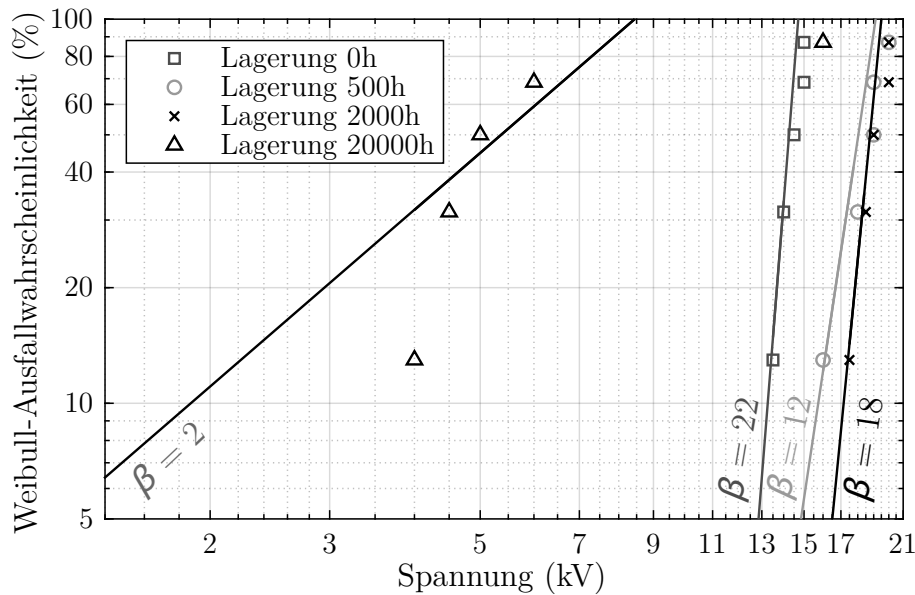


**Abbildung 5.29:** Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung der Schaltzelle in Abhängigkeit von der Materialtemperatur mit dem FR4-Material NPG 150 2116MR mit einer Schichtdicke von 0.1 mm.

2000 h und 20 000 h gelagert. Die Durchbruchmessungen wurden nach der Lagerung bei Raumtemperatur durchgeführt. Abbildung 5.30 zeigt die Ergebnisse dieser Durchbruchtests. Nach einer Lagerdauer von 500 h und 2000 h ist ein Anstieg der Durchbruchfestigkeit zu erkennen, der zum einen auf den Verlust der Feuchtigkeit und zum anderen auf die Verdichtung des Materials und somit auch auf weniger Materialfehler wie Hohlräume [92] zurückgeführt werden kann. Diese Effekte führen aber nicht zu einem kontinuierlichen Anstieg, sondern zu einem limitierten Zuwachs. Wie die Messung nach einer Lagerzeit von 20 000 h zeigt, nimmt die Durchbruchfestigkeit aufgrund der Alterung des Materials wieder rapide ab.

Die Untersuchungen zur Durchbruchfestigkeit an der niederinduktiven Schaltzelle zeigen, dass trotz der hohen Durchbruchfestigkeit bei Raumtemperatur klassische Materialien nur bedingt geeignet sind. Sowohl Alterungserscheinungen als auch hohe Chiptemperaturen, die durch Überlast entstehen können, stellen ein Risiko für die Zuverlässigkeit dar. Deswegen würden sich Materialien mit höherer Temperaturbeständigkeit besser eignen.





**Abbildung 5.30:** Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung der Schaltzelle mit dem FR4-Material NPG 150 2116MR und einer Schichtdicke von 0.1 mm nach einer Hochtemperaturlagerung von 0 h, 500 h, 2000 h und 20 000 h bei 125 °C.

### 5.4.3 Lastwechseltest

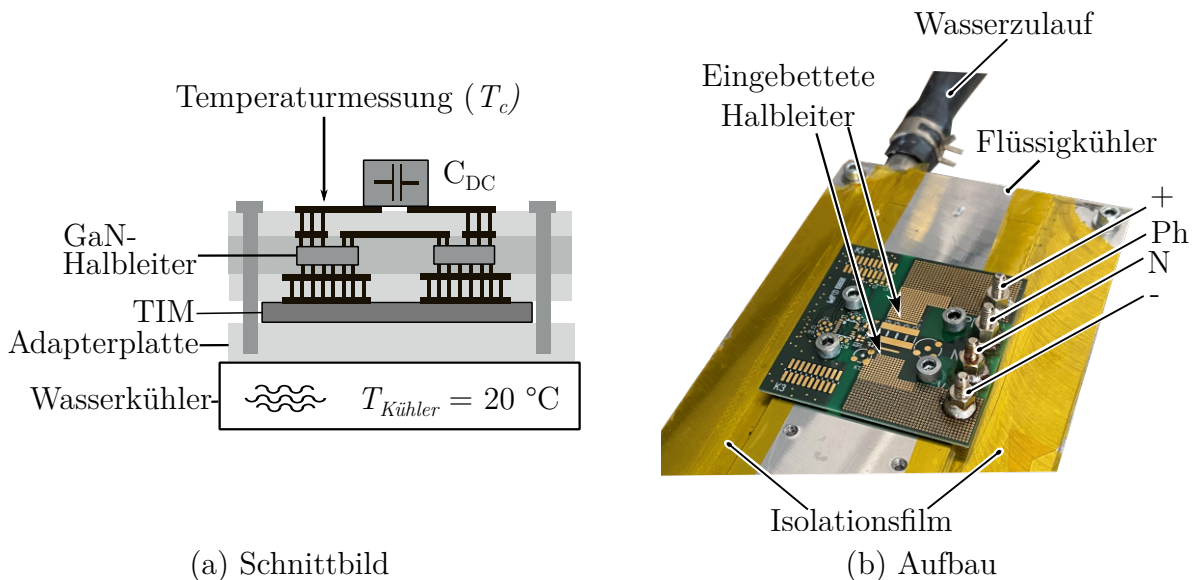
Ein wichtiges Hilfsmittel zur Beurteilung der Zuverlässigkeit von Leistungstransistoren ist der Lastwechseltest. Der Lastwechseltest soll durch eine ständige Temperaturveränderung  $\Delta T$  eine beschleunigte Alterung bzw. Verschleiß hervorrufen, um Schwachstellen im Leistungsmodul frühzeitig zu erkennen. Generell kann zwischen verschiedenen Kontrollstrategien beim Lastwechseltest unterschieden werden [94, 95]:

- Konstante Zeitintervalle  $t_{on/off} = \text{konstant}$
- Konstante Verlustleistung  $P_V = \text{konstant}$
- Konstante Sperrschichttemperatur  $T_j = \text{konstant}$
- Konstante Oberflächentemperatur  $T_c = \text{konstant}$

Obwohl alle diese Varianten das Testobjekt zyklisch durch Temperaturänderungen beanspruchen, können sich die Ausfallmechanismen und Ausfallzeitpunkte unterscheiden. Bei der Methode mit den konstanten Zeitintervallen wird ohne Regelung der Verlustleistung in festen Zeitintervallen zyklisch ein- und ausgeschaltet. Diese Variante führt zum schnellsten Ausfall von Testobjekten [94]. Bei der Variante mit konstanter Verlustleistung  $P_V$  werden die Zeitintervalle und die Verlustleistung, die durch Degradation der Materialien ansteigt, konstant gehalten. Dennoch kann sich

die Sperrschichttemperatur  $T_j$  aufgrund von Alterungserscheinungen im thermischen Pfad signifikant erhöhen und das Erreichen der Ausfallkriterien beschleunigen. Dieses Testverfahren eignet sich am besten, um das Zusammenwirken des Transistors mit dem gesamten thermischen Pfad zu untersuchen. Bei den nächsten Varianten  $T_j = \text{konstant}$  bzw.  $T_c = \text{konstant}$  wird die Sperrschichttemperatur bzw. Oberflächentemperatur während des Lastwechseltests konstant gehalten, indem die eingeprägte Verlustleistung nachgeregelt wird. Diese Testmethode vermindert z. B. die Auswirkungen der Alterung vom thermischen Pfad auf die restlichen Komponenten. Für die Untersuchungen in dieser Arbeit ist die Variante mit konstanter Sperrschichttemperatur die geeignetste, da hier eine Aussage zur Lebensdauer der Aufbau- und Verbindungstechnik unabhängig von der Anbindung zum Kühlkörper getroffen werden kann. Anbindungen zum Kühlkörper mit z. B. einer Lötverbindung stellen bei bondlosen Leistungstransistoren ein Hauptausfallkriterium [96, 97] dar.

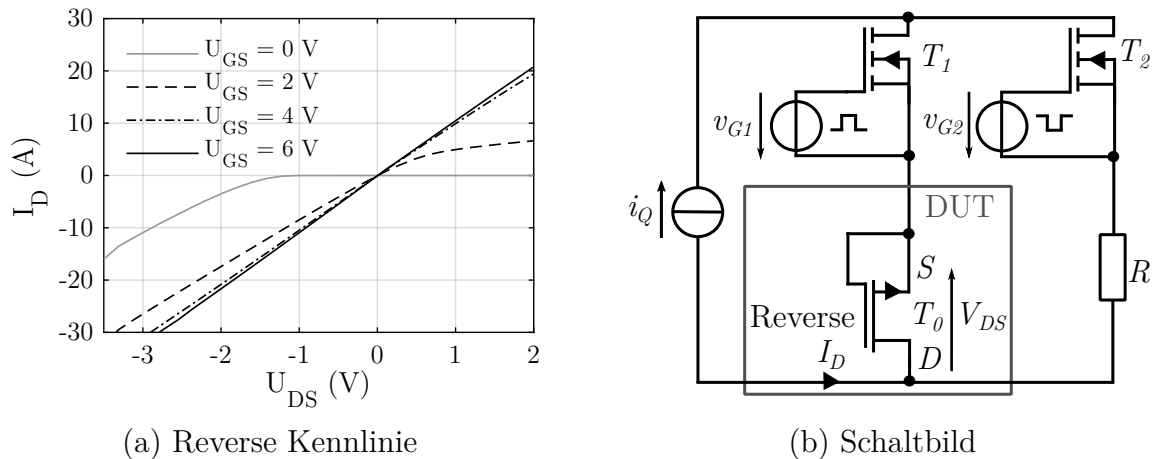
Abbildung 5.31 zeigt eine schematische Darstellung des Testaufbaus mit dem zugehörigen experimentellen Aufbau des Lastwechseltests. Die Schaltzelle wird über ein Thermal-Interface-Material (TIM) an einem Wasserkühler über Schraubenverbindungen angebunden. Die konstante Wassertemperatur von  $20\text{ }^\circ\text{C}$  stellt hierbei eine konstante Referenztemperatur sicher. Zur Ermittlung der Sperrschichttemperatur wurde das in Kapitel 5.2 beschriebene Verfahren aus einer Kombination von Oberflächentemperaturmessung und einer FEM-Simulation angewandt.



**Abbildung 5.31:** a) Schnittbild des Aufbaus beim Lastwechseltest b) Realer Aufbau des Lastwechseltests mit Flüssigkühler.

Der GaN-Transistor wurde beim Lastwechseltest in Rückwärtsrichtung bei einer Gate-Source-Spannung  $U_{GS} = 0\text{ V}$  betrieben, da mit einem geringeren Drainstrom eine höhe-

re Verlustleistung erzeugt werden kann (siehe Abbildung 5.32(a)). Abbildung 5.32(b) zeigt das Schaltbild des Lastwechseltests mit dem in Rückwärtsbetrieb verschalteten GaN-HEMT  $T_0$ . Der Transistor  $T_1$  schaltet zyklisch den Strom der Quelle  $i_Q$  in den Pfad mit dem DUT. Um Stromsprünge während des Tests zu vermeiden, führt der Transistor  $T_2$  den Strom der Quelle in der Abkühlzeit des DUT in einen Widerstand  $R$ .



**Abbildung 5.32:** a) Reverse Kennlinie des verwendeten GaN-Transistors b) Schaltbild des Lastwechseltests mit einem rückwärtsbetriebenen GaN-Transistor.

Um Veränderungen oder Ausfälle in der Schaltzelle zu erkennen, wurden in regelmäßigen Abständen „online“ und „offline“ Messungen durchgeführt. Während des Tests wurden „online“ die Spannung  $U_{DS}$ , der Drainstrom  $I_D$  und die Temperatur  $T_{Mess}$  aufgenommen. Für die „Offline“-Messungen wurden die Tests für eine kurze Zeitdauer unterbrochen. Dabei wurde der Leckstrom  $I_{DSS}$  bei einer Gate-Source-Spannung  $U_{GS} = 0\text{ V}$  sowie einer Drain-Source-Spannung  $U_{DS} = 650\text{ V}$  gemessen. Zudem wurde auch die Schwellspannung  $U_{th}$ , die bei einer Spannung  $U_{DS} = U_{GS}$  sowie einem Gatestrom von  $7\text{ mA}$  definiert ist, gemessen. Als Ausfallkriterium wurden, wie bei der Hochtemperaturlagerung, ein Überschreiten des maximalen Leckstroms  $I_{DSS}$  von  $50\text{ }\mu\text{A}$  (bei  $U_{DS} = 650\text{ V}$ ) und eine Veränderung der Schwellspannung von  $\pm 20\%$  gewählt.

Auf eine ohmsche Messung zur Ermittlung von strukturellen Veränderungen oder Rissen bei den Vias wurde aufgrund des geringen Widerstands der Vias verzichtet. Der ohmsche Widerstand der Schaltzelle  $R_{DUT}$  setzt sich wie in Gleichung 5.19 gezeigt, aus mehreren Komponenten zusammen. Dabei entspricht  $R_{DS(on)}$  dem internen Widerstand des Transistors,  $R_{Vias}$  dem Widerstand der Durchkontaktierung und  $R_B$  dem

Leiterbahnwiderstand.

$$R_{DUT} = R_{DS(on)} + R_{Vias} + R_B \quad (5.19)$$

Um z. B. Risse bei den Vias messtechnisch zu erfassen, müsste die Veränderung des ohmschen Widerstands  $R_{DUT}$  während des Lastwechseltests analysiert werden. Bei der genauen Betrachtung der einzelnen Widerstände erweist sich eine Detektion einer Veränderung vom Widerstand der Vias als schwierig. Werden die einzelnen Widerstände mit der Formel 5.20 aus der elektrischen Leitfähigkeit und den Geometriedaten wie der Länge  $l$  und der Fläche  $A$  berechnet, ergibt sich für die Leiterbahnen ein Widerstand  $R_B$  von ca.  $5 \text{ m}\Omega$ .

$$R = \frac{l}{\kappa A} \quad (5.20)$$

Wird der Widerstand eines Vias ebenfalls mit dieser Formel 5.20 angenähert, ergibt dies bei einem Via mit einem Durchmesser von  $0.1 \text{ mm}$  und einer Länge von  $0.1 \text{ mm}$  einen Wert von ca.  $0.1 \text{ m}\Omega$  pro Via. Im Layout befinden sich pro Anschluss ca.  $58$  Vias. Bei einer gleichmäßigen Stromverteilung auf die Vias würde dies zu einem Gesamtwiderstand von  $0.001 \text{ m}\Omega$  führen. Im Vergleich dazu haben Bonddrähte mit dem gleichen Durchmesser von  $0.1 \text{ mm}$  und einer Länge von ca.  $1 \text{ cm}$  einen Widerstand von ca.  $10 \text{ m}\Omega$  sowie eine geringere Anzahl an Drähten pro Transistor. Der interne Widerstand  $R_{DS(on)}$  des GaN-Transistors beträgt für den GS66508T  $25 \text{ m}\Omega$  und ist somit der dominierende Teil des Widerstandes. Um einen Abriss der einzelnen Vias bei einem Gesamtwiderstand von ca.  $30 \text{ m}\Omega$  festzustellen, müsste eine Messgenauigkeit von  $0.005 \%$  im durchgeschalteten Betrieb des Transistors erreicht werden. Aufgrund der kleinen Widerstandswerte und des damit verbundenen hohen Aufwands wurde auf eine Widerstandsmessung verzichtet.

Tabelle 5.3 zeigt die Testparameter, die beim Lastwechseltest verwendet wurden. Die Tests wurde mit einem Laststrom von ca.  $7 \text{ A}$  durchgeführt. Die Aufheiz- bzw. Abkühlzeit betrug mit einer Temperaturdifferenz von  $100 \text{ }^\circ\text{C}$  jeweils  $2 \text{ s}$ . Der Bereich für die Sperrschichttemperatur wurde zwischen  $25 \text{ }^\circ\text{C}$  und  $125 \text{ }^\circ\text{C}$  gewählt, was einer Messtemperatur an der Oberfläche zwischen  $25 \text{ }^\circ\text{C}$  und  $115 \text{ }^\circ\text{C}$  entspricht.

**Tabelle 5.3:** Testparameter beim Lastwechseltest.

Parameter	Wert
$t_{on}/t_{off}$	2 s/2 s
$I_D$	7 A
$T_j$	25 - 125 °C
$T_c$	25 - 115 °C
$\Delta T$	100 °C

### Ergebnisse des Lastwechseltests

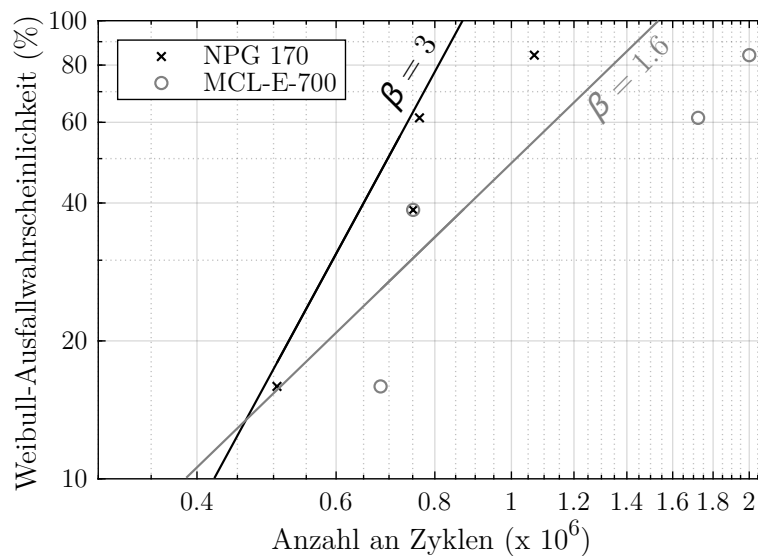
Ein entscheidender Faktor bei der Zuverlässigkeit der Schaltzelle ist der Ausdehnungskoeffizient des Isolationsmaterials, in dem der Transistor integriert ist. Gleiche thermische Ausdehnungskoeffizienten zwischen den unterschiedlichen Materialien in der Schaltzelle wären dabei der Idealfall, das lässt sich aber nicht realisieren. Jedoch ist es möglich, Materialkombinationen so zu wählen, dass mechanische Spannungen möglichst gering ausfallen. Bei den in dieser Arbeit durchgeführten Lastwechseltests werden ein klassisches FR4-Material (Technolam NPG170) sowie ein temperaturbeständiges Isolationsmaterial (Hitachi MCL-E-700) näher untersucht. Tabelle 5.4 vergleicht die Ausdehnungskoeffizienten aus den Datenblättern miteinander. Bei Temperaturen  $< T_g$  besitzen diese Materialien nur geringe Unterschiede, wohingegen das MCL-E-700 bei Temperaturen oberhalb der  $T_g$ -Temperatur deutlich geringere Ausdehnungen aufweist.

**Tabelle 5.4:** Ausdehnungskoeffizienten für die im Lastwechseltest verwendeten Materialien [90, 98].

	NPG-170	MCL-E-700
Glasübergangstemperatur $T_g$ (°C)	170	250
Ausdehnungskoeffizient x-Richtung (ppm/K)	9-13	7-9
Ausdehnungskoeffizient y-Richtung (ppm/K)	9-13	7-9
Ausdehnungskoeffizient z-Richtung $< T_g$ (ppm/K)	30-50	15-25
Ausdehnungskoeffizient z-Richtung $> T_g$ (ppm/K)	200-230	90-120

Abbildung 5.33 zeigt die Messergebnisse der Zyklustests in einer Weibull-Verteilung von jeweils vier Prüflingen mit diesen Materialvarianten. Für die Verteilung der Mess-

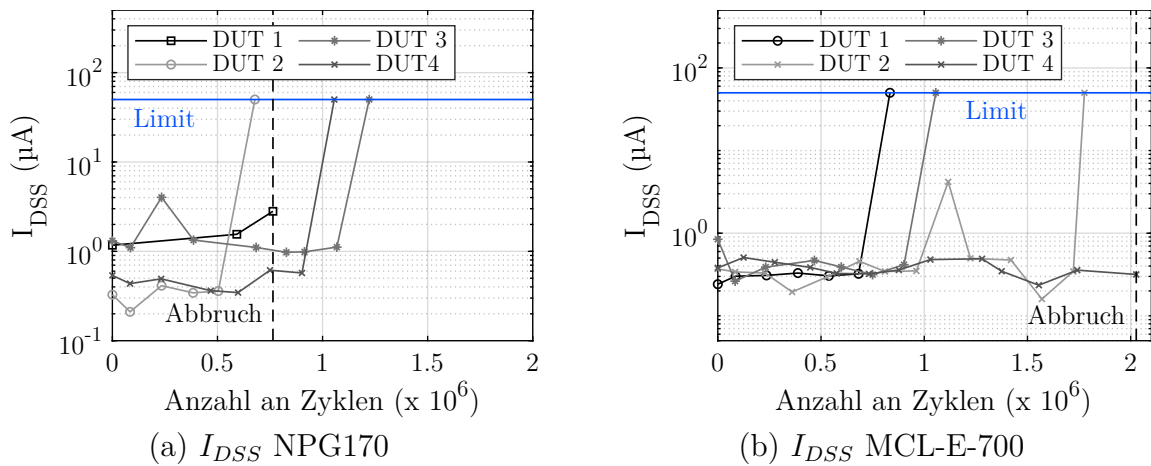
werte wurde auch hier der Median Rank aus Gleichung 5.17 verwendet. Der Lastwechselstest wurde unter diesen Testbedingungen bis zu einer maximalen Anzahl an Zyklen von  $2 \times 10^6$  durchgeführt. Bis auf Prüfling DUT 4 mit dem Material MCL-E-700 wurden jedoch alle Tests aufgrund eines elektrischen Fehlverhaltens vorher beendet. Die charakteristische Lebensdauer ergibt für das NPG170  $0.86 \times 10^6$  Zyklen und für das temperaturbeständige Hoch- $T_g$ -Isolationsmaterial  $1.53 \times 10^6$  Zyklen. Trotz der geringen Unterschiede bei den Ausdehnungskoeffizienten unterhalb der  $T_g$ -Temperatur ist ein messbarer Unterschied erkennbar. Da das NPG-170 bei  $125^\circ\text{C}$  näher an der  $T_g$ -Temperatur liegt, wird die tatsächliche Differenz zwischen den Ausdehnungskoeffizienten deutlich höher ausfallen und somit die Unterschiede erklären. Unabhängig vom individuellen Materialverhalten zeigen die Ergebnisse eine hohe Anzahl an Zyklen. Im Vergleich erreichen Bonddrähte in [99] bei einem  $\Delta T$  von  $100^\circ\text{C}$  deutlich geringere Zyklen von  $0.1 \times 10^6$ . Ein direkter Vergleich ist aber aufgrund unterschiedlicher Testumgebungen und Ausfallkriterien nur bedingt möglich. Der erreichte Wertebereich zeigt hier, dass eine Aufbau- und Verbindungstechnik mit einer Leiterplattentechnik für leistungselektronische Anwendungen mit hoher Zuverlässigkeit durchaus geeignet ist.



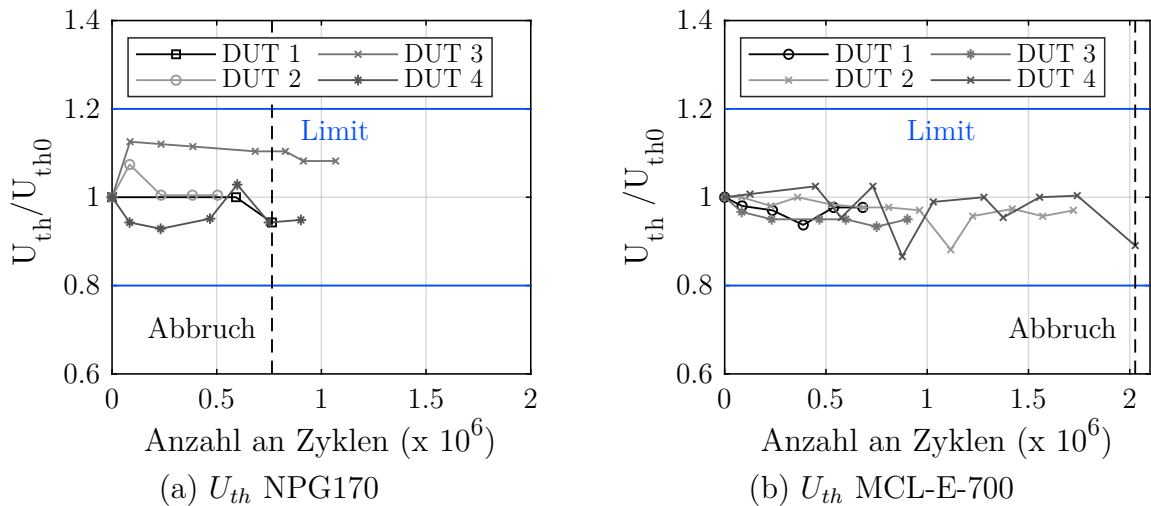
**Abbildung 5.33:** Weibull-Ausfallwahrscheinlichkeit nach einem Lastwechselstest für die Isolationsmaterialien NPG-170 und MCL-E-700.

### Ausfallmechanismen beim Lastwechselstest

Die häufigste Ausfallursache bei dieser Testreihe war bei den „Offline“-Messungen die schlagartige Erhöhung des Leckstroms  $I_{DSS}$ , die zum Abbruch der Tests führte (siehe Abbildung 5.34). Der zweite Ausfallmechanismus konnte ausschließlich im



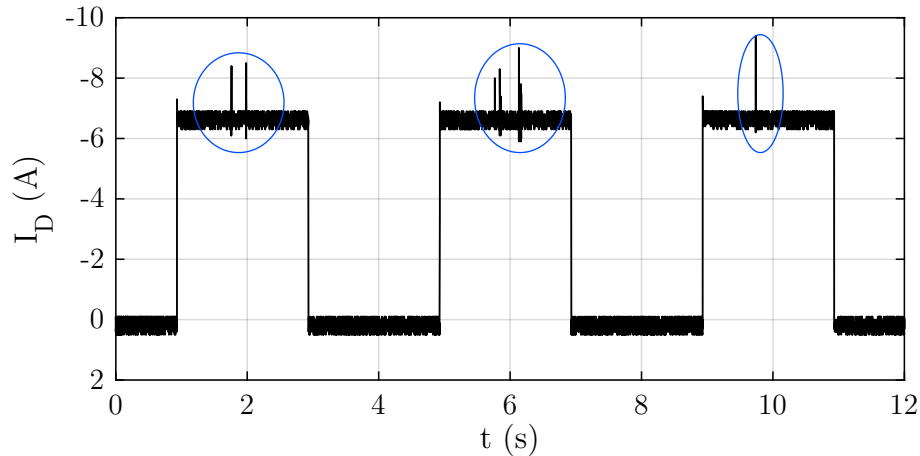
**Abbildung 5.34:** „Offline“-Messung des Leckstroms  $I_{DSS}$  bei einer Drain-Source-Spannung von 650 V.



**Abbildung 5.35:** „Offline“-Messung der Schwellspannung  $U_{th}$  bei einem Drainstrom von 7 mA.

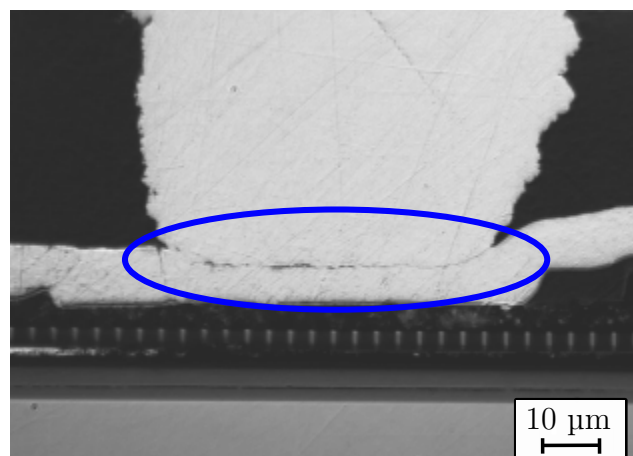
„Online“-Betrieb beobachtet werden. Abbildung 5.36 zeigt den Drainstrom während des Lastwechseltests vom DUT 1 kurz vor Abbruch des Tests. Die blauen Markierungen in dieser Grafik zeigen, dass Stromsprünge im Drainstrom während des Tests zu beobachten waren. Diese entstehen durch die Stromregelung der Quelle bei schlagartiger Änderung des Lastwiderstands. Die Testparameter  $U_{th}$  und  $I_{DSS}$ , die in Abbildung 5.34 und 5.35 dargestellt sind, zeigten keine kritische Veränderung während des Lastwechseltests. Da aber dennoch die Funktion aufgrund der kurzzeitigen Unterbrechungen nicht mehr gegeben war, wurde der Test nach Beobachtung der Stromsprünge für weitere Analysen beendet.

Das Schliffbild eines einzelnen Vias aus Abbildung 5.37 zeigt den Grund für das Fehl-



**Abbildung 5.36:** Stromspitzen während des Lastwechseltests im Drainstrom  $I_D$ .

verhalten. Es ist klar zu erkennen, dass die galvanische Verbindung zwischen der Kupfermetallisierung des Transistors und des Mikrovias einen Riss aufweist. Ein solcher Riss konnte bei allen untersuchten Vias beobachtet werden. Es entsteht beim Aufheizen des FR4-Materials, wie in Kapitel 5.3 gezeigt, eine Ausdehnung in z-Richtung, die mit der Zeit die Vias von der Metallisierung der Chipoberfläche reißt. Sind nach einer gewissen Zeit alle galvanischen Verbindungen getrennt, entsteht beim Aufheizevorgang eine Trennung des elektrischen Kontaktes. Die Stromunterbrechungen aus Abbildung 5.36 resultieren genau aus diesem Fehler. Aufgrund der Widerstandserhöhung gerät die Stromquelle bei einem konstanten Laststrom in Spannungsbegrenzung und senkt den Drainstrom schlagartig. Diese kurzzeitige Unterbrechung von einigen ms führt zu einer Abkühlung des FR4-Materials und zu einer erneuten Kontaktierung, was wiederum in einer Stromüberhöhung resultiert. Da bei der „Offline“-Messung das



**Abbildung 5.37:** Riss zwischen der Kupfermetallisierung des Transistors und dem Mikrovia.



FR4-Material bereits abgekühlt und somit eine Kontaktierung der Vias gegeben ist, zeigen die Messgrößen keine Veränderungen. Eine Detektierung dieses Fehlverhaltens kann somit nur im „Online“-Betrieb oder mit einer UI-Messung, die in [100] vorgestellt wurde, erfasst werden.

Dieses Kapitel zeigt, dass mit der Integration von Transistoren in den Kern der Leiterplatte Vorteile bei den elektrischen, thermischen und mechanischen Eigenschaften erzielt werden können. Auch die Untersuchungen im Bereich der Zuverlässigkeit belegen das Potenzial dieser Technologie. Daher ist die Integration von Transistoren in den Kern der Leiterplatte für leistungselektronische Anwendungen eine gute Alternative zu herkömmlichen Aufbauten.



## 6 Schnellschaltende Leistungshalbleiter im Antriebssystem

Die Auswirkungen von schnellen Schaltflanken zeigen sich nicht nur in der Aufbau- und Verbindungstechnik der Schaltzelle, sondern betreffen das gesamte Antriebssystem. Schnelle Schaltvorgänge können Störungen in der Elektronik, Reflexionen an Leitungen und kapazitive Lagerströme hervorrufen [33, 101]. Die negativen Auswirkungen im Antriebssystem können jedoch mit Hilfe von Filtern minimiert werden. Filter am Ausgang der Schaltzelle können nicht nur hochfrequente Spannungen unterdrücken, sondern auch die Transistoren von der Last entkoppeln [102]. Wie bereits in Kapitel 4 gezeigt, führen zusätzliche Kapazitäten am Ausgang der Schaltzelle zu erhöhten Verlusten im Halbleiter. Im Antriebssystem können Kapazitäten von Motorleitungen und Wicklungskapazitäten zu solchen zusätzlichen kapazitiven Belastungen führen [103], die durch eine Entkopplung mit einem Filter verhindert werden können.

Die Schaltimpulse in einer Schaltzelle können aufgrund der endlichen Flankensteilheit, wie in Abbildung 6.1(a) gezeigt, durch einen trapezförmigen Spannungsimpuls mit einer Amplitude  $U_S$ , Periode  $T_p$ , Anstiegszeit  $t_r$ , Abfallzeit  $t_f$  und einer Pulsbreite  $t_b$  nachgebildet werden. Aufgrund der Periodizität des Signals kann das trapezförmige Spannungssignal mit einer Fourierreihe als Summe der einzelnen Schwingungen wie folgt beschrieben werden [59]:

$$u(t) = c_0 + \sum_{n=1}^{\infty} |2c_n| \cos(n2\pi f_0 t + \phi_n) \quad f_0 = \frac{1}{T_p} \quad (6.1)$$

Dabei entsprechen  $c_0$  und  $c_n$  den Fourierkoeffizienten für ein einseitiges Spektrum und  $\phi_n$  der Phasenverschiebung der  $n$ -ten harmonischen Schwingung. Die Fourierkoeffizienten  $c_0$  und  $c_n$  können für symmetrische Anstiegs- bzw. Abstiegszeiten folgendermaßen

berechnet werden [104]:

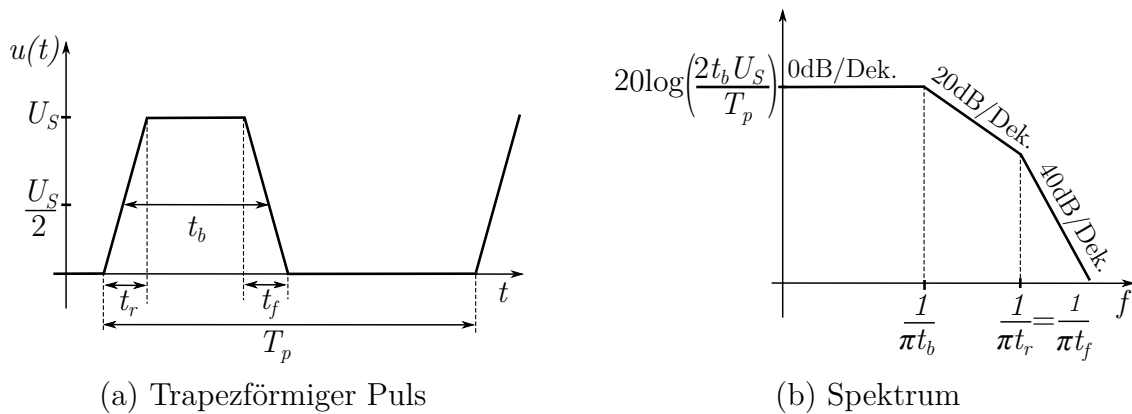
$$c_0 = U_S \frac{t_b}{T_p} \quad (6.2)$$

$$|c_n^+| = 2|c_n| = 2U_S \frac{t_b}{T_p} \left| \frac{\sin(n\pi t_b/T_p)}{n\pi t_b/T_p} \right| \left| \frac{\sin(n\pi t_r/T_p)}{n\pi t_r/T_p} \right| \quad \text{für } n \neq 0 \quad (6.3)$$

Werden die Beträge der Fourierkoeffizienten aus Gleichung 6.3 in Dezibel (dB) umgerechnet, kann daraus das Spektrum für die trapezförmigen Pulse berechnet werden.

$$20 \log(2|c_n|) = 20 \log(2U_S \frac{t_b}{T_p}) + 20 \log \left( \left| \frac{\sin(\pi t_b f)}{\pi t_b f} \right| \right) + 20 \log \left( \left| \frac{\sin(\pi t_r f)}{\pi t_r f} \right| \right) \quad (6.4)$$

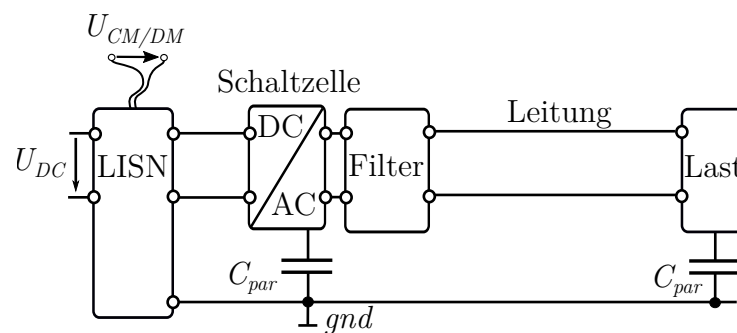
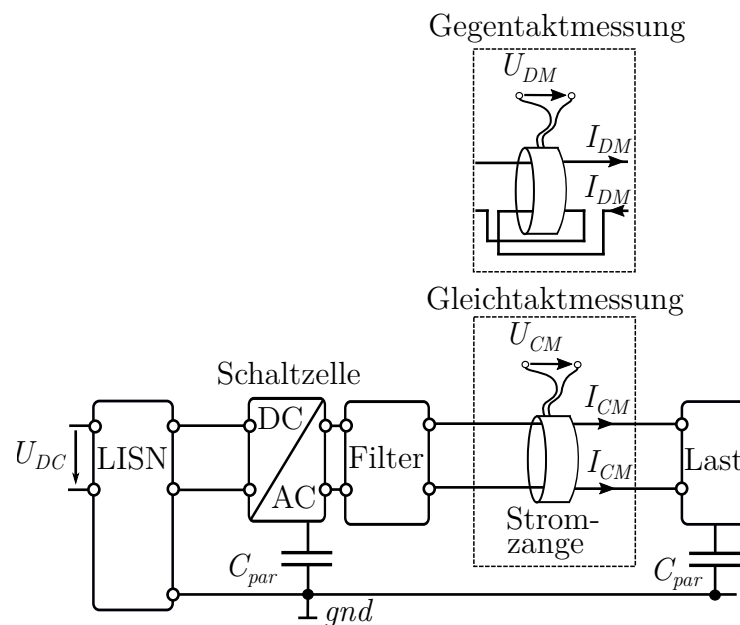
Die Hüllkurve des Spektrums kann abhängig von der jeweiligen Eckfrequenz aus der Summe der drei Terme gebildet werden. Abbildung 6.1(b) zeigt die resultierende schematische Hüllkurve des Spektrums eines Spannungsimpulses mit symmetrischen Anstiegs- bzw. Abstiegszeiten. Zeitlich kürzere Pulslängen  $t_b$  und Schaltzeiten  $t_r$  bzw.  $t_f$  führen zu einer Verschiebung der jeweiligen Eckfrequenz hin zu höheren Frequenzen und somit auch zu einer Erhöhung der Störpegel. Die Frequenzkomponenten fallen dabei nach der ersten Eckfrequenz mit 20 dB/Dek. und nach der zweiten Eckfrequenz mit 40 dB/Dek. ab. Anwendungen mit schnellschaltenden WBG-Halbleitern und hohen Schaltfrequenzen führen deshalb zu erhöhten Störpegeln im System, die durch Filtermaßnahmen gedämpft werden müssen. Nachfolgend wird das Störverhalten der Aufbau- und Verbindungstechnik, der Zwei- bzw. Dreilevel-Topologie und der Filter näher untersucht.



**Abbildung 6.1:** Schematischer trapezförmiger Spannungsimpuls mit dem dazugehörigen Frequenzspektrum [59].

## 6.1 Versuchsaufbau zur Messung von leitungsgebundenen Störungen

Bei leitungsgebundenen Störungen wird zwischen Gleich- und Gegentaktstörungen unterschieden. Um Störungen zu reduzieren bzw. eine optimale Filterauslegung zu erreichen, ist es notwendig, die Gleich- und Gegentaktstörungen frequenzabhängig zu ermitteln. Ausgangsseitig wurden die Gleich- und Gegentaktstörungen mit einer Stromzange, wie in Abbildung 6.2(a) gezeigt, gemessen. Bei gleichsinniger Durchführung der stromführenden Leitungen durch die Zange entsteht durch die Kompensation der Magnetfelder von Hin- und Rückstrom ein verbleibendes magnetisches Feld, das vom Gleichtaktstörstrom erzeugt wird. Bei einer gegensinnigen Durchführung heben



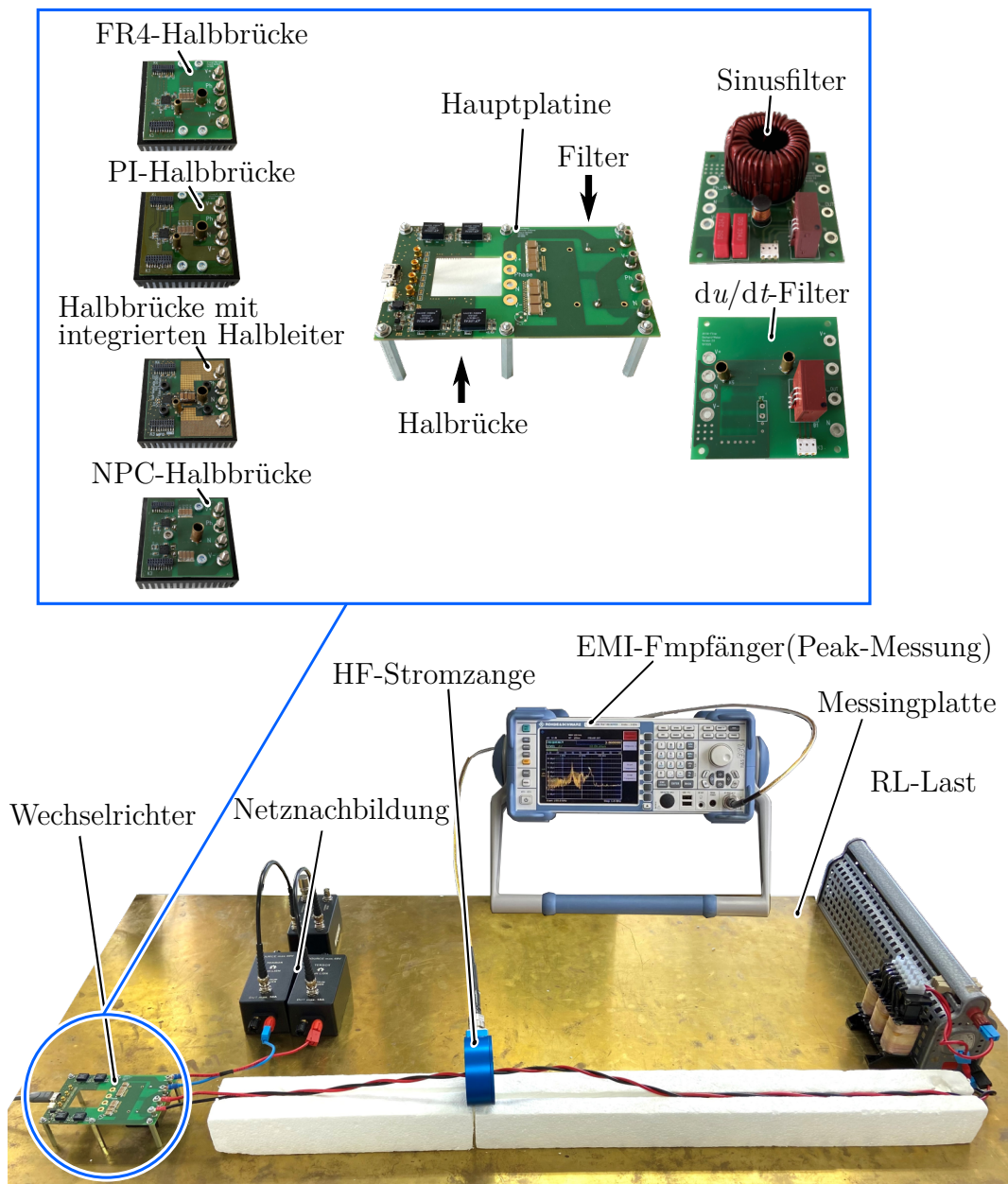
**Abbildung 6.2:** Schematische Darstellung der Ausgangs- bzw. Eingangsmessung des Störstromes mit einer Halbbrücke.

sich die Magnetfelder der Gleichtaktströme auf und der Gegentaktstrom kann ermittelt werden. Zur Messung der Gleich- und Gegentaktströme wurde die HF-Stromzange (TEKBOX TBCP1) mit einer 3dB-Bandbreite von 200 MHz verwendet. Die netzseitigen leitungsgebundenen Störungen auf den DC-Versorgungsleitungen wurden mit einer Netznachbildung LISN (TEKBOX TBOH01) erfasst (siehe Abbildung 6.2(b)). Um die Gleich- und Gegentaktstörungen an der Versorgungsleitung voneinander messtechnisch zu trennen, wurde zusätzlich der LISN MATE TBLM1 von der Firma TEKBOX verschaltet. Die Leitungslänge zwischen Filter und Last betrug sowohl für alle ausgangsseitigen als auch eingangsseitigen Störmessungen 1 m.

Da die Netznachbildung nur für Spannungen bis max. 60 V spezifiziert ist, wurden alle nachfolgenden Messungen mit einer reduzierten Zwischenkreisspannung von 50 V durchgeführt. Deswegen ist bei den Messergebnissen nicht der absolute Pegel, sondern die qualitative Unterscheidung zwischen den Varianten entscheidend. Als Modulation wurde die Sinus-Dreieck-Modulation verwendet. Dabei wurde der Modulationsgrad so eingestellt, dass bei allen Messungen der Laststrom 1 A beträgt. Abbildung 6.3 zeigt den Versuchsaufbau mit dem modularen einphasigen Wechselrichter und einer ausgangsseitigen Strommessung. Um einen möglichst identischen Aufbau für jede untersuchte Variante zu gewährleisten, wurden modulare Schaltzellen verwendet. Das bedeutet, dass für alle Messungen die identische Hauptplatine mit der dazugehörigen Versorgung und ohmsch-induktive-Last ( $L_{Last} = 5 \text{ mH}$  und  $R_{Last} = 5 \Omega$ ) verwendet wurde. Je nach Messung wurden nur die Schaltzellen oder die Filter variiert. Eine Anbindung an die Schaltzelle erfolgte jeweils von unten bzw. von oben über Schraubverbindungen. Alle nachfolgenden Messungen (mit und ohne Filter) wurden mit voller Schaltgeschwindigkeit ohne begrenzenden externen Gatewiderstand durchgeführt.

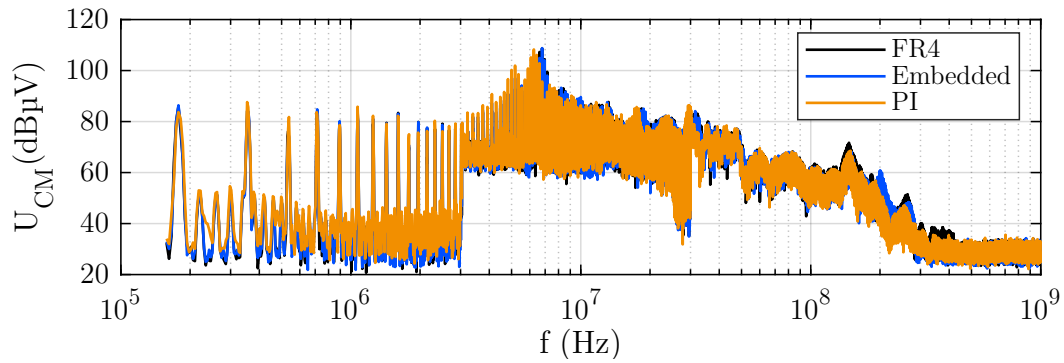
## 6.2 Einfluss der Leiterplattentechnologie

Als Erstes werden die verschiedenen Schaltzellen mit den unterschiedlichen Leiterplattentechnologien im Hinblick auf Gleich- bzw. Gegentaktstörungen verglichen. Die Fragestellung, die sich hierbei ergibt, ist, ob durch die unterschiedlichen Dicken der Trägermaterialien messbare Einflüsse bei den Gleich- und Gegentaktströmen im Messaufbau entstehen. Wie bereits in den vorhergehenden Kapiteln gezeigt, ergeben sich durch die unterschiedlichen Dicken der Trägermaterialien Unterschiede in den Schleifeninduktivitäten bzw. auch bei kapazitiven Kopplungen in der gesamten Schaltzelle. Zur experimentellen Untersuchung wurden eine klassische Schaltzelle auf Basis von FR4 mit einer mittleren Schleifendicke von 0.4 mm, eine Schaltzelle mit integrierten

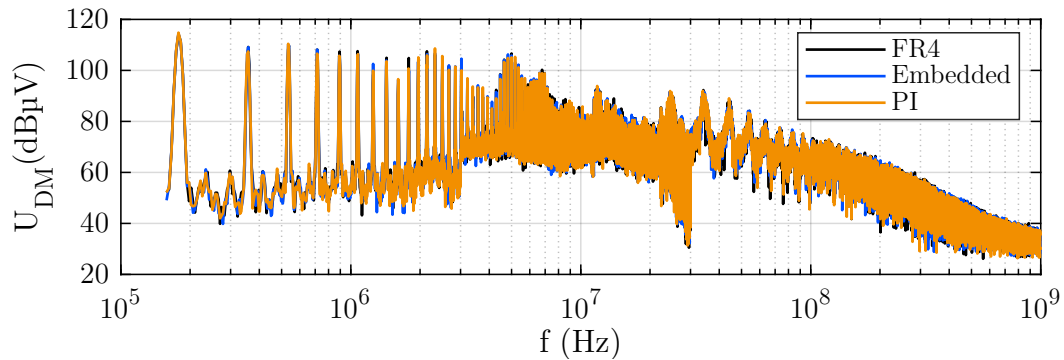


**Abbildung 6.3:** Versuchsaufbau mit einem modularen einphasigen Wechselrichter zur Ermittlung von Gleich- und Gegentaktstörung.

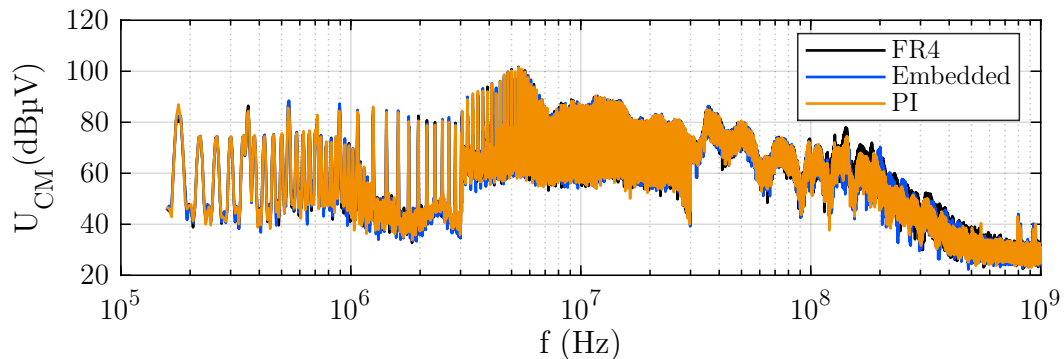
Halbleitern in der Leiterplatte mit einer Schleifendicke von 0.1 mm und zuletzt eine Schaltzelle mit 0.025 mm Polyimid gewählt. Abbildung 6.4 zeigt die Messergebnisse der Ausgangs- bzw. Eingangsseite mit den dazugehörigen Gleich- und Gegentaktstörungen. Die Messergebnisse der unterschiedlichen Varianten zeigen keine großen Differenzen, dennoch sind bei Polyimid ab 100 MHz reduzierte Störpegel zu erkennen. Bei Abbildung 6.4(d) beträgt dieser Unterschied auf der Eingangsseite bei 200 MHz sogar 10 dB.



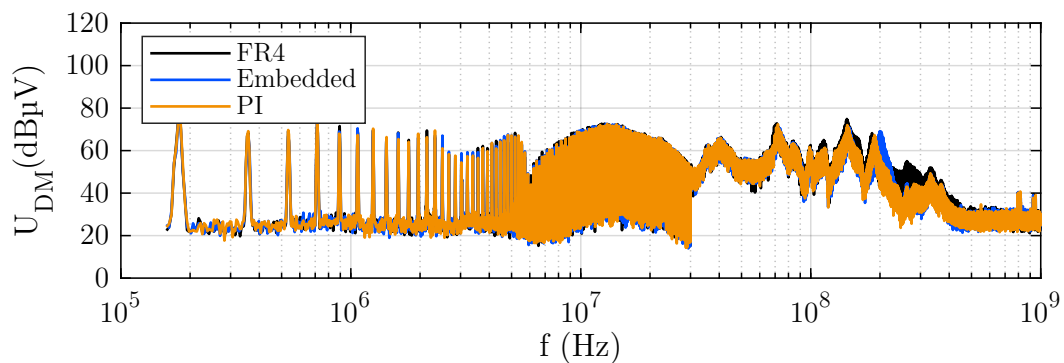
(a) Gleichtakt-Messung Ausgangsseite



(b) Gegentakt-Messung Ausgangsseite



(c) Gleichtakt-Messung Eingangsseite



(d) Gegentakt-Messung Eingangsseite

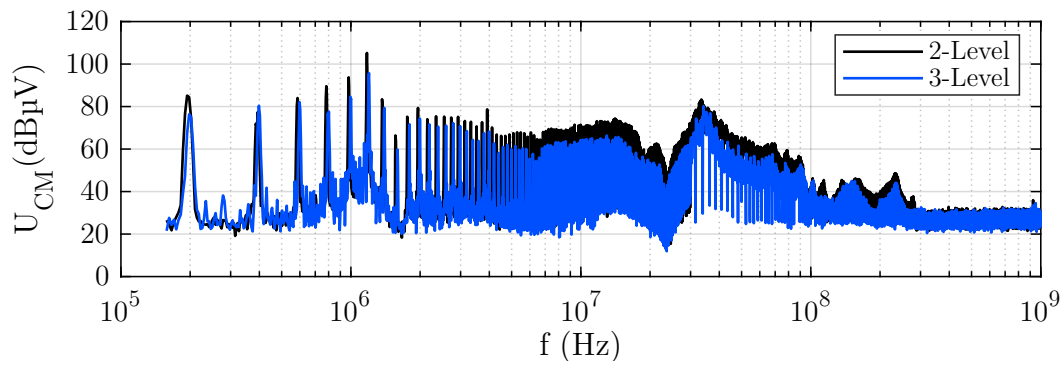
**Abbildung 6.4:** Vergleich der Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz für verschiedene Trägermaterialien, gemessen bei einer Schaltfrequenz von 200 kHz.



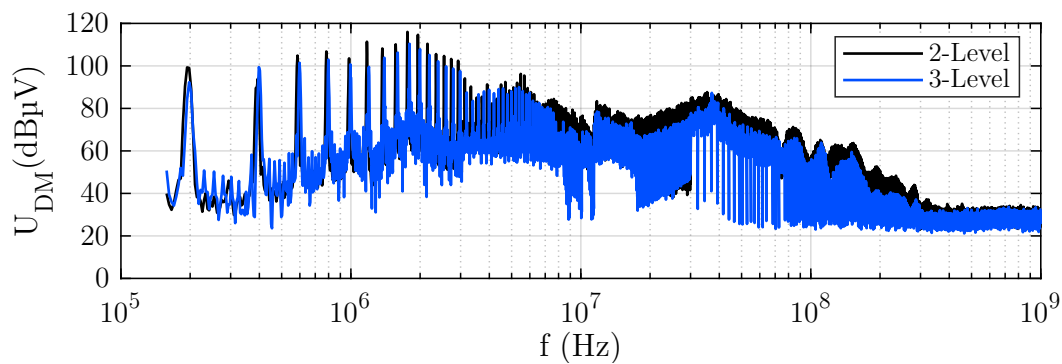
Die Eckfrequenzen für die gemessenen Anstiegs- bzw. Abfallzeiten aus Tabelle 4.2 sind  $< 100$  MHz, deswegen kann die etwas geringere Schaltgeschwindigkeit von PI eine Reduzierung der Messwerte bewirken. Aber auch die erhöhten kapazitiven Kopplungen in der Schaltzelle selbst, die den Störstrom zurück zur Störquelle leiten, können diese geringen Unterschiede erklären. Würde der gesamte Aufbau (Hauptplatine und Schaltzelle) aus einem dünnen Substrat wie PI gefertigt, könnten sich die Unterschiede noch weiter vergrößern.

## 6.3 Vergleich zwischen einer Zweilevel- und Dreilevel-Topologie

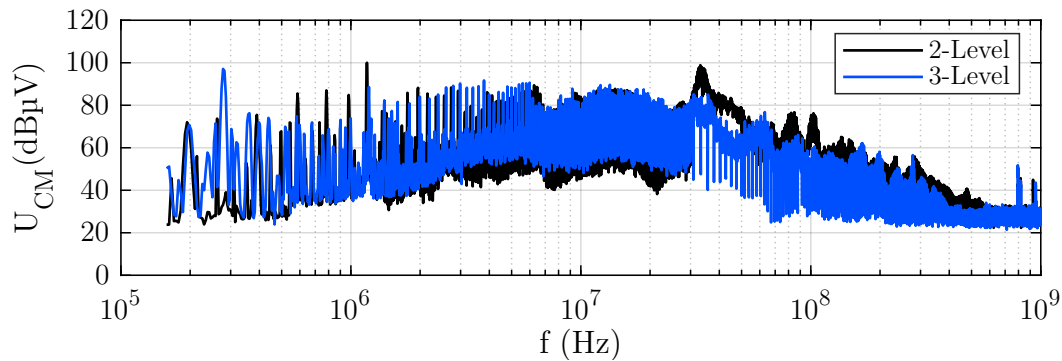
Als Nächstes wird das Störspektrum einer Zwei- und einer Dreilevel-Topologie miteinander verglichen. Wie bereits in Kapitel 2.2 gezeigt, weisen die Ausgangsspannungen bei einem Dreilevel-Wechselrichter im Vergleich zu einem Zweilevel-Wechselrichter aufgrund der zusätzlichen Spannungslevel eine geringere harmonische Verzerrung auf. Da hochfrequente Oberwellen für Störungen im Antriebssystem verantwortlich sind, haben diese Einfluss auf das Störverhalten. Die Abbildung 6.5 vergleicht die Gleich- und Gegentaktstörung für die Ausgangs- und Eingangsseite der Zweilevel- und der NPC-Dreilevel-Topologie. Beide Varianten wurden mit einer konventionellen Leiterplatte auf Basis von FR4 vermessen. Die Messergebnisse zeigen, dass eine NPC-Dreilevel-Topologie bei den Gleich- und Gegentaktstörungen auf der Ausgangs- bzw. Eingangsseite ab einem Frequenzbereich  $> 1$  MHz um bis zu 15 dB geringere Pegel aufweist. Ein Teil des reduzierten Störspektrums ist auch hier auf die leicht reduzierte Schaltgeschwindigkeit in der NPC-Schaltzelle zurückzuführen. Zwar ersetzt eine Dreilevel-Topologie keinen Filter, aber es können aufgrund des geringeren Störspektrums ggf. Anforderungen an die Filter reduziert werden.



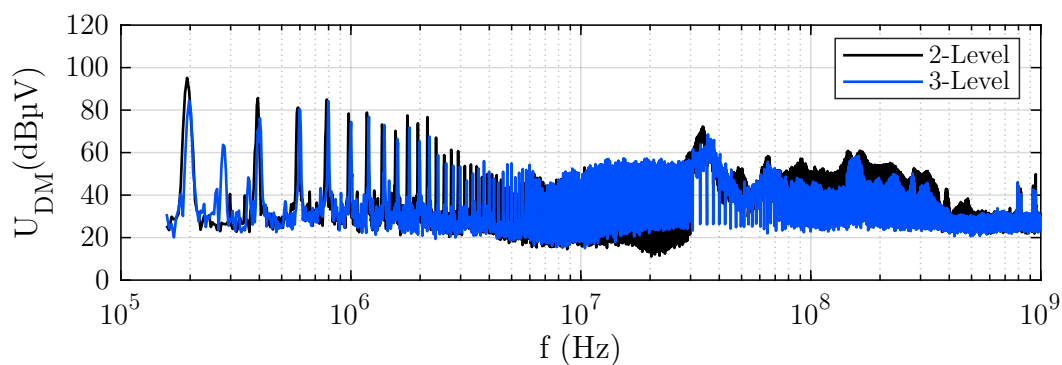
(a) Gleichtakt-Messung Ausgangsseite



(b) Gegentakt-Messung Ausgangsseite



(c) Gleichtakt-Messung Eingangsseite



(d) Gegentakt-Messung Eingangsseite

**Abbildung 6.5:** Vergleich der Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz für eine Zwei- und Dreilevel-Topologie bei einer Schaltfrequenz von 200 kHz.

## 6.4 Filtermaßnahmen zur Reduzierung von Oberschwingungen

### 6.4.1 du/dt-Filter

Das Ziel des  $du/dt$ -Filters ist die Reduzierung der Spannungsanstiegsgeschwindigkeit und somit der hochfrequenten Oberwellen für die Motorleitung und den Motor selbst. Zudem soll der  $du/dt$ -Filter die Halbleiter von den Leitungs- und Motorkapazitäten entkoppeln, damit durch diese keine zusätzlichen Verluste in den Halbleitern entstehen [103, 105]. Ein charakteristisches Merkmal des  $du/dt$ -Filters ist die Filterresonanzfrequenz, die höher als die Schaltfrequenz ist und nur dämpfend auf die hochfrequenten Anteile wirkt. Dadurch fallen Filterkomponenten im Vergleich zum Sinusfilter, der im nächsten Teilkapitel näher beschrieben wird, deutlich kleiner aus. Der  $du/dt$ -Filter besteht aus einem LC-Tiefpass, der auch durch die Schaltzelle selbst zum Schwingen angeregt werden kann und daher gedämpft werden muss. Es gibt einige Varianten mit unterschiedlichsten Vor- und Nachteilen, wie die Dämpfungswiderstände in einem  $du/dt$ -Filter angeordnet werden können [106]. Die Filteranordnung mit einem Dämpfungswiderstand  $R_f$  in Reihe zur Kapazität  $C_f$ , die in Abbildung 6.6 gezeigt ist, weist im Vergleich zu den Varianten mit einem Dämpfungswiderstand  $R_f$  parallel zur Kapazität  $C_f$  oder Induktivität  $L_f$  die geringeren Verluste auf [106, 107]. Deswegen wird diese Variante für die weiteren Untersuchungen verwendet. Die Übertragungsfunktion  $G(j\omega)$  für diese Filteranordnung lautet wie folgt:

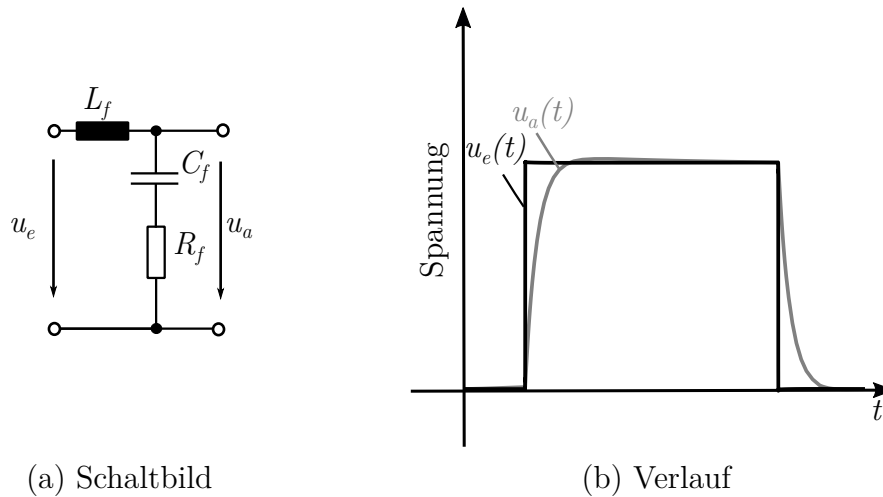
$$G(j\omega) = \frac{\underline{U}_a}{\underline{U}_e} = \frac{j\omega R_f C_f + 1}{(j\omega)^2 L_f C_f + j\omega R_f C_f + 1} \quad (6.5)$$

Die Dämpfungsverluste  $P_{R_f}$  im Dämpfungswiderstand  $R_f$  steigen proportional mit der Schaltfrequenz  $f_{sw}$  [105]:

$$P_{R_f} = U_{DC}^2 C_f f_{sw} \quad (6.6)$$

Daher ist diese Filteranordnung für hochoftaktende Anwendungen nicht geeignet und wird somit nur für eine Schaltfrequenz von 16 kHz untersucht. Mit zusätzlichem Kühlaufwand des Dämpfungswiderstandes ist eine weitere Steigerung der Schaltfrequenz möglich [105].

Zur messtechnischen Untersuchung wurde ein  $du/dt$ -Filter mit einer Flankensteilheit von 10 V/ns, was ungefähr der Flankensteilheit von IGBT-Halbleitern entspricht [108], erstellt. Die Bauteilwerte des Filters sind in Tabelle 6.1 gezeigt. Die Berechnung der

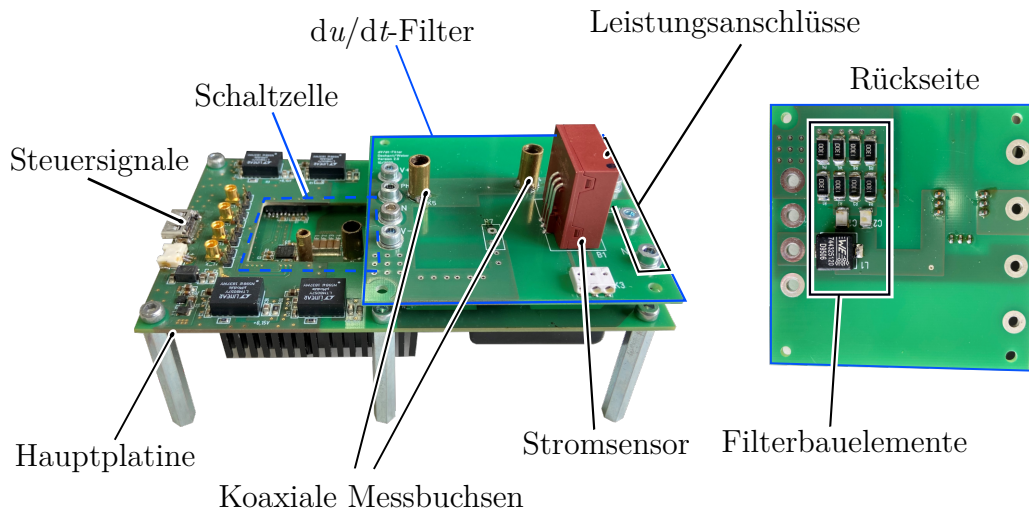


**Abbildung 6.6:** Schaltbild eines  $du/dt$ -Filters mit schematischem Verlauf zwischen Eingangs- und Ausgangsspannung.

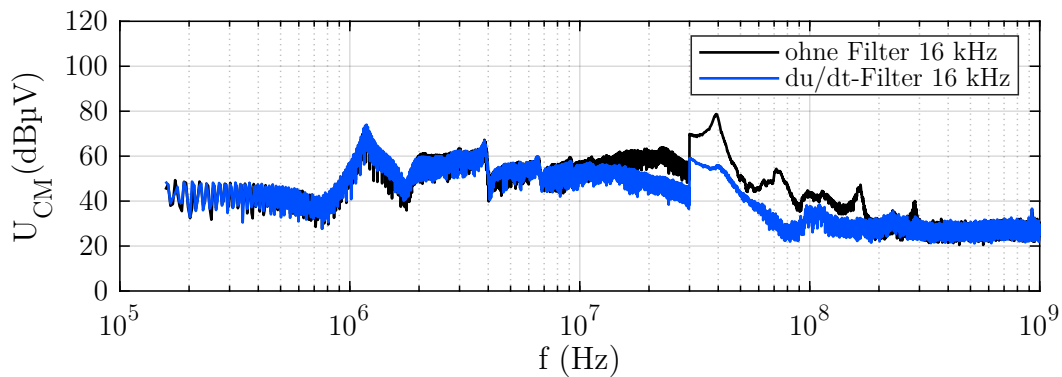
**Tabelle 6.1:** Parameter für den  $du/dt$ -Filter.

Parameter	Wert
Filterinduktivität $L_f$	1.2 $\mu\text{H}$
Filterkapazität $C_f$	2 nF
Dämpfungswiderstand $R_f$	66 $\Omega$

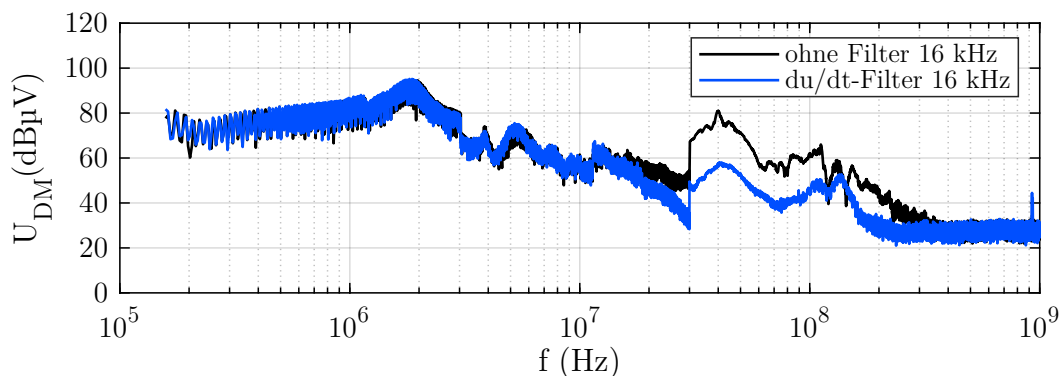
Bauteilwerte wurde nach der in [109] vorgeschlagenen Methodik durchgeführt (siehe Anhang A.3). In Abbildung 6.7 ist der modulare Aufbau eines einphasigen Wechselrichters bestehend aus einer Hauptplatine, einer Schaltzelle auf Basis von FR4 und dem  $du/dt$ -Filter, der für die weiteren Messungen verwendet wurde, dargestellt. Die Abbildungen 6.8 und 6.9 zeigen die Ergebnisse für die eingangs- und ausgangsseitige Gleich- und Gegentaktmessung des Wechselrichters mit und ohne  $du/dt$ -Filter bei einer Schaltfrequenz von 16 kHz, gemessen mit dem Versuchsaufbau aus Kapitel 6.1. Ab einer Frequenz von 10 MHz ist der Einfluss des  $du/dt$ -Filters deutlich zu erkennen. Dabei treten Dämpfungen von einzelnen Frequenzen von bis zu 25 dB auf. Somit stellt der  $du/dt$ -Filter eine gute Möglichkeit zur Reduzierung von Störspannungen durch schnelle Schaltvorgänge dar. Ein  $du/dt$ -Filter ermöglicht zwar schnelle Schaltvorgänge und somit reduzierte Verluste in den Halbleitern, dennoch steigen aufgrund der Verluste im Filter die Gesamtverluste im Wechselrichter an. Ausschlaggebend für den praktischen Einsatz ist, ob die reduzierten Verluste im Halbleiter den Systemvorteil so erhöhen, dass die Kosten der Komponenten für den  $du/dt$ -Filter kompensiert werden können.



**Abbildung 6.7:** Modularer Aufbau einer einphasigen Schaltzelle bestehend aus einer Hauptplatine, einem modularen Leistungsmodul und einem modularen  $du/dt$ -Filter.

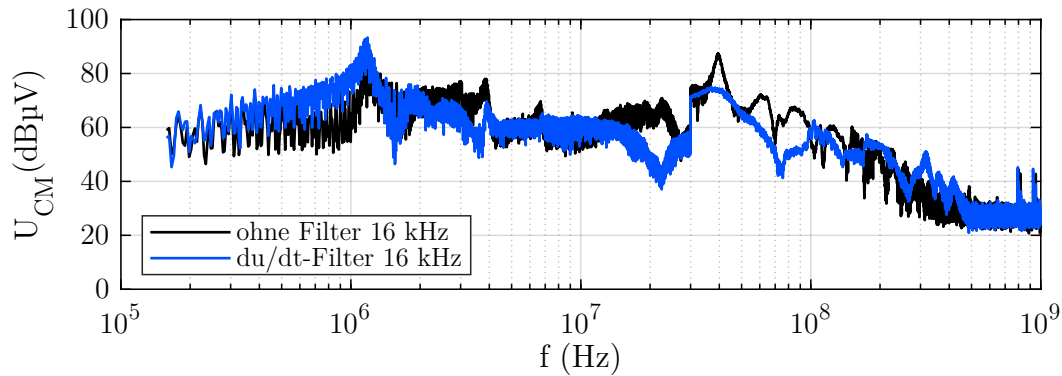


(a) Gleichtakt-Messung

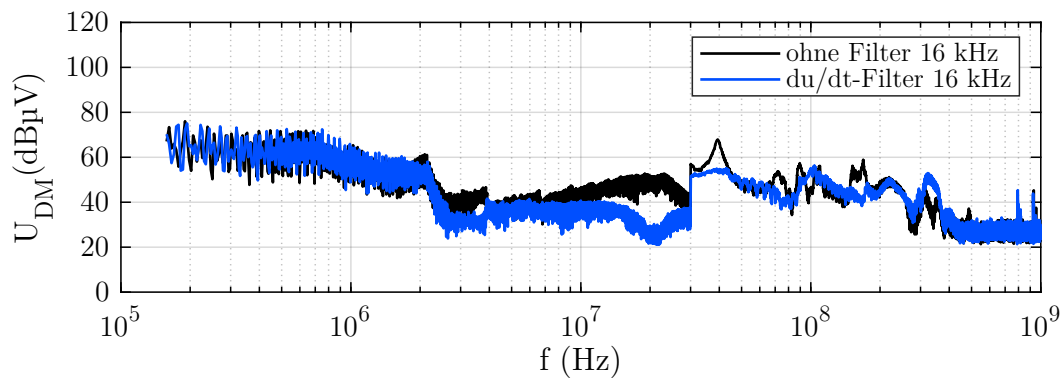


(b) Gegentakt-Messung

**Abbildung 6.8:** Ausgangsseitig mit einer Stromzange gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit und ohne  $du/dt$ -Filter bei einer Schaltfrequenz von 16 kHz.



(a) Gleichtakt-Messung



(b) Gegentakt-Messung

**Abbildung 6.9:** Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit und ohne  $du/dt$ -Filter bei einer Schaltfrequenz von 16 kHz.

### 6.4.2 Sinusfilter

Beim Sinusausgangfilter handelt es sich ebenfalls um einen Tiefpassfilter, mit dem großen Unterschied zum  $du/dt$ -Filter, dass die Resonanzfrequenz dieses Filters unterhalb der Schaltfrequenz liegt. Dies hat zur Folge, dass nicht nur die Schaltflanken, sondern auch das Trägersignal gedämpft wird. Je nach Filterauslegung ändert sich dadurch das Ausgangssignal von einer getakteten Wechselspannung zu einem annähernd sinusförmigen Spannungsverlauf. Das reduziert nicht nur Reflexionen an Leitungen, sondern kann auch die Verluste im Motor verkleinern [110]. Abbildung 6.10(a) zeigt die untersuchte Filterstruktur bestehend aus einem LC-Glied und einem dazugehörigen RLC-Dämpfungsnetzwerk, das zur Dämpfung der Resonanzüberhöhung des Filters benötigt wird. Zudem kann bei einer niedrigen Filterkennfrequenz die Dämpfung zusätzlich über den Stromregler erfolgen, wie in [5] gezeigt wurde. Die Grundlagen zu

diesem Filter wurden ebenfalls in [5] erarbeitet und die Ergebnisse für diese Arbeit übernommen.

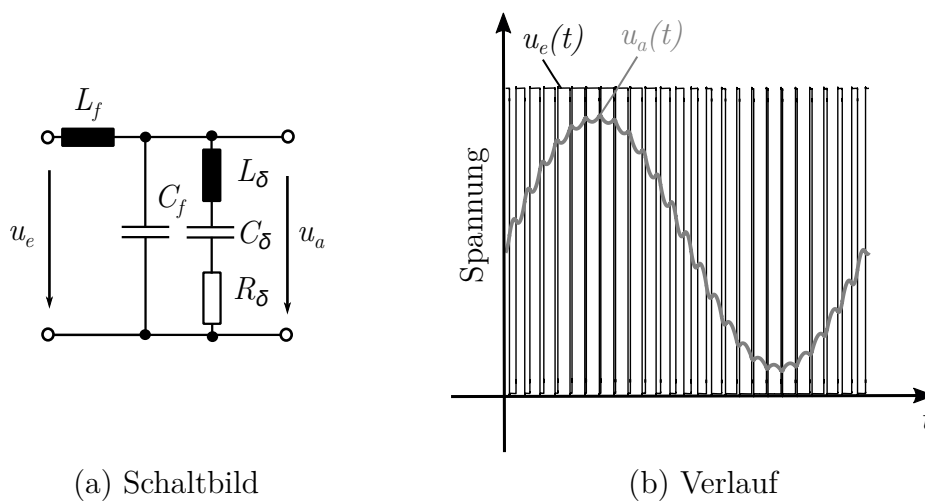
Die Übertragungsfunktion  $G(j\omega)$  des Filters kann durch folgende Substitution vereinfacht werden:

$$\omega_{0f}^2 = \frac{1}{L_f C_f} \quad \omega_{0\delta}^2 = \frac{1}{L_\delta C_\delta} \quad D_F = \frac{R_\delta}{2} \sqrt{\frac{C_f}{L_f}} \quad D_\delta = \frac{R_\delta}{2} \sqrt{\frac{C_\delta}{L_\delta}} \quad (6.7)$$

Mit diesen Substitutionen kann die Übertragungsfunktion des Filters wie folgt berechnet werden:

$$G(j\omega) = \frac{\omega_{0f}^2 ((j\omega)^2 + (j\omega)2D_\delta\omega_{0\delta} + \omega_{0\delta}^2)}{(j\omega)^4 + (j\omega)^3 2D_\delta\omega_{0\delta} + (j\omega)^2 (\omega_{0\delta}^2 + \omega_{0f}\omega_{0\delta} \frac{D_\delta}{D_f} + \omega_{0f}^2) + j\omega 2D_\delta\omega_{0\delta}\omega_{0f}^2 + \omega_{0f}^2\omega_{0\delta}^2} \quad (6.8)$$

Abbildung 6.10(b) zeigt den schematischen Verlauf der Ausgangsspannung dieser Übertragungsfunktion mit einer Anregung durch eine taktende Wechselspannung mit einem Modulationsgrad von 0.8. Der Nachteil des Sinusausgangsfilters ist aufgrund der niedrigen Filterkennfrequenz die Größe der Filterkomponenten. Um eine Reduzierung der Baugröße zu erreichen, muss die PWM-Frequenz möglichst hoch gewählt werden. Für den Filter in dieser Arbeit wurde eine Filterkennfrequenz von 30 kHz gewählt, die sich zwischen der Schaltfrequenz von 200 kHz und einer maximalen Modulationsfrequenz von 5 kHz befindet. Zudem wurden als Rahmenbedingungen eine Zwischenkreisspannung von 400 V und eine Filterinduktivität von 40  $\mu\text{H}$  definiert. Ei-



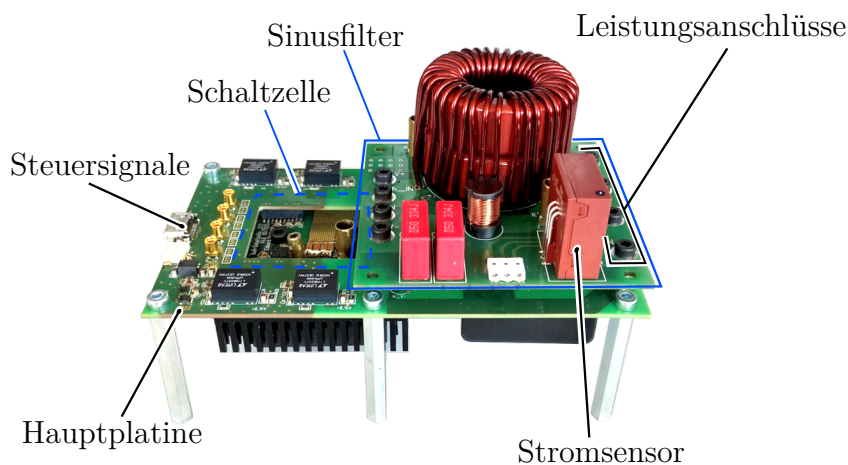
**Abbildung 6.10:** Schaltbild eines Sinusfilters mit einem  $R_\delta L_\delta C_\delta$ -Dämpfungsnetzwerk und dem schematischen Verlauf zwischen der Eingangs- und Ausgangsspannung.

ne Parametervariation zur Optimierung des Sinusfilters, welche in [5] durchgeführt wurde, ergab für eine Filtergüte von 10 die in Tabelle 6.2 aufgelisteten Bauteilwerte.

**Tabelle 6.2:** Parameter für den Sinusausgangsfiler.

Parameter	Wert
Filterinduktivität $L_f$	40 $\mu\text{H}$
Filterkapazität $C_f$	680 nH
Dämpfungswiderstand $R_\delta$	50 $\Omega$
Dämpfungsinduktivität $L_\delta$	165 $\mu\text{H}$
Dämpfungskapazität $C_\delta$	94 nF

Abbildung 6.11 zeigt den einphasigen Wechselrichter bestehend aus einer Hauptplatine, einem Leistungsmodul auf Basis von FR4 und dem Sinusfilter mit den Bauteilen aus Tabelle 6.2. Der Sinusfilter dämpft aber nicht nur die hochfrequenten Spannungsanteile auf der Ausgangsseite, sondern kann auch das Schaltverhalten der Halbleiter beeinflussen. Dies wird anhand einer Leerlaufmessung demonstriert. Abbildung 6.12(a) zeigt die Messschaltung für die Leerlaufmessung mit einem Sinusfilter bei einer PWM-Frequenz von 200 kHz. Dabei kann die Verlustleistung über die abgegebene Leistung der Quelle berechnet werden. Eine Vergleichsmessung ohne Filter zeigt aber



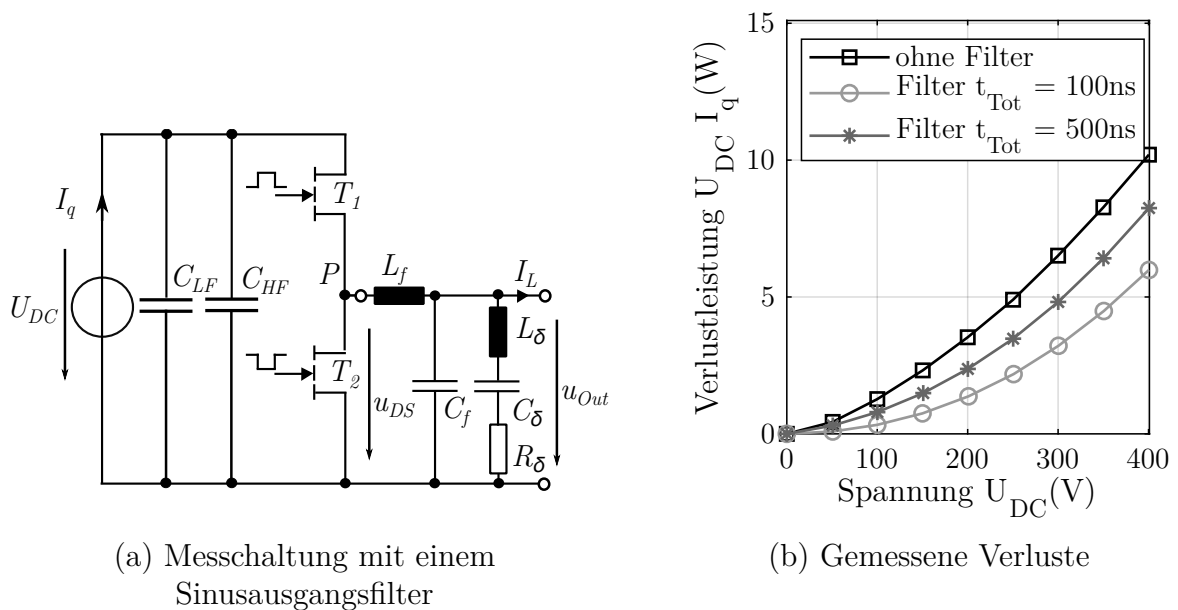
**Abbildung 6.11:** Modularer Aufbau einer einphasigen Schaltzelle bestehend aus einer Hauptplatine, einem modularen Leistungsmodul und einem modularen Sinusfilter.



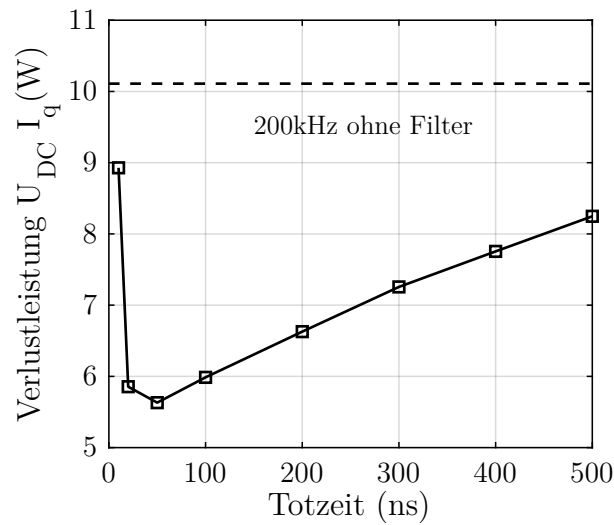
eine höhere Verlustleistung als mit Filter (siehe Abbildung 6.12(b)). Zudem zeigen Messungen mit unterschiedlichen Totzeiten zwischen den Gatesignalen unterschiedliche Verlustleistungen. Abbildung 6.13 zeigt die Verlustleistung in Abhängigkeit von dieser Totzeit. Bei einer Totzeit von 500 ns ist eine Reduzierung der Verluste im Vergleich zum Fall ohne einen Filter von 20 % festzustellen. Wird die Totzeit weiter bis 50 ns gesenkt, reduzieren sich die Verluste sogar um 42 %. Eine weitere Senkung führt wieder zur Erhöhung der Verluste. Um den Einfluss des Filters auf das Schaltverhalten besser zu veranschaulichen, zeigt Abbildung 6.14 den schematischen Unterschied der Spannung  $U_{DS}$ , des Gate-Signals  $T_1$ , des Gate-Signals  $T_2$  und des Spulenstroms  $i_{L_f}$  mit und ohne Filter. In Abbildung 6.14(a) ist zu sehen, dass nach Abschaltung des Low-Side-Schalters  $T_2$  ( $u_{GS} = 0$ ) kein Umladevorgang dieses Halbleiters erfolgt. Erst nach Ablauf der Totzeit  $t_{Tot}$  zwischen den Schaltsignalen, beim Einschalten des High-Side-Halbleiters  $T_1$  ( $u_{GS} = \text{high}$ ), erfolgt der Umladevorgang der jeweiligen Halbleiter und ein Wechsel der Spannung  $u_{DS}$  von 0 auf  $U_{DC}$ . Äquivalent geschieht dieser Vorgang beim Einschaltvorgang des Low-Side-Schalters. Bei der Variante mit einem Sinusfilter entsteht ein Strom durch die Filterinduktivität  $I_{L_f}$ , der wie folgt berechnet werden kann:

$$\Delta I_{L_f} = \frac{U_{DC}}{L_f \left( \frac{1}{t_{on}} + \frac{1}{t_{off}} \right)} = \frac{U_{DC} - U_{Out}}{f_{sw} L_f} \frac{U_{Out}}{U_{DC}} \quad (6.9)$$

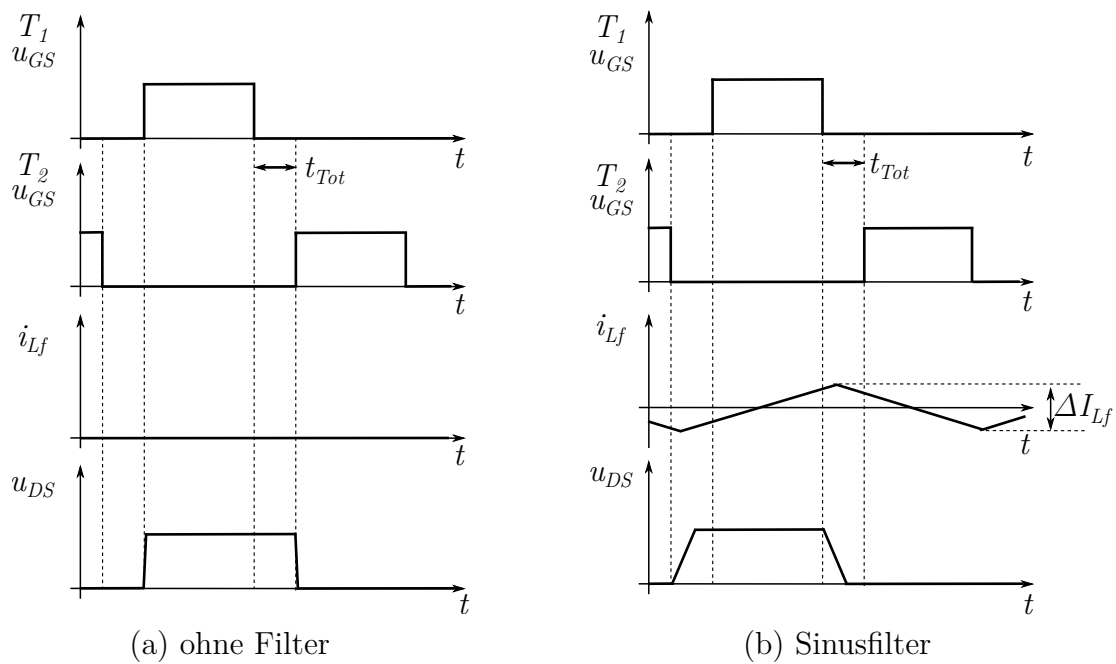
Dabei wurde die Spannung des Low-Side-Schalters  $u_{DS}$  durch die Zwischenkreis-



**Abbildung 6.12:** Messschaltung zur Bestimmung der Leerlaufverluste mit einem Sinusfilter bei einer PWM-Frequenz von 200 kHz mit den dazugehörigen Ergebnissen.



**Abbildung 6.13:** Leerlaufverlustleistung der Messschaltung aus Abbildung 6.10(b) in Abhängigkeit von der Totzeit zwischen den High- und Low-Side-Signalen.



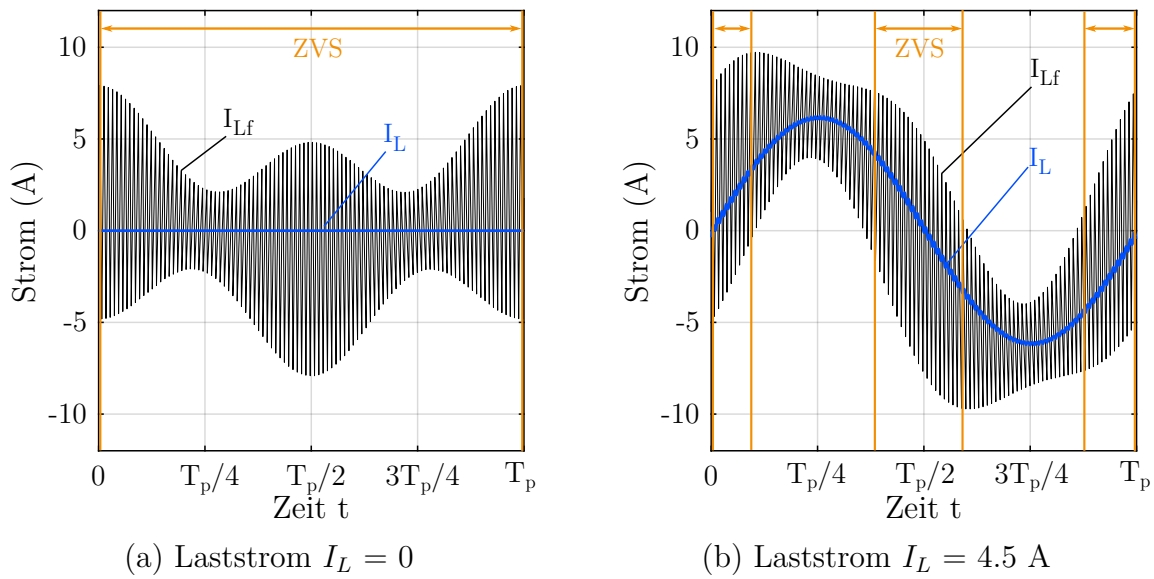
**Abbildung 6.14:** Vergleich der Signalverläufe des High-Side-Halbleiters, des Low-Side-Halbleiters, des Spulenstroms und der Ausgangsspannung zwischen einer Schaltzelle mit und ohne Sinusfilter.

spannung  $U_{DC}$  ersetzt. Wird keine Last an den Filter angeschlossen, alterniert der dreieckförmige Spulenstrom  $\Delta I_{Lf}$  um den Nullpunkt. Wird beim Sinusfilter der Low-Side-Halbleiter  $T_2$  abgeschaltet ( $u_{GS} = 0$ ), lädt der negative Spulenstrom  $i_{Lf}$  die Kapazität in Sperrrichtung wieder auf (siehe Abbildung 6.14(b)). Wird nach Ablauf der Totzeit der High-Side-Halbleiter eingeschaltet, ist die Spannung bereits umgeladen

und es erfolgt ein Nullspannungsschalten. Äquivalent geschieht dies beim Einschaltvorgang, indem der positive Spulenstrom die Kapazität entlädt, sodass die Spannung zum Schaltzeitpunkt bereits null ist. Dieses Nullspannungsschalten reduziert die Verluste in den Halbleitern. Der Anstieg der Verlustleistung rechts und links vom Minimum aus Abbildung 6.13 hat aber zwei verschiedene Ursachen. Wird die Totzeit zu klein gewählt, ist der Umladevorgang noch nicht beendet und die Halbleiter schalten mit einer gewissen Restspannung. Dies ist zwar immer noch effizienter, als die volle Spannung zu schalten, führt aber trotzdem zu höheren Verlusten. Wird die Totzeit zu lange gewählt, treibt z. B. der positive Spulenstrom nach dem Umladevorgang den Strom durch den inversen Kanal des Halbleiters  $T_2$ . Bei einer Gate-Source-Spannung  $u_{GS}$  von 0 V ist dies durch die geringere Rückwärtsleitfähigkeit mit erhöhten Verlusten verbunden. Je länger der Spulenstrom durch den Rückwärtskanal getrieben wird, desto höher werden die Verluste, wie die Messergebnisse aus Abbildung 6.13 bestätigen. Ein weiterer Vorteil ist an dem Pulsmuster der Spannung  $u_{DS}$  aus Abbildung 6.14 zu erkennen. Aufgrund der Umladung der Halbleiter sind je nach Stromstärke vor dem Schaltvorgang die Spannungsflanken nicht mehr so steil, wodurch weniger Spannungsoberwellen entstehen.

Voraussetzung für das Nullspannungsschalten ist ein positiver und negativer Strom durch die Induktivität der Spule. Ist der Laststrom null, ergibt sich für den in dieser Arbeit vorgestellten Filter bei einer Zwischenkreisspannung von 400 V und einem Modulationsgrad von 0.8 der simulierte Verlauf aus Abbildung 6.15(a). Wie aus Gleichung 6.9 zu entnehmen ist, verursacht eine sinusförmige Ausgangsspannung einen variablen Stromrippel. Da der Spulenstrom sowohl positiv als auch negativ wird, ist über den gesamten Zeitraum Nullspannungsschalten (englisch: Zero-Voltage-Switching (ZVS)) möglich. Wird eine Last an den Filter angeschlossen, addieren sich der Rippelstrom der Spule und der Laststrom (siehe Abbildung 6.15(b)). Übersteigt dann der Laststrom den halben Rippelstrom der Spule, wird der Strom durch die Spule zeitweise nicht mehr negativ bzw. positiv und es erfolgt kein Umladevorgang mehr und somit auch kein Nullspannungsschalten. Deswegen erfolgt nur noch im Bereich der Nulldurchgänge des Ausgangsstromes ein Nullspannungsschalten. Um mit einem Laststrom über den gesamten Zeitraum Nullspannungsschalten zu erreichen, dürfte die Stromamplitude nie den halben Rippelstrom der Spule übersteigen. Bei einer ohmschen Last ist der Strom- und Spannungsverlauf phasengleich, daher tritt der maximale Strom auch bei der maximalen Spannung auf. Dieses Spannungsmaximum  $U_{Out,max}$  wird in Abhängigkeit von der Zwischenkreisspannung  $U_{DC}$  und dem Modulationsgrad  $M$  wie folgt berechnet:

$$U_{Out,max} = \frac{U_{DC}}{2}(1 \pm m) \quad (6.10)$$



**Abbildung 6.15:** Simulation des Stromverlaufs in der Induktivität des Sinusfilters über eine Periodendauer  $T_p$  der Grundschwingung des Ausgangssignals bei einer Zwischenkreisspannung von 400 V, einer Induktivität von 40  $\mu\text{H}$  und einem Modulationsgrad  $M$  von 0.8.

Wird diese Spannung in Gleichung 6.9 eingesetzt, kann der Stromrippel an diesem Punkt berechnet werden:

$$\Delta I_{L_f, U_{Out, max}} = \frac{U_{DC}(1 - m^2)}{4f_{sw}L_f} \quad (6.11)$$

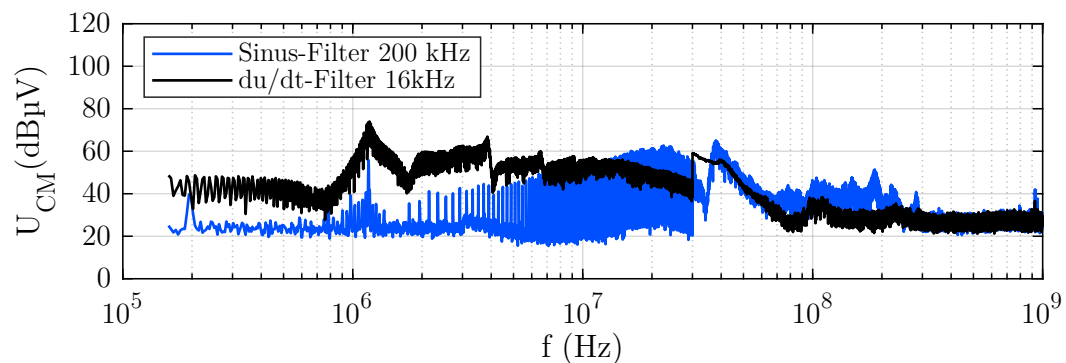
Um im gesamten Zeitraum Nullspannungsschalten zu gewährleisten, müsste daher folgende Bedingung an die Last gestellt werden:

$$\frac{\Delta I_{L_f, U_{Out, max}}}{2} = \frac{U_{DC}(1 - m^2)}{8f_{sw}L_f} > \hat{I}_L \quad (6.12)$$

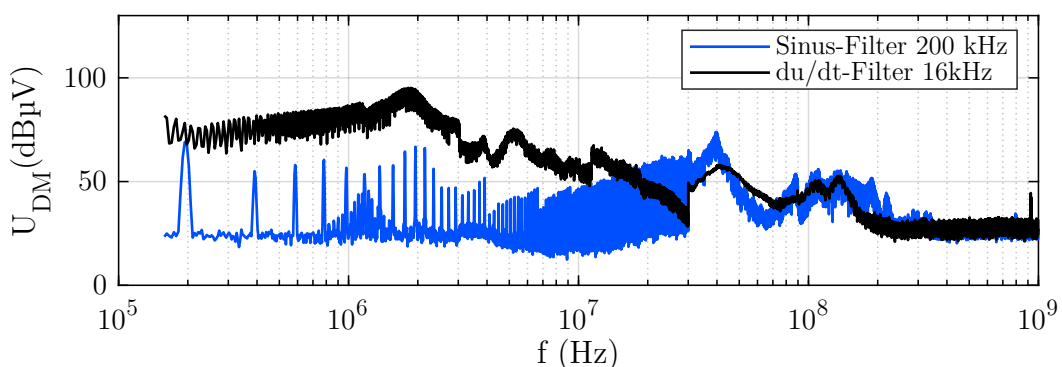
Da diese Bedingung in vielen Anwendungen in Bezug auf die Bauteilwerte oder den Laststrom schwer einzuhalten ist, wurden bereits in [111] dreiphasige Antriebssysteme mit Sinusfiltern und variablen Schaltfrequenzen untersucht. Dadurch erhält man einen zusätzlichen Freiheitsgrad, um den Stromrippel in der Spule gezielt auf das Nullspannungsschalten zu regeln. Ein zusätzlicher großer Vorteil bei erfolgreicher Umsetzung von Nullspannungsschalten mit einem Sinusfilter wäre, dass die Einflüsse der Aufbau- und Verbindungstechnik vernachlässigbar sein könnten. Da die Spannungsanstiegsgeschwindigkeit um ein Vielfaches kleiner ist, würde sich der Einfluss von parasitären Induktivitäten stark reduzieren. Aber auch parasitäre Kapazitäten würden nicht mehr so stark ins Gewicht fallen, da die Umladezeiten, die durch parasitäre Kapazitäten verlängert wären, durch die Totzeit nachgestellt werden könnten. Die Untersuchungen

zum Nullspannungsschalten mit einem Sinusfilter stehen aber derzeit noch am Anfang. Daher müssen noch einige Fragestellungen bzw. Themen wie z. B. die Auslegung des Filters oder die Verluste im Filter untersucht werden.

Als Nächstes werden die Ergebnisse der Gleich- und Gegentaktmessungen mit einem Sinusfilter gezeigt. Der in Kapitel 6.1 beschriebene Versuchsaufbau ist auch für diese Messungen verwendet worden. Da der Sinusfilter für eine PWM-Frequenz von 200 kHz ausgelegt ist, wurde diese Schaltfrequenz auch für die Messung verwendet. Bei einem Laststrom von 1 A und einer reduzierten Zwischenkreisspannung von 50 V ergibt sich bei dieser Schaltfrequenz kein dauerhaftes Nullspannungsschalten, was bisher den Regelfall widerspiegelt. Da ein Einsatz mit einer Schaltfrequenz von 200 kHz ohne Sinusfilter in der Praxis kaum Bedeutung hat, ergibt auch ein Vergleich wenig Sinn. Deswegen wurde als Referenzmessung das Messergebnis mit einem  $du/dt$ -Filter und einer Schaltfrequenz von 16 kHz herangezogen. Die Abbildungen 6.16 und 6.17 zeigen die Messergebnisse der ausgangs- und eingangsseitigen Gleich- und Gegentaktspannungen. Die höhere Dämpfung im Frequenzbereich von  $< 10$  MHz an den

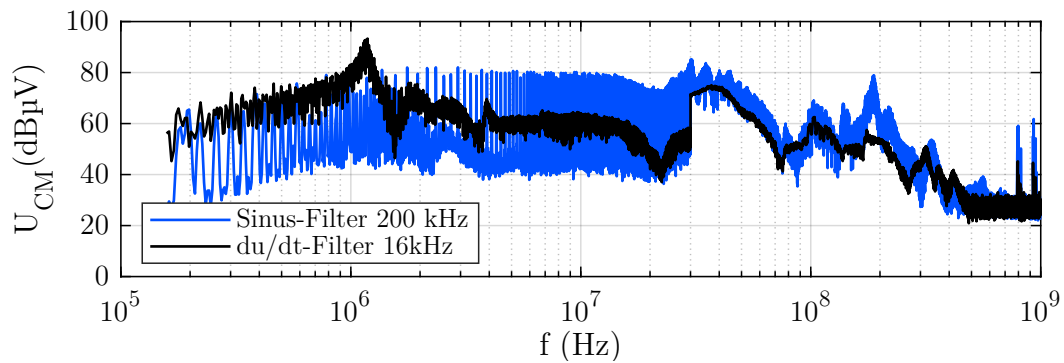


(a) Gleichtakt-Messung

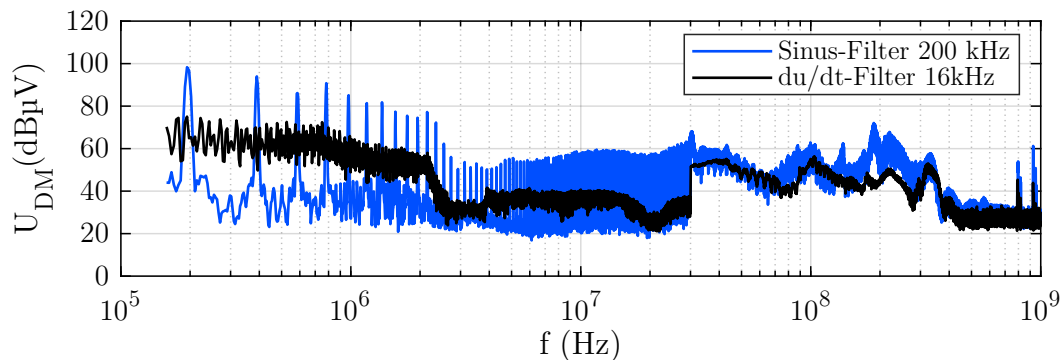


(b) Gegentakt-Messung

**Abbildung 6.16:** Ausgangsseitig mit einer Stromzange gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit einem Sinusfilter und einem  $du/dt$ -Filter als Referenzmessung.



(a) Gleichtakt-Messung



(b) Gegentakt-Messung

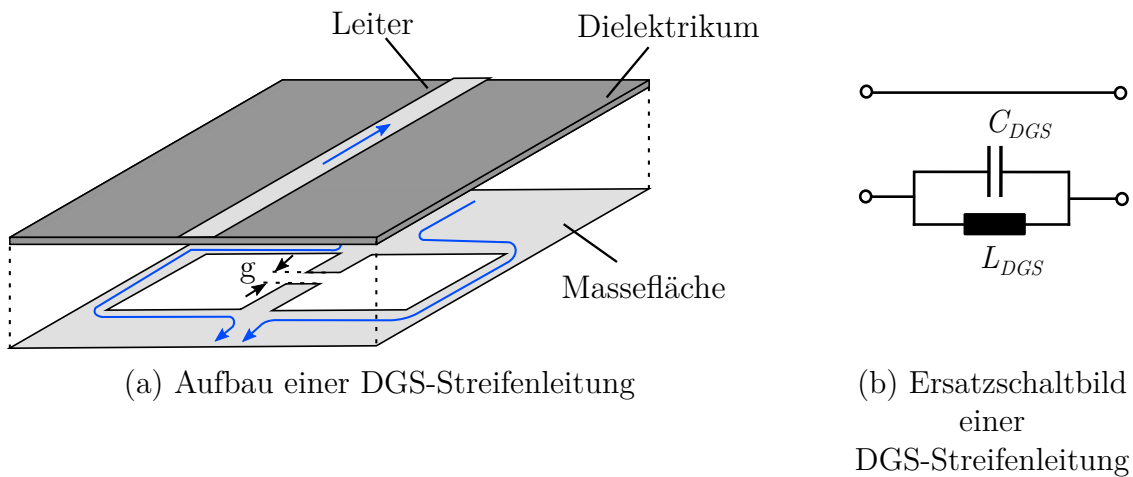
**Abbildung 6.17:** Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit einem Sinusfilter und einem  $du/dt$ -Filter als Referenzmessung.

ausgangsseitigen Störspektren ist auf die geringe Filterkennfrequenz des Sinusfilters zurückzuführen. Da in beiden Fällen hart geschaltet wird und beim Sinusfilter höhere Spannungspegel auftreten, kann die Annahme getroffen werden, dass die Filterwirkung aufgrund von parasitären Elementen im Filter ab einem Frequenzbereich von  $> 10$  MHz abnimmt. Eingangsseitig weist die Variante mit dem Sinusfilter bei den meisten Frequenzen einen höheren Störpegel auf, was auf die Schaltfrequenz von 200 kHz im Vergleich zu 16 kHz zurückzuführen ist.

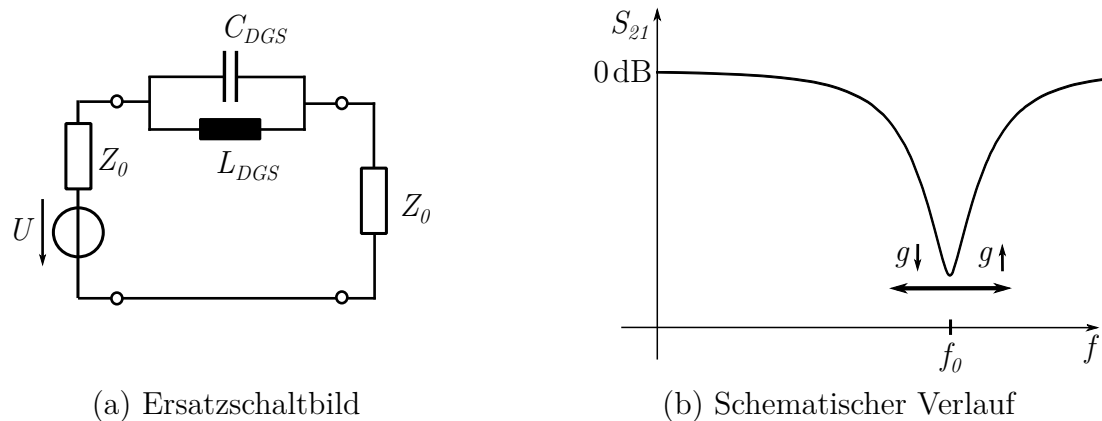
### 6.4.3 Defected-Ground-Structure (DGS)-Eingangsfiler

Neben den Ausgangsfiltern können auch Eingangsfiler verwendet werden, um Störspannungen im Stromrichter zu reduzieren. Diese leiten Fehlerströme, die über das Erdpotenzial zurück zur Störquelle fließen, ohne Umweg über die Versorgungsleitung zurück. In diesem Kapitel werden aber nicht die verschiedenen Eingangsfiler erläutert, sondern es wird ein für die Leistungselektronik neuer Ansatz ohne diskrete Bauelemente mit einer sogenannten „Defected-Ground-Structure (DGS)“ untersucht. Die Grundlage dieser Filter ist eine Mikrostreifenleitung bestehend aus einem Hin- und Rückleiter. Die Idee der DGS-Filter besteht darin, durch strukturelle Veränderung der Massefläche die Eigenschaften so weit gegenüber einer vollflächigen Massefläche zu verändern, dass sich filternde Eigenschaften einstellen. Da DGS-Filter vor allem in der Hochfrequenztechnik Anwendung finden, zeigen bisherige Untersuchungen mit DGS-Filtern Filterkennfrequenzen im Bereich 1 GHz bis 80 GHz [112–114]. Heutige Leiterplattentechnologien ermöglichen dünne Schichtdicken mit einer ausreichenden Spannungsfestigkeit für leistungselektronische Anwendungen, mit denen kapazitive Kopplungen erhöht und die Filterkennfrequenzen der DGS-Streifenleitungen deutlich gesenkt werden können. In diesem Kapitel wird untersucht, ob DGS-Filter mit dünnen Substraten die Störspannungen, verursacht von schnellen Schaltflanken bzw. Schaltfrequenzen, im System messbar reduzieren können.

Abbildung 6.18 zeigt die grundlegende Funktionsweise einer DGS-Streifenleitung mit zwei Aussparungen, die in [112] untersucht wurde. Durch die Aussparungen in der Massefläche wird die Stromverteilung gestört und ein Stromfluss über den Rand der Massefläche erzwungen (siehe Abbildung 6.18(a)). Dieser veränderte Strompfad führt zu einer Erhöhung der Induktivität in der Mikrostreifenleitung. Zudem kann eine Lücke in der Aussparung mit einer Länge  $g$  eine zur Induktivität parallele Kapazität erzeugen. Das vereinfachte Ersatzschaltbild der DGS-Streifenleitung ist in Abbildung 6.18 gezeigt. Aufgrund der Parallelschaltung aus der Kapazität  $C_{DGS}$  und Induktivität  $L_{DGS}$  entsteht bei der Resonanzfrequenz eine Impedanzerhöhung mit einem Bandstoppverhalten. Abbildung 6.19(a) zeigt das Ersatzschaltbild dieser Anordnung mit einer Eingangs- und Ausgangsimpedanz  $Z_0$ . Abbildung 6.19(b) zeigt den schematischen Verlauf des Vorwärts-Transmissionsfaktors  $S_{21}$  für diese Streifenleitung. Die Kapazität  $C_{DGS}$  in der Aussparung hat kaum Einfluss auf die Induktivität der Streifenleitung und ermöglicht durch Variation des Abstandes  $g$  die Resonanzfrequenz dieses LC-Gliedes zu verändern bzw. einzustellen [112].



**Abbildung 6.18:** Aufbau einer DGS-Streifenleitung nach [112] mit dem dazugehörigen Ersatzschaltbild.



**Abbildung 6.19:** Ersatzschaltbild eines DGS-Filters mit schematischem Verlauf des Vorwärts-Transmissionsfaktors  $S_{21}$ .

Der Widerstand  $X_{LC}$  kann für diese Anordnung über die Parallelschaltung der einzelnen Impedanzen berechnet werden:

$$X_{LC} = \frac{\omega L_{DGS}}{1 - \omega^2 L_{DGS} C_{DGS}} = \frac{1}{\omega_0 C_{DGS} \left( \frac{\omega_0}{\omega} - \frac{\omega}{\omega_0} \right)} \quad \omega_0 = \frac{1}{\sqrt{L_{DGS} C_{DGS}}} \quad (6.13)$$

Aus der Schaltungstheorie gilt für den Betrag des Vorwärts-Transmissionsfaktors  $|S_{21}|$  bei der Grenzfrequenz  $f_c$  folgender Zusammenhang [113]:

$$|S_{21}| = \left( 1 + \frac{1}{2} \frac{X_{LC}}{Z_0} \right)^{-1} = \frac{1}{\sqrt{2}} \quad \text{mit } \omega = \omega_c \quad (6.14)$$

Wird Gleichung 6.13 in Gleichung 6.14 eingesetzt und nach  $C_{DGS}$  aufgelöst, kann



daraus die Kapazität ermittelt werden:

$$C_{DGS} = \frac{\omega_c}{2Z_0(\omega_0^2 - \omega_c^2)} \quad (6.15)$$

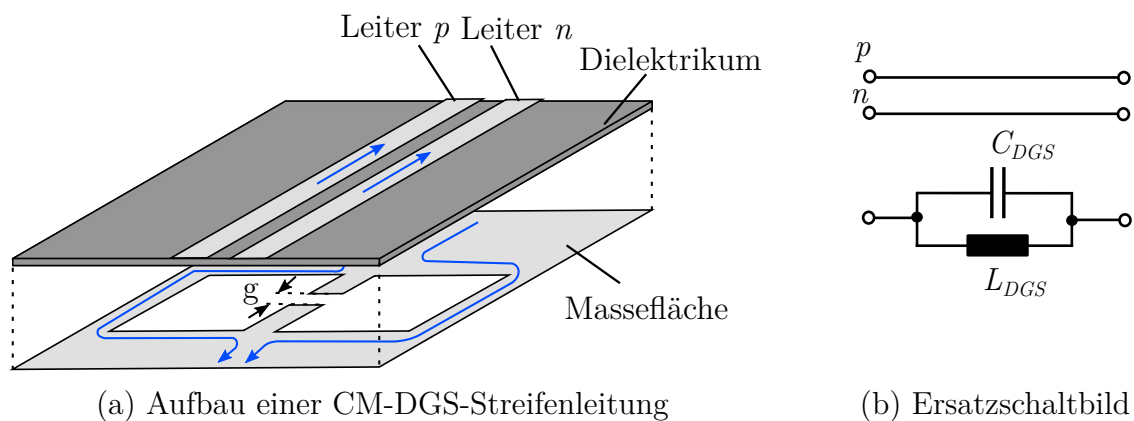
Die Induktivität kann ebenso durch Umstellen der Gleichung 6.14 oder aus der Resonanzfrequenz berechnet werden:

$$L_{DGS} = \frac{1}{(2\pi f_0)^2 C_{DGS}} \quad (6.16)$$

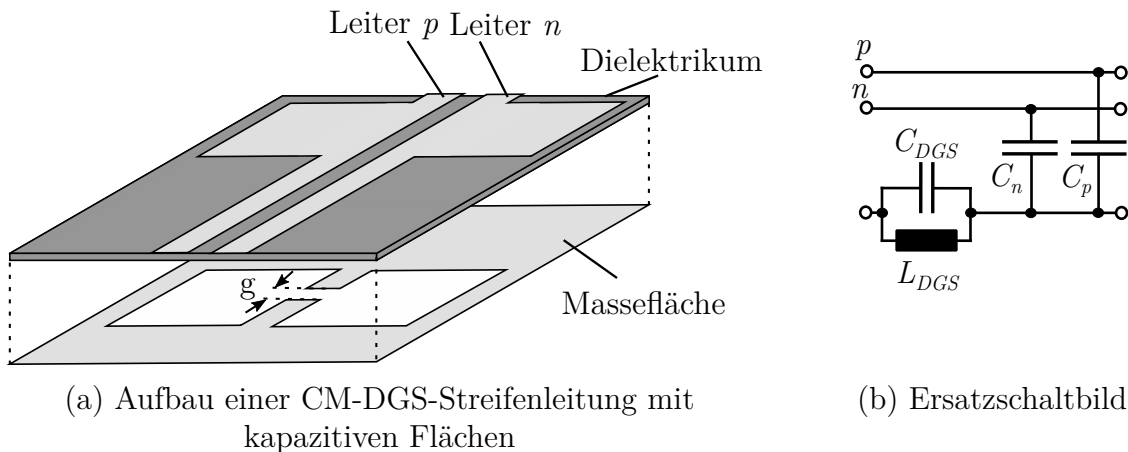
Es gibt noch eine Vielzahl anderer Varianten zur Realisierung von DGS-Streifenleitungen, die in [113] untersucht wurden. Gegenstand dieser Arbeit ist es aber nicht, eine DGS-Mikrostreifenleitung zu optimieren, sondern die Wirkung und Integration in leistungselektronischen Anwendungen anhand einer Variante zu zeigen.

Durch Erweiterung dieser Geometrie zu einer Dreileiter-Anordnung, wie in Abbildung 6.20 gezeigt, kann ein Gleichtaktbandsperverhalten erreicht werden [114–116]. Die Gleichtaktströme fließen dabei über die Leiter  $p$  und  $n$  über die strukturierte Massefläche zurück zur Störquelle. Ein wünschenswerteres Verhalten als Eingangsfilter wäre nicht nur eine Bandsperre für eine Frequenz, sondern ein generelles Tiefpassverhalten sowohl für Gleich- als auch Gegentaktstörungen. Um dieses zu erreichen, werden den DGS-Streifenleitungen parallele Flächenstücke hinzugefügt, wodurch ein LC-Tiefpass entsteht (siehe Abbildung 6.21).

Zur Verifikation der Filtereigenschaften einer DGS-Streifenleitung wurden zwei verschiedene Prototypen mit unterschiedlichen Schichtdicken erstellt. Abbildung 6.22 zeigt den Aufbau mit einer Schichtdicke von 0.125 mm mit dem dazugehörigen Ersatzschaltbild. Die Fläche des Filters beträgt bei diesem Prototyp 70 mm x 70 mm.

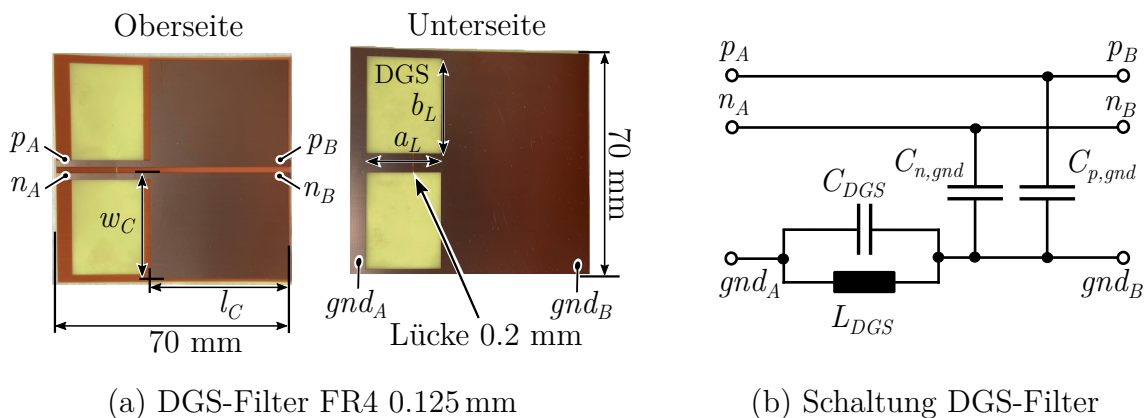


**Abbildung 6.20:** Aufbau einer CM-DGS-Streifenleitung nach [114] mit dem dazugehörigen Ersatzschaltbild.



**Abbildung 6.21:** Aufbau einer DGS-Streifenleitung mit kapazitiven Flächen und dem dazugehörigen Ersatzschaltbild [114].

Die aus dieser Geometrie resultierenden elektrischen Elemente sind von der Wahl der Geometrieparameter  $a, b, l_c$  und  $w_c$  abhängig. Würde z. B. bei gleichbleibenden Außenabmessungen die Länge  $l_c$  vergrößert, würde die Fläche der Kapazität ansteigen und die Schleifenlänge der Induktivität im gleichen Maß abnehmen. Dies hätte zur Folge, dass beide Parameter linear mit Variation von  $l_c$  ab- oder zunehmen [116]. Der zweite Prototyp, der aufgrund gleicher Geometriedaten nicht gezeigt ist, wurde auf Basis von Polyimid mit einer Schichtdicke von 0.025 mm erstellt. Mithilfe dieses Prototyps sollte geprüft werden, ob eine weitere Reduzierung der Schichtdicke messbare Vorteile bringt. Zur Charakterisierung der unterschiedlichen DGS-Filter wurden die Filterparameter messtechnisch bestimmt. Die Flächenkapazitäten  $C_{p,gnd}$  und  $C_{n,gnd}$



**Abbildung 6.22:** a) DGS-Filter mit einer Dicke 0.125 mm, Länge 70 mm und Breite 70 mm. b) Schaltbild der DGS-Streifenleitung. Die Geometrieparameter lauten  $a_L = 21$  mm,  $b_L = 29.5$  mm,  $l_C = 41$  mm und  $w_C = 33.4$  mm [116].

wurden mit einem LCR-Meter (Kethley E4980AL) gemessen. Zur Ermittlung der Filterinduktivität  $L_{DGS}$  wurde am Eingang zwischen  $p_A$  und  $gnd_A$  die Resonanzfrequenz  $f_{p,gnd}$  mit einem Netzwerkanalysator (VNA Tiny) gemessen und anschließend daraus die Induktivität  $L_{DGS}$  wie folgt berechnet:

$$L_{DGS} = \frac{1}{(2\pi f_{p,gnd})^2 C_{p,gnd}} \quad (6.17)$$

Die Resonanzfrequenz für die Gleichtaktfilter kann nach der Bestimmung der Induktivität  $L_{DGS}$  mit folgender Gleichung berechnet werden:

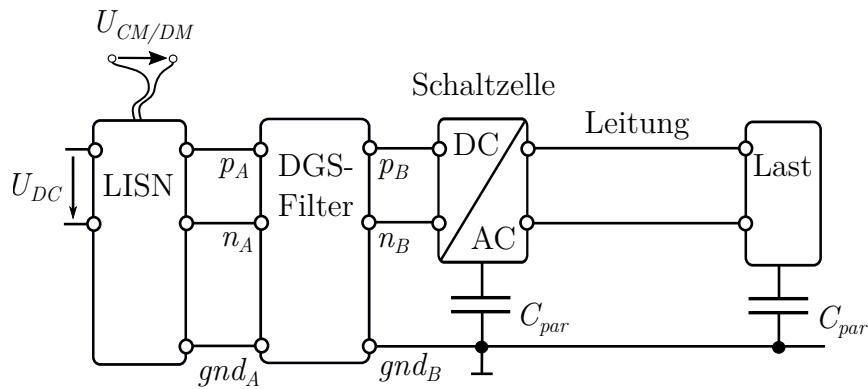
$$f_{CM} = \frac{1}{2\pi \sqrt{(C_{n,gnd} + C_{p,gnd}) L_{DGS}}} \quad (6.18)$$

Tabelle 6.3 vergleicht die Filterelemente zwischen der DGS-Streifenleitung auf Basis von FR4 und PI. Vor allem bei der Kapazität ist der Einfluss der Schichtdicke deutlich zu erkennen, was wiederum Auswirkung auf die jeweilige Resonanzfrequenz hat. Die messtechnische Bestimmung der Kapazität  $C_{DGS}$  ist aufgrund von Kopplungen zu der darüberliegenden Lage nicht möglich. Auch analytische Näherungen verlieren bei sehr dünnen Substraten ihre Gültigkeit. Simulative Näherungen ergeben aufgrund der zusätzlichen kapazitiven Kopplungen, die parallel zur Lücke angeordnet sind, keine genauen Werte. Deswegen wurde auf eine Angabe der Kapazität  $C_{DGS}$  verzichtet.

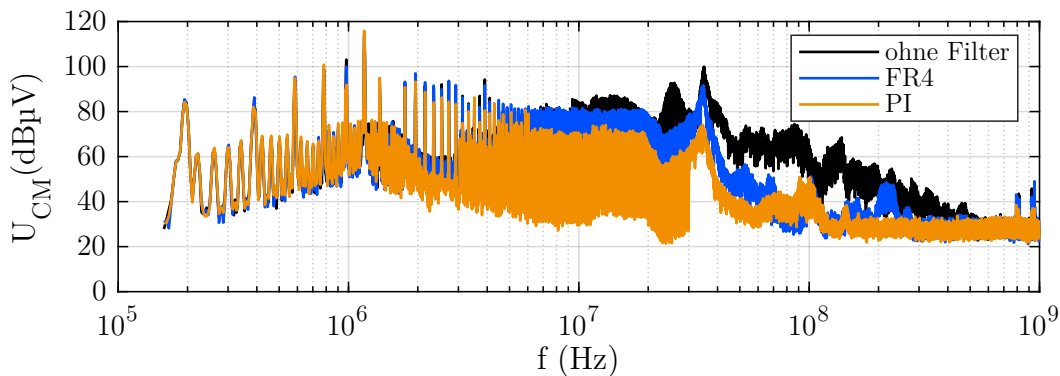
**Tabelle 6.3:** Parameter der DGS-Filter.

Parameter	FR4 0.125 mm	PI 0.025 mm
Kapazitäten $C_{n,gnd}, C_{p,gnd}$	450 pF	1800 pF
Filter-Induktivität $L_{DGS}$	32 nH	30.7 nH
Resonanzfrequenz Gleichtakt $f_{CM}$	29.6 MHz	15.1 MHz

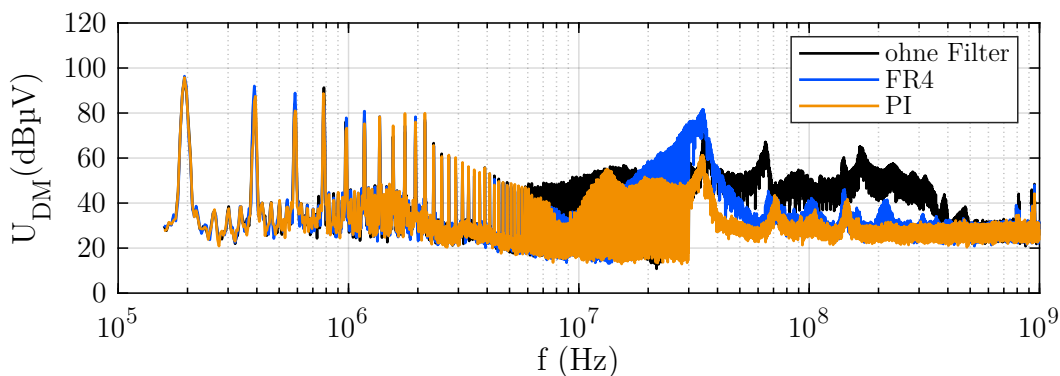
Zur Messung der CM- und DM-Störspannung wurde auch hier eine Netznachbildung verwendet, mit dem Unterschied, dass der DGS-Filter zwischen dieser und der Schaltzelle verschaltet ist (siehe Abbildung 6.23). Abbildung 6.24 zeigt die Messergebnisse dieses Versuchsaufbaus mit einer DGS-Mikrostreifenleitung aus FR4-Material (0.125 mm) und aus Polyimid (0.025 mm), gemessen bei einer Schaltfrequenz von 200 kHz. Alle anderen Randbedingungen des Messaufbaus sind identisch zu den vorhergehenden Messungen. Der schwarze Verlauf entspricht einer Referenzmessung mit identischem Aufbau ohne einen DGS-Filter. Die Ergebnisse zeigen, dass die DGS-Mikrostreifen deutlich messbare Filtereigenschaften aufweisen und die Störspannungen bis zu 35 dB reduziert werden. Aber auch der Einfluss der höheren Kapazität des



**Abbildung 6.23:** Schematische Darstellung des Messaufbaus mit einem DGS-Filter und einer Netznachbildung (LISN).



(a) Gleichtakt-Messung

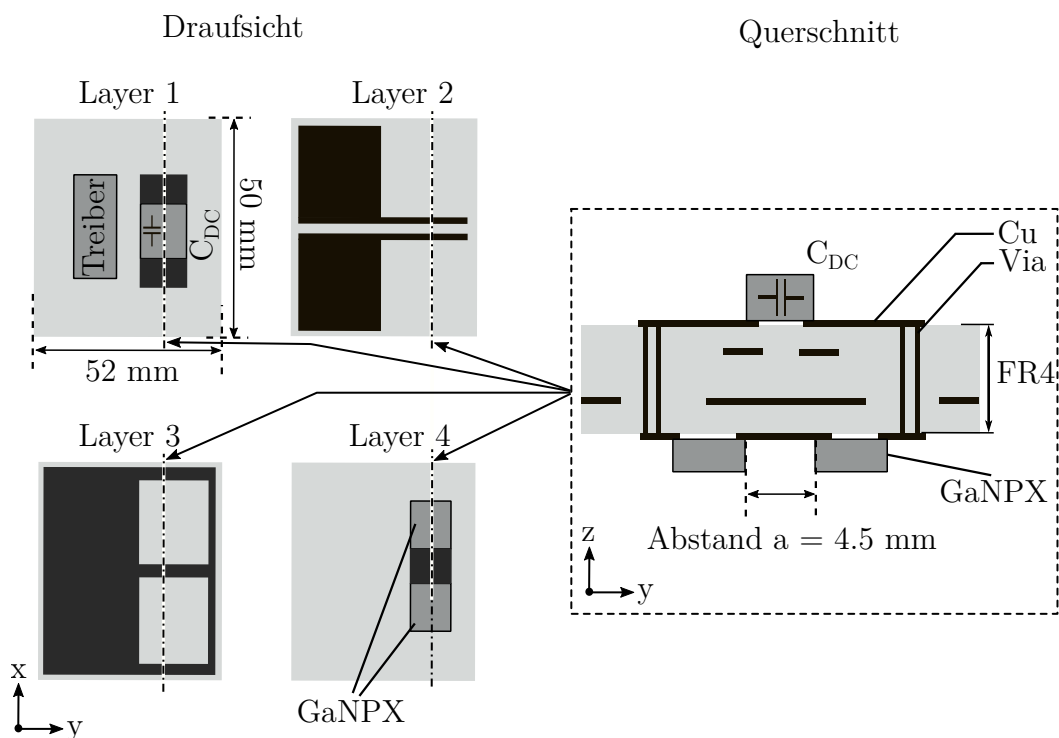


(b) Gegentakt-Messung

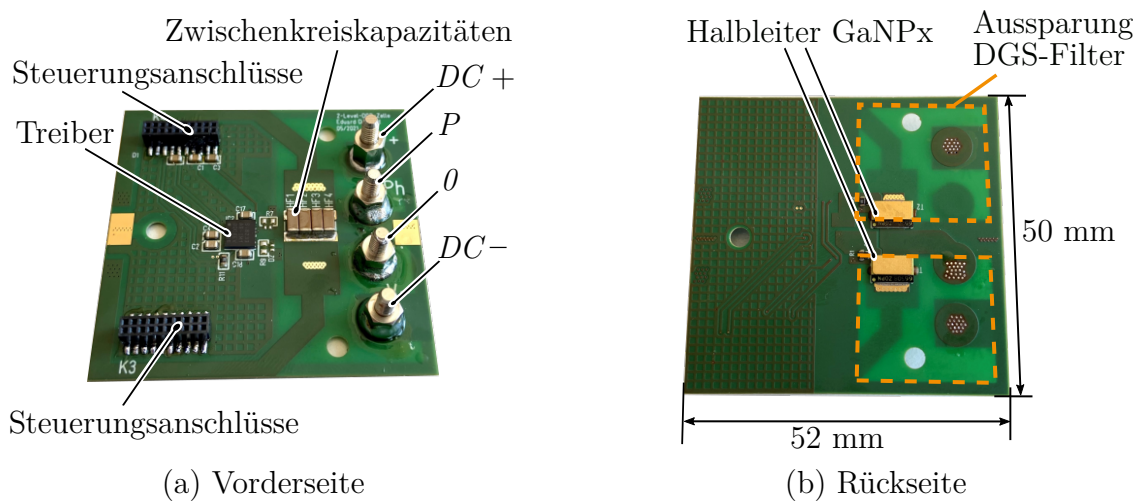
**Abbildung 6.24:** Eingangsseitig über eine Netznachbildung gemessene Spannungsepegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz bei einer Schaltfrequenz von 200 kHz von einer DGS-Streifenleitung mit 0.125 mm auf Basis von FR4, einer DGS-Streifenleitung mit 0.025 mm auf Basis von PI und einer Vergleichsmessung ohne DGS-Streifenleitung.

dünnen PI-Substrates ist im Vergleich zum FR4 zu erkennen. Dabei ist eine Differenz zwischen den zwei Varianten von bis zu 23 dB messbar. Die Ergebnisse zeigen das Potenzial von DGS-Streifenleitungen, ohne zusätzliche diskrete Elemente messbare Filterwirkungen erzielen zu können. Diese separat aufgebauten Filter können in die Platine des Umrichters integriert werden und dadurch das Störverhalten auf der Eingangsseite kostengünstig verbessern.

Eine weitere Möglichkeit, die DGS-Streifenleitungen zu integrieren, besteht darin, diese direkt in eine Schaltzelle zu platzieren. Somit hätten auch Hersteller von Schaltzellen die Möglichkeit, Leistungsmodule mit verbesserten EMV-Eigenschaften zur Verfügung zu stellen. Abbildung 6.25 zeigt ein Konzept zur Integration der DGS-Streifenleitung in eine vertikale Schaltzelle mit einem vierlagigen Aufbau [117]. Auf der Ober- und Unterseite der Schaltzelle sind GaN-Halbleiter bzw. die Zwischenkreis-kapazitäten platziert. Daher wurde die DGS-Streifenleitung in die Innenlagen der Schaltzelle integriert. Die Halbleiter selbst wurden in die Aussparungen des Filters gesetzt, wodurch eine vertikale Kontaktierung der Halbleiter mit den Zwischenkreis-kapazitäten möglich ist (siehe Querschnitt in Abbildung 6.25). Aufgrund der orthogonalen Durchführung der Leitungen durch die Kommutierungsschleife entsteht keine Kopplung untereinander. Abbildung 6.26 zeigt die Vorder- bzw. Rückseite der Schalt-



**Abbildung 6.25:** Konzept zur Integration eines DGS-Filters in eine vierlagige vertikale Schaltzelle [117].

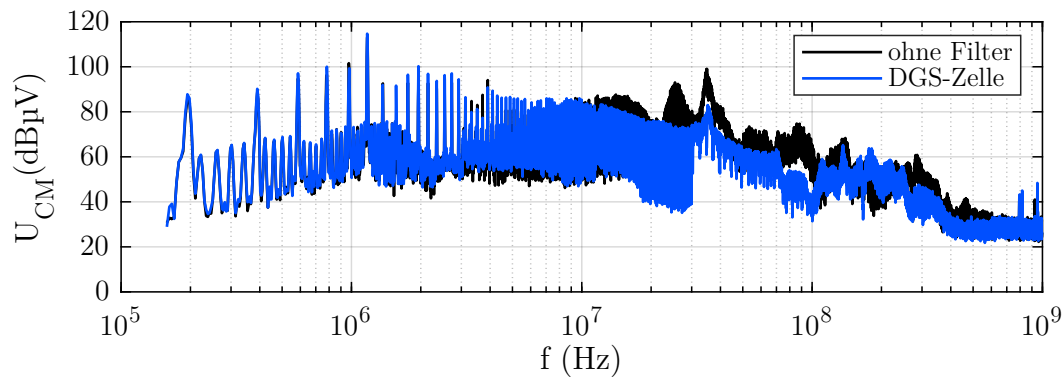


**Abbildung 6.26:** Vorder- und Rückseite der Schaltzelle mit integriertem DGS-Eingangsfiler.

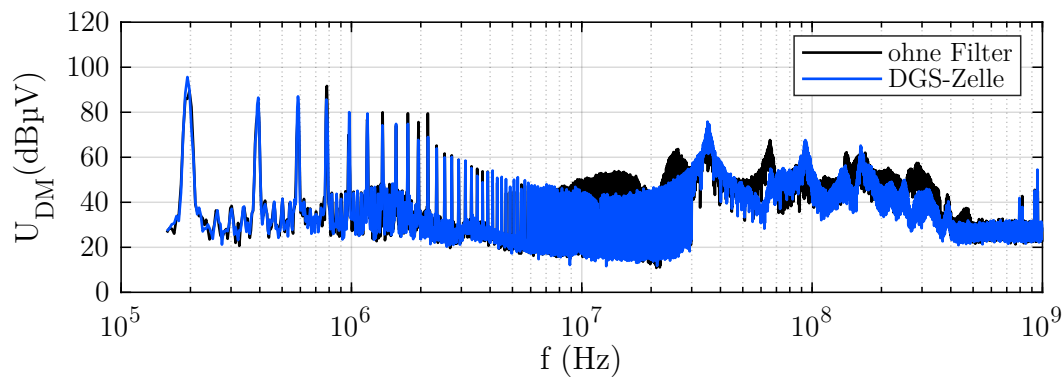
zelle mit integrierten DGS-Eingangsfilern. Die Geometrieparameter wurden auf die Größe der Schaltzelle angepasst und betragen bei diesem Filter  $a = 22$  mm,  $b = 20$  mm,  $l_c = 27$  mm und  $w_c = 24$  mm. Tabelle 6.4 zeigt die Filterparameter des in die Schaltzelle integrierten DGS-Filters. Diese wurden identisch zu den Parametern aus Tabelle 6.3 ermittelt. Aufgrund der geringeren Außenmaße fallen die Filterelemente kleiner aus, was auch in einer höheren Kennfrequenz im Vergleich zu den Filterstrukturen aus Tabelle 6.3 resultiert. Abbildung 6.27 zeigt die Messergebnisse für die Gleich- und Gegentaktstörung an der Eingangsseite. Aus den Messergebnissen kann entnommen werden, dass im Vergleich zur Referenzmessung ohne Filter vor allem bei der Gleichtaktstörung niedrigere Störpegel auftreten. Dies zeigt auch, dass DGS-Streifenleitungen mit geringeren Abmessungen Filterwirkungen erzielen können. Mit einem vierlagigen PI-Aufbau könnten die Ergebnisse ebenfalls noch weiter verbessert werden.

**Tabelle 6.4:** Schaltzelle mit integriertem DGS-Filer.

Parameter	Schaltzelle mit integriertem DGS-Filer
Kapazitäten $C_{n,gnd}$ , $C_{p,gnd}$	400 pF
Filter-Induktivität $L_{DGS}$	26 nH
Resonanzfrequenz Gleichtakt $f_{CM}$	34 MHz



(a) Gleichtakt-Messung



(b) Gegentakt-Messung

**Abbildung 6.27:** Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz von einer Schaltzelle mit integrierten DGS-Streifenleitungen und einer konventionellen Schaltzelle ohne DGS-Struktur bei einer Schaltfrequenz von 200 kHz.

Zusammenfassend lässt sich sagen, dass sich durch gezielte Manipulationen von Leiterstrukturen messbare Filterwirkungen in leistungselektronischen Anwendungen erzielen lassen. Aufbau- und Verbindungstechniken mit Dünnschichttechnologien können diese Filterwirkung deutlich verstärken. DGS-Filter stellen deswegen im Hinblick auf Kosten und Zuverlässigkeit eine gute Möglichkeit dar, Störeinflüsse von schnellen Halbleitern im System zu reduzieren.





## 7 Zusammenfassung und Ausblick

Diese Arbeit untersucht Aufbau- und Verbindungstechniken auf Basis von Leiterplattentechnologien für schnelle Schaltvorgänge in leistungselektronischen Anwendungen. Dabei wurde der Fokus auf konventionelle Leiterplatten mit FR4, die Dünnschichttechnik mit Polyimid und die Integration der Leistungstransistoren in die Leiterplatte gelegt. Transistoren mit kurzen Schaltzeiten haben den Vorteil, dass die Schaltverlustleistung reduziert werden kann. Dies führt zu geringerer thermischer Belastung bzw. höherer Zuverlässigkeit oder ermöglicht eine Erhöhung der Schaltfrequenz. Schnelle Schaltvorgänge werden durch parasitäre Elemente limitiert, weshalb eine Optimierung der Schaltzellen notwendig ist. Ziel war es, einen Aufbau mit möglichst geringen parasitären Elementen unter Berücksichtigung von verschiedenen Aufbau- und Verbindungstechniken zu entwerfen. Als Leistungsschalter wurden diskrete GaN-HEMTs eingesetzt, die eine große Flexibilität bei der Anordnung bzw. beim Layout erlauben. Im Vergleich zu anderen Anordnungen weist der vertikale Aufbau bei dünnen Substraten mit den HF-Zwischenkreiskapazitäten auf der Oberseite und den Transistoren auf der Unterseite die geringsten parasitären Elemente auf. Eine geringe Schichtdicke führt zwar zu kleinen Schleifeninduktivitäten, aber auch zu einer Erhöhung der Kapazität. Dies resultiert in längeren Schaltzeiten bzw. in höheren Schaltverlustleistungen. Der Einfluss der parasitären Kapazität auf das Schaltverhalten hängt vor allem von der Größe der äquivalenten linearen Ausgangskapazität des Transistors ab. Zudem wurde gezeigt, dass ein Optimum zwischen der parasitären Induktivität und Kapazität existiert, indem das Überspringen nicht durch einen zusätzlichen Gatewiderstand limitiert wurde und der Einfluss der Kapazität vernachlässigbar war. Der Grundsatz „nur so schnell zu schalten wie nötig – nicht wie möglich“ [118] kann für die Kommutierungsschleife um den Zusatz „nur so dünn wie nötig – nicht wie möglich“ ergänzt werden. Dies bestätigte auch eine Schaltungsmessung mit einer mittleren Dicke der Kommutierungsschleife von 0.4 mm, in der ein überschwingungsfreies Schalten mit voller Schaltgeschwindigkeit ( $R_{GV} = 0 \Omega$ ) erreicht wurde. Dies zeigt, dass die Aufbauten mittlerweile so niederinduktiv gestaltet werden können, dass ein Überspringen beim Schaltvorgang keine Limitierung mehr darstellt. Die Untersuchungen wurden auch auf eine NPC-Dreilevel-Schaltzelle mit einer Zwischenkreisspannung  $> 400$  V erweitert.

Aufgrund der erhöhten Anzahl an Bauelementen und der damit verbunden längeren Pfade stellt dies eine größere Herausforderung für einen niederinduktiven Aufbau dar. Um eine höhere Effizienz bei hohen Schaltfrequenzen mit Mehrlevel-Topologien zu erreichen, ist es wichtig, ähnliche Schaltzeiten wie in einer Zweilevel-Schaltzelle zu erzielen, da sonst der Vorteil der geringeren Schaltverlustleistung gemindert wird. Der in dieser Arbeit vorgeschlagene vierlagige niederinduktive Aufbau zeigte geringe Schleifeninduktivitäten von 1.2 nH bis 2 nH. Dieser Aufbau ermöglicht das Schalten in einer NPC-Topologie mit voller Schaltgeschwindigkeit ohne Überspringen oder Oszillationen der Ausgangsspannung. Auch hier gilt die Erkenntnis, die Substratschicht nur so dünn wie nötig und nicht wie möglich zu wählen.

Schaltzellen mit einer neuartigen Aufbau- und Verbindungstechnik wie die Integration der Transistoren in den Kern der Leiterplatte können zusätzliche Vorteile bieten. Es konnte zum einen das Schaltverhalten noch weiter verbessert und zum anderen der thermische Widerstand aufgrund einer besseren Wärmespreizung im Vergleich zu gehäusten Transistoren gesenkt werden. Auch bei der Montage der Transistoren zeigten die integrierten Transistoren geringere mechanische Spannungen im Vergleich zu einem konventionellen Aufbau. Bei der Dünnschichttechnik erwies sich besonders die Störfestigkeit bzw. das geringere Übersprechen auf andere Leitungen als Vorteil gegenüber herkömmlichen Leiterplatten. Die Dünnschichttechnik muss aber aufgrund der großen kapazitiven Kopplungen mit Bedacht eingesetzt werden.

Gegenstand dieser Arbeit war, die verschiedenen Aufbau- und Verbindungstechniken nicht nur im Hinblick auf die Schichtdicke bzw. elektrische Leistungsfähigkeit, sondern auch auf die Eignung für leistungselektronische Anwendungen bzw. die Zuverlässigkeit zu untersuchen. Eine wichtige Fragestellung, die dabei geklärt wurde, betrifft das Verhalten der Spannungsfestigkeit für dünne Substrate. Durchbruchtests mit drei verschiedenen Materialien FR4 NPG 150 0.1 mm, Hoch- $T_g$  MCL-E-700 0.1 mm und Polyimid RF775 0.025 mm zeigten bei Raumtemperatur charakteristische Durchbruchfestigkeiten  $> 13$  kV. Bei Erhöhung der Außentemperatur kommen Materialien wie das NPG 150 schnell an ihre Grenzen, daher sollten Materialien mit einem  $T_g > 150$  °C eingesetzt oder die Schichtdicken erhöht werden. Ein besonderer Fokus wurde zudem auf die Zuverlässigkeit der Variante mit integrierten Transistoren in einem Leiterplattensubstrat gelegt. Die durchgeführten Lastwechseltests zeigten bei einem  $\Delta T$  von 125 °C für eine Schaltzelle mit dem Material TG-170 eine charakteristische Lebensdauer von  $0.86 \times 10^6$  Zyklen und für das Material MCL-E-700 eine Lebensdauer von  $1.53 \times 10^6$  Zyklen. Ausfallanalysen zeigten Risse zwischen der Chipoberfläche und den Vias, welche ohne Zerstörung des Moduls schwer detektierbar sind. Außerdem wurde eine Hochtemperaturlagerung bei 125 °C durchgeführt, um alterungsbedingtes Ver-

halten zu untersuchen. Nach einer Alterungsdauer von ca. 20 000 h konnte aber keine signifikante Änderung des Leckstroms, der Spannungsfestigkeit (bis 650 V) und der Schwellspannung beobachtet werden.

Kurze Schaltzeiten von WBG-Transistoren haben nicht nur Einfluss in der Schaltzelle, sondern wirken sich im gesamten System aus. Deswegen wurden ergänzend Filtermaßnahmen für verschiedene Standpunkte diskutiert. Werden WBG-Transistoren verwendet, um die Verluste in den Transistoren zu senken, können  $du/dt$ -Filter zur Reduzierung von Oberwellen eingesetzt werden. Messungen von Gleich- und Gegentaktstörungen zeigten eine deutliche Verringerung von Störspannungen mit einem  $du/dt$ -Filter am Ausgang der Schaltzelle. Für Anwendungen mit einer hohen Taktfrequenz wurde ein Sinusausgangfilter näher untersucht. Auch beim Sinusfilter konnte eine Dämpfung von Gleich- und Gegentaktstörungen aufgezeigt werden. Zudem zeigten Messungen, dass die Verluste durch die Erhöhung der Schaltfrequenz zwar ansteigen, aber der Sinusfilter vor dem Schalten die Kapazität der Transistoren bereits entlädt und somit den Anstieg der Verluste begrenzt. Als Eingangfilter wurde ein DGS-Filter untersucht, bei dem durch gezielte Manipulation einer Streifenleitung filternde Eigenschaften entstehen. Die Messungen zeigen, dass mit DGS-Filtern Dämpfungen bis zu 35 dB für einzelne Frequenzbereiche erreicht werden. Dies belegt das Potenzial der DGS-Filter auch für leistungselektronische Anwendungen.

Das Potenzial von GaN-HEMTs kann erst mit einem optimierten Design und neuartigen Aufbau- und Verbindungstechniken voll ausgeschöpft werden. Jedoch bieten die unterschiedlichen Technologievarianten verschiedene Vor- und Nachteile. Da die Leiterplattentechnologien kombinierbar sind, könnten die Vorteile der einzelnen Varianten in zukünftigen Untersuchungen zusammengefasst werden. Es können z. B. eine Dünnschichttechnik für Filter sowie DC-Signale und Dielektrika  $> 0.1$  mm für dynamische Signale wie Schaltvorgänge eingesetzt werden. Des Weiteren kann eine Integration der Transistoren die thermischen und mechanischen Eigenschaften verbessern. Dabei sollte der Fokus nicht nur auf die Schaltzelle, sondern auch auf die umgebende Elektronik gelegt werden. Auch das Potenzial des Sinusfilters, die Transistoren weich zu schalten, kann durch gezielte Auslegung der Filterinduktivität oder auch Anpassung der Schaltfrequenz noch weiter untersucht werden. Dies würde nicht nur die Verluste in den Transistoren reduzieren, sondern könnte auch die Anforderungen an die Aufbau- und Verbindungstechnik senken.



# Anhang

## A.1 Parameter der FEM-Simulationen

Das FR4-Material ist eine Zusammensetzung aus einem Glasgewebe und einem Epoxidharz. Aufgrund der Gewebestruktur vom FR4-Material entstehen unterschiedliche Wärmeausdehnungskoeffizienten bzw. Längsausdehnungskoeffizienten in horizontaler und vertikaler Richtung. Da in dieser Arbeit die Ausdehnung in vertikaler Richtung ausschlaggebend ist, wird in der Simulation einfachheitshalber für alle Achsen die vertikale Wärmeausdehnung angenommen. In den Tabellen A.1 und A.2 sind alle Parameter, die in den FEM-Simulationen verwendet worden sind, aufgelistet.

**Tabelle A.1:** Materialparameter für FR4, Polyimid und Epoxidharzkleber(gehärtet) [89, 91].

Parameter	FR4	Polyimid	Kleber
Wärmeleitfähigkeit (W/(mK))	0.42	0.24	0.21
Glasübergangstemperatur $T_g$ (°C)	150	220	120
Ausdehnungskoeffizient $< T_g$ (1/K)	$50 \times 10^{-6}$	$25 \times 10^{-6}$	$40 \times 10^{-6}$
Ausdehnungskoeffizient $> T_g$ (1/K)	$230 \times 10^{-6}$	$40 \times 10^{-6}$	$170 \times 10^{-6}$
Dichte (g/cm <sup>3</sup> )	2.0	1.47	1.1
E-Modul (GN/m <sup>2</sup> )	25	7.1	3.6
Poissonzahl	0.13	0.3	0.3

Zur Simulation des GaN-Halbleiters wurden Materialeigenschaften von Silizium gewählt, da nur eine sehr dünne Schicht GaN-Material auf ein Siliziumsubstrat aufgebracht wird und somit die Eigenschaften des Siliziums dominieren.



Topologie, die sowohl für die Messung als auch für die Simulation verwendet wurde.

Bei der NPC-Topologie gibt es nicht nur eine, sondern vier Kommutierungsschleifen. Deswegen muss beim asymmetrischen Aufbau für jede Schleife ein Doppelpulstest durchgeführt werden. Die in dieser Arbeit vorgestellte Schaltung wurde symmetrisch erstellt, sodass nur Fälle mit positiver Ausgangsspannung untersucht wurden. Abbildung A.2 zeigt die Doppelpulstestschaltung für die Kommutierung von  $T_1$  nach  $D_1$  für den Fall mit  $u_{Out} > 0$  &  $i_{Out} > 0$  und Abbildung A.3 von  $T_1/D_1$  nach  $T_3/T_4$  für den Fall  $u_{Out} > 0$  &  $i_{Out} < 0$ . Zu beachten ist hier, dass die Zustände aller Halbleiter korrekt nachgebildet werden, da dies sonst zur Fehlinterpretation des Schaltvorgangs führen kann. Auf eine Darstellung der Gateansteuerung ist bei der NPC-Schaltung aus Überichtsgründen verzichtet worden. Diese ist aber identisch zur Zweilevel-Schaltung aufgebaut. Tabelle A.3 zeigt die für die Simulation bzw. Messung verwendeten Parameter. Die angegebenen Werte entsprechen hierbei den Standard-Einstellungen. Parametervariationen sind den entsprechenden Kapiteln zu entnehmen.

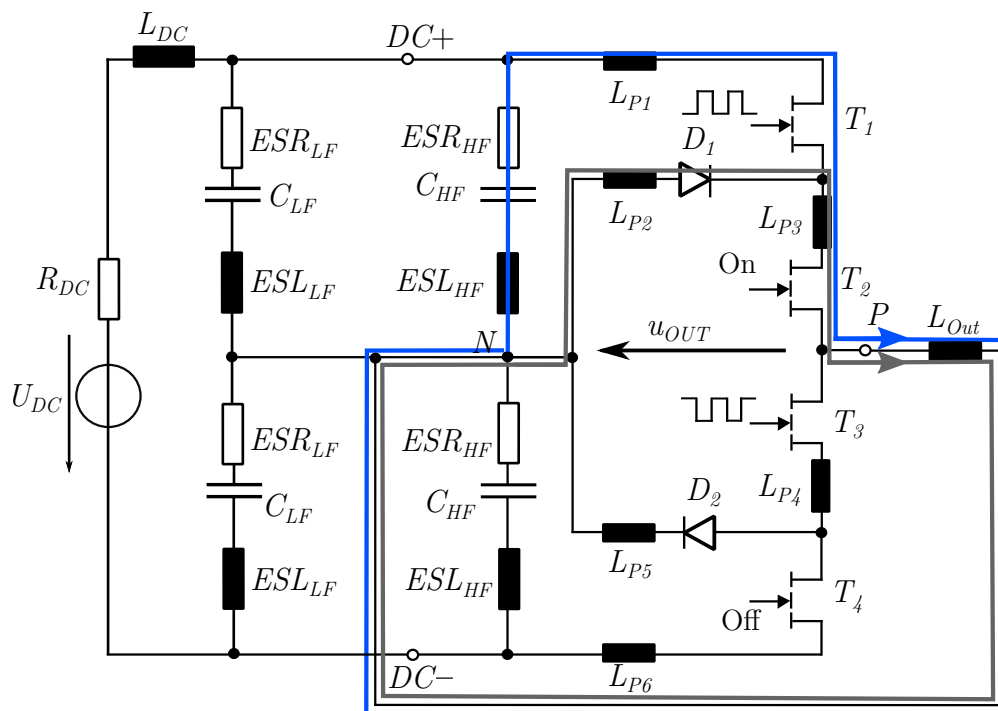


Abbildung A.2: Doppelpulstest für die Kommutierung von  $T_1$  nach  $D_1$ .

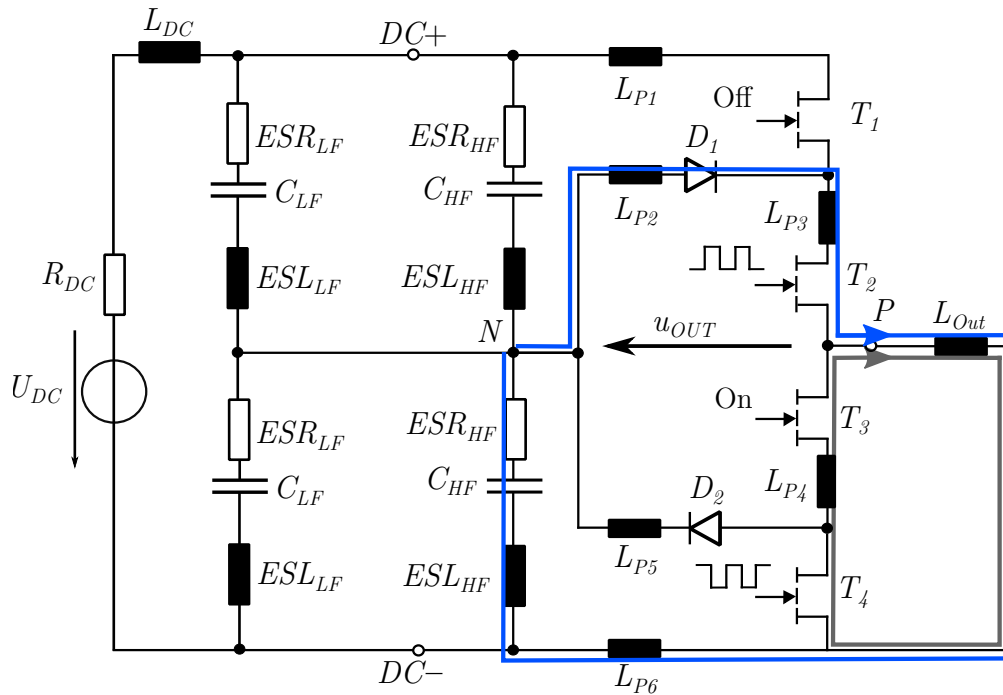


Abbildung A.3: Doppelpulstest für die Kommutierung von  $T_1/D_1$  nach  $T_3/T_4$ .

Tabelle A.3: Parameter für die Doppelpulstests.

Parameter	Wert
Periodendauer $T_p$	0.5 $\mu$ s
Tastgrad $D_T$	0.5
Totzeit $t_{Tot}$	30 ns
Zwischenkreisspannung $U_{DC}$	400 V
Widerstand der Versorgungsleitung $R_{DC}$	0.1 $\Omega$
Ersatzserienwiderstand der LF-Kapazität $ESR_{LF}$	0.1 $\Omega$
Ersatzserienwiderstand der HF-Kapazität $ESR_{HF}$	0.1 $\Omega$
Gatevorwiderstand $R_{GV}$	1 $\Omega$
Gatevorwiderstand $R_{GVoff}$	1 $\Omega$
LF-Zwischenkreiskapazität $C_{LF}$	20 $\mu$ F
HF-Zwischenkreiskapazität $C_{HF}$	400 nF
Kapazität in der Gatezuleitung $C_L$	3 pF
Induktivität der Versorgungsleitung $L_{DC}$	10 $\mu$ H
Ersatzserieninduktivität der LF-Kapazität $ESL_{LF}$	15 nH



Parameter	Wert
Ersatzserieninduktivität der HF-Kapazität $ESL_{HF}$	0 nH
Kommutierungsinduktivität $L_{p+}$	1 nH
Kommutierungsinduktivität $L_{p-}$	1 nH
Kommutierungsinduktivität $L_{P1-6}$	1 nH
Induktivität der Gatezuleitung $L_L$	3 nH
Lastinduktivität $L_{Out}$	40 $\mu$ H

### A.3 Auslegung des du/dt-Filters

Zur Auslegung des du/dt-Filters wurde die vorgeschlagene Methodik nach [109] angewandt. Dazu wird eine gewünschte Spannungsanstiegsgeschwindigkeit definiert. Die für diesen Filter gewählte Spannungsanstiegsgeschwindigkeit du/dt beträgt  $> 10$  V/ns. Wird die Spannungsanstiegsgeschwindigkeit zwischen 10 % und 90 % der Zwischenkreisspannung definiert, resultiert daraus die Anstiegsgeschwindigkeit wie folgt:

$$T_{Rise} = \frac{U_{DC,90\%} - U_{DC,10\%}}{du/dt} \quad (\text{A.1})$$

Die Kennkreisfrequenz lässt sich aus der Anstiegszeit  $t_r$  und dem Verhältnis  $k_t = t_{Peak}/t_r$  mit  $\approx 2$  bestimmen.

$$\omega_0 = \frac{2}{k_t t_r} = \frac{1}{\sqrt{L_f C_f}} \quad (\text{A.2})$$

Mit Festlegung einer Zwischenkreisspannung und einem maximalen kapazitiven Strom  $I_{C_f,max}$  kann die Induktivität  $L_f$  bestimmt werden:

$$L_f = \frac{2}{3} \frac{e^{-1} U_{DC}}{\omega_0 I_{C_f,max}} \quad (\text{A.3})$$

Anschließend erfolgt die Berechnung der Kapazität über die Kreisfrequenz:

$$C_f = \frac{1}{\omega_0^2 L_f} \quad (\text{A.4})$$

Zuletzt kann der Dämpfungswiderstand für den aperiodischen Grenzfall mit  $Q = 0.5$  wie folgt berechnet werden:

$$R_f = \frac{1}{Q} \sqrt{\frac{L_f}{C_f}} \quad (\text{A.5})$$

Tabelle 6.1 zeigt die für diesen Filter nach diesem Vorgehen ermittelten Parameter. Da eine Spannungsanstiegsgeschwindigkeit von  $> 10 \text{ V/ns}$  gewünscht war, wurde bei den Bauteilwerten auf den höheren Wert aufgerundet.

---

# Abkürzungsverzeichnis

---

<b>Abkürzung</b>	<b>Bedeutung</b>
<b>AlGaN</b>	Aluminiumgalliumnitrid
<b>AlN</b>	Aluminiumnitrid
<b>ANPC</b>	Active-Neutral-Point-Clamped
<b>DCB</b>	Direct-Copper-Bonded
<b>DGS</b>	Defected-Ground-Structure
<b>DIP</b>	Dual-In-Line-Package
<b>DUT</b>	Device-Under-Test
<b>FEM</b>	Finite-Elemente-Methode
<b>ESL</b>	Equivalent-Series-Inductance
<b>ESR</b>	Equivalent-Series-Resistance
<b>FC</b>	Flying-Capacitor
<b>FET</b>	Feldeffekttransistor
<b>GaN</b>	Galliumnitrid
<b>HEMT</b>	High-Electron-Mobility-Transistor
<b>HF</b>	Hochfrequenz
<b>IGBT</b>	Insulated-Gate-Bipolar-Transistor
<b>NPC</b>	Neutral-Point-Clamped
<b>MOSFET</b>	Metal-Oxide-Semiconductor-Field-Effect-Transistor
<b>QFN</b>	Quad-Flat-No-Leads-Package

<b>PEEC</b>	Partial-Element-Equivalent-Circuit
<b>PCB</b>	Printed-Circuit-Board
<b>PI</b>	Polyimid
<b>POL</b>	Power-Overlay
<b>PWM</b>	Pulsweitenmodulation
<b>SiC</b>	Siliziumkarbid
<b>SiP</b>	System-in-Package
<b>SIP</b>	Single-In-Line-Package
<b>SoC</b>	System-on-Chip
<b>SOP</b>	Small-Outline-Package
<b>THD</b>	Total-Harmonic-Distortion
<b>TO</b>	Transistor-Outline
<b>WBG</b>	Wide-Bandgap
<b>ZVS</b>	Zero-Voltage-Switching

---

# Symbolverzeichnis

## Allgemeine Darstellung

Formelzeichen	Bedeutung
$x(t)$	Zeitliche Funktion
$X$	Effektivwert
$\bar{X}$	Mittelwert
$\hat{X}$	Spitzenwert
$X'$	Belag
$\underline{X}$	Komplexe Zahl
$\mathbf{X}$	Matrix
$X(s)$	Laplace-Bereich

## Lateinische Formelzeichen

Formelzeichen	Bedeutung	Einheit
$A$	Oberfläche	$\text{m}^2$
$A_{Cu/Chip/Vias}$	Kupfer-, Via- oder Chipoberfläche	$\text{m}^2, \text{mm}^2$
$a$	Abstand zwischen zwei Halbleitern	mm
$a_{GR}$	Abstand zwischen Leiter G und Leiter R	mm
$a_g$	Füllgrad	—
$a_L$	Länge der Aussparung im DGS-Filter	mm
$B$	Magnetische Flussdichte	T
$b_L$	Breite der Aussparung im DGS-Filter	mm
$C$	Kapazität	F, pF
$C_0$	Kapazität bei Vakuum	pF

$C_D$	Diodenkapazität	pF
$C_{DC}$	Zwischenkreiskapazität	nF
$C_{DGS}$	Kapazität des DGS-Filters	pF
$C_{DG/GS/DS}$	Drain-Gate-, Gate-Source-, Drain-Source-Kapazität	pF
$C_{eq,Q}$	Ladungsbezogene lineare Ausgangskapazität	pF
$C_f$	Filterinduktivität	nF
$C_{G,R}$	Kapazität der Leitung G/R	nF
$C_{HF}$	Kapazität für hochfrequente Ströme	nF
$C_{ISS/OSS/RSS}$	Eingangs-, Ausgangs- und Rückkopplungskapazität	pF
$C_{LF}$	Kapazität für niederfrequente Ströme	$\mu$ F
$C_m$	Kopplungskapazität	pF
$C_{n/n,gnd}$	Kapazität des Leiters $n$ gegen GND	pF
$C_{Probe}$	Parasitäre Kapazität im Tastkopf	pF
$C_{p/p,gnd}$	Kapazität des Leiters $p$ gegen GND	pF
$C_{pDS/pDG/pGS}$	Parasitäre Aufbaukapazitäten beim Halbleiter	pF
$C_{pK+/pK-/pKP}$	Parasitäre Aufbaukapazitäten zum Kühlkörper	pF
$C_\delta$	Dämpfungskapazität	nF
$c_{0/n}$	Fourierkoeffizient	V
$D$	Dämpfungsgrad	—
$D_f$	Dämpfungsgrad eines Filters	—
$D_L$	Dämpfungsgrad einer Streifenleitung	—
$D_T$	Tastgrad	—
$D_\delta$	Dämpfungsgrad des Dämpfungsnetzwerks	—
$d_{Pitch}$	Pitch zwischen zwei Vias	mm
$d_s$	Sicherheitsabstand zum Chiprand	mm
$d_{Via}$	Durchmesser Via	mm
$d_y$	Abstand zwischen ersten und letzten Via in y-Richtung	mm
$d_{y(Via)}$	Optimaler Abstand zwischen zwei Vias in y-Richtung	mm
$d_x$	Abstand zwischen ersten und letzten Via in x-Richtung	mm
$d_{x(Via)}$	Optimaler Abstand zwischen zwei Vias in x-Richtung	mm
$d_{1/2/3}$	Dicke der Prepregs bzw. des Kerns	mm

---

$E$	Elektrische Feldstärke	V/m, kV/mm
$E_{Krit}$	Kritische elektrische Feldstärke	V/m, kV/mm
$E_{sw}$	Schaltenergie	$\mu$ J
$E_{sw(0)}$	Schaltenergie mit einem Laststrom 0 A	$\mu$ J
$E_{sw(0),H}$	Schaltenergie im Halbleiter mit Laststrom 0 A	$\mu$ J
$E_{sw(0),P}$	Schaltenergie hervorgerufen durch parasitäre Kapazitäten mit Laststrom 0 A	$\mu$ J
$E_{x,y,z}$	Elektrisches Feld in x-, y- oder z-Richtung	kV/mm
$E_{10\%}$	Kritisches elektrisches Feld bei einer Ausfallwahrscheinlichkeit von 10 %	kV/mm
$e$	Elementarladung	eV
$F$	Ausfallwahrscheinlichkeit	—
$F_N$	Normalkraft	N
$f$	Frequenz	Hz, kHz
$f_0$	Resonanzfrequenz	Hz, kHz
$f_{CM}$	Gleichtakt-Resonanzfrequenz	MHz
$f_{DM}$	Gegentakt-Resonanzfrequenz	MHz
$f_{sw}$	Schaltfrequenz	Hz, kHz
$G$	Übertragungsfunktion	—
$g$	Länge der Lücke im DGS-Filter	mm
$h$	Dicke der Dielektrika	mm
$I$	Stromstärke	A
$I_C$	Kollektor-Strom	A
$I_{CM/DM}$	Gleichtaktstrompegel bzw. Gegentaktstrompegel	dB $\mu$ A
$I_{Cf,max}$	Maximaler Strom durch die Filterkapazität	A
$I_{DSS}$	Leckstrom	$\mu$ A
$I_{D/S/DS}$	Drain-, Source- bzw. Drain-Sourcestrom	A
$I_{G/R}$	Stromstärke der Leitung G bzw. R	A
$I_L$	Laststrom	A
$I_{L_f}$	Strom durch die Induktivität $L_f$	A
$I_{ST}$	Störstrom	A
$I_q$	Quellenstrom	A
$I_{u/v/w}$	Leiterströme in den Phasen U, V und W	A

$I_1$	Stromstärke der Schleife 1	A
$i$	Nummer der Prüflinge	—
$j$	Stromdichte	A/m <sup>2</sup>
$k$	Magnetische Kopplung	—
$k_B$	Boltzmann-Konstante	J/K
$k_t$	Verhältnis $t_{Peak}/t_r$	—
$L$	Induktivität	H
$L_{DC}$	Induktivität der Versorgungsleitung	μH
$L_{D/G/S}$	Drain-, Gate-, Sourceinduktivität	nH
$L_{DGS}$	Induktivität des DGS-Filters	nH
$L_{ESL}$	Serieninduktivität einer Kapazität	nH
$L_{ext}$	Externe parasitäre Induktivität	nH
$L_f$	Filterinduktivität	μH
$L_{G/R}$	Induktivität der Leitung G bzw. R	nH
$L_{HF}$	Schleifeninduktivität in einer NPC-Topologie	nH
$L_K$	Kommutierungsinduktivität	nH
$L_{Last}$	Induktive Last	mH
$L_m$	Gegeninduktivität	nH
$L_{Out}$	Lastinduktivität	μH
$L_p$	Parasitäre Induktivitäten von Leitungen	nH
$L_S$	Gesamtlänge Leiter	cm
$L_{Schleife}$	Schleifeninduktivität	nH
$L_{11/22}$	Eigeninduktivität	H
$L_{12/21}$	Gegeninduktivität	H
$L_\delta$	Dämpfungsinduktivität	μH
$L_\sigma$	Kommutierungskreis-Induktivität	nH
$l_C$	Länge der kapazitiven Fläche im DGS-Filter	mm
$M$	Modulationsgrad	—
$MR$	Median Rank	—
$M_y$	Anzahl der Vias in y-Richtung	—
$m_F$	Flankensteilheit	V/s
$N_D$	Anzahl der Donatoren pro Volumen	1/m <sup>3</sup>
$N_x$	Anzahl der Vias in x-Richtung	—



$N_2$	Windungszahl der Schleife 2	—
$n$	Gesamtanzahl an Prüflingen	—
$P_{ab}$	Abzuführende Wärmeleistung	W
$P_D$	Durchlassverluste	W
$P_Q$	Wärmeleistung durch eine interne Quelle	W
$P_{R_f}$	Dämpfungsverluste im Widerstand $R_f$	W
$P_{rr}$	Sperrverzögerungsverluste	W
$P_{sw}$	Schaltverluste	W
$P_{sw(0)}$	Schaltverluste im Halbleiter mit Laststrom 0 A	W
$P_V$	Verlustleistung	W
$P_\delta$	Dielektrische Verluste	W
$Q$	Gütefaktor	—
$Q_{rr}$	Sperrverzögerungsladung	As
$R$	Widerstand	$\Omega$ , $m\Omega$
$R_B$	Leiterbahnwiderstand	$m\Omega$
$R_{DC}$	Widerstand der Versorgungsleitung	$\Omega$
$R_{DUT}$	Widerstand des Testgerätes	$m\Omega$
$R_{DS(on)}$	Durchgangswiderstand	$m\Omega$
$R_{D/G/S}$	Drain-, Gate-, Sourcewiderstand	$\Omega$
$R_{ESL}$	Serienwiderstand einer Kapazität	$\Omega$
$R_{E/A}$	Eingangs- bzw. Ausgangswiderstand am Leiter R	$k\Omega$
$R_{ext}$	Externer parasitärer Widerstand	$\Omega$
$R_{f,\delta}$	Dämpfungswiderstand des $du/dt$ -Filter bzw. des Sinusfilters	$\Omega$
$R_K$	Kanalwiderstand	$\Omega$
$R_{Last}$	Lastwiderstand	$\Omega$
$R_L$	Lastwiderstand am Leiter G	$k\Omega$
$R_{on, spez.}$	Spezifischer Widerstand	$\Omega m^2$ , $\Omega mm^2$
$R_q$	Innenwiderstand der Quelle	$\Omega$
$R_{th, Konduktion}$	Wärmewiderstand Konduktion	K/W
$R_{th, Konvektion}$	Wärmewiderstand Konvektion	K/W
$R_{th, Strahlung}$	Wärmewiderstand Strahlung	K/W
$R_{Via}$	Ohmscher Widerstand der Vias	$m\Omega$

$R_{GV/GVoff}$	Gatevorwiderstand des Ein- bzw. Abschaltpfades	$\Omega$
$R_Z$	Zuverlässigkeit	—
$R_{\theta,js}$	Wärmewiderstand zwischen Sperrschicht und Kühler	K/W
$S_{21}$	Vorwärts-Transmissionsfaktor	dB
$S_{+/++/-/--}$	Schalterzustand	—
$s$	Breite der Kupferfläche an der Unterseite	mm
$T$	Temperatur	$^{\circ}\text{C}$
$THD$	Gesamte harmonische Verzerrung	—
$T_c$	Oberflächentemperatur	$^{\circ}\text{C}$
$T_g$	Glasübergangstemperatur	$^{\circ}\text{C}$
$T_j$	Sperrschichttemperatur	$^{\circ}\text{C}$
$T_p$	Periodendauer	s
$t$	Zeit	s
$t_b$	Pulsbreite	s
$t_f$	Abfallzeit	ns
$t_{on/off}$	Ein- bzw. Ausschaltzeit	s
$t_{peak}$	Zeitdauer bis zum Erreichen der Amplitude	s
$t_r$	Anstiegszeit	ns
$t_{tot}$	Totzeit	ns
$t_{rr}$	Sperrverzögerungszeit	s
$U$	Spannung	V
$U_{BR}$	Durchbruchspannung	V, kV
$U_{BR,10\%}$	Durchbruchspannung beim Quantil der Weibull-Verteilung	kV
$U_{CM,DM}$	Gleichtakt- bzw. Gegentaktspannungspegel	dB $\mu$ V
$U_{CE/GE}$	Collector- bzw. Gate-Emitter-Spannung	V
$U_{DC}$	Zwischenkreisspannung	V
$U_{DS/GS/GD}$	Drain-Source-, Gate-Source- bzw. Gate-Drain-Spannung	V
$U_{G/R}$	Spannung der Leitung G bzw. R	V
$U_{HV}$	DC-Hochspannungsquelle	kV
$U_{Out}$	Filterausgangsspannung	V
$U_P$	Phasenspannung	V

---

$U_q$	Quellspannung	V
$U_{RE/RL}$	Spannung am Widerstand $R_E$ bzw. $R_L$	V
$U_{ST}$	Störspannung	V
$U_{th}$	Schwellspannung	V
$U_{th0}$	Schwellspannung (0 Zyklen)	V
$u_{a/e}$	Ausgangs- bzw. Eingangsspannung	V
$u_{0/U0/V0/W0}$	Ausgangsspannungen gegen virtuellen Nullpunkt	V
$u_{UV/UW/VW}$	Leiterspannungen	V
$u_{UN/VN/WN}$	Strangspannungen	V
$u_{N0}$	Sternspannung	V
$w$	Breite der Kupferfläche an der Oberseite	mm
$w_C$	Breite kapazitive Fläche beim DGS-Filter	mm
$w_{Drift}$	Driftzone	m
$X$	Reaktanz	$\Omega$
$X_{LC}$	Reaktanz des DGS-Filters	$\Omega$
$Z$	Impedanz	$\Omega$
$Z_0$	Eingangs- bzw. Ausgangsimpedanz	$\Omega$

---

### Griechische Formelzeichen

---

Formelzeichen	Bedeutung	Einheit
$\alpha_K$	Wärmeübergangskoeffizient	W/(m <sup>2</sup> K)
$\beta$	Formfaktor	—
$\delta$	Verlustfaktor	—
$\delta_T$	Eindringtiefe	m
$\varepsilon$	Permittivität	(As)/(Vm)
$\varepsilon_r$	Relative Permittivität	—
$\varepsilon_s$	Emissionsgrad	—
$\varepsilon_0$	Elektrische Feldkonstante	(As)/(Vm)
$\eta$	Charakteristische Lebensdauer	kV
$\kappa$	Elektrische Leitfähigkeit	1/ $\Omega$ m

---

$\lambda$	Wärmeleitfähigkeit	W/(mK)
$\lambda_A$	Ausfallrate	1/s
$\lambda_W$	Wellenlänge	m
$\mu$	Magnetische Permeabilität	(Vs)/(Am)
$\mu_0$	Magnetische Feldkonstante	(Vs)/(Am)
$\mu_r$	Permeabilitätszahl	—
$\mu_n$	Beweglichkeit der Elektronen	m <sup>2</sup> /(Vs), cm <sup>2</sup> /(Vs)
$\rho$	Raumladungsdichte	(As)/m <sup>3</sup>
$\rho_s$	Spezifischer Widerstand	$\Omega$ m
$\sigma$	Mechanische Spannung	N/m <sup>2</sup>
$\sigma_v$	Von-Mises Vergleichsspannung	N/m <sup>2</sup>
$\sigma_{x/y/z}$	Normalpannung in x, y, oder z-Richtung	N/m <sup>2</sup>
$\tau_{xy/yz/xz}$	Scherspannungen in xy, yz, oder xz-Richtung	N/m <sup>2</sup>
$\Phi_1$	Magnetischer Fluss erzeugt von Schleife 1	Wb
$\Phi_{12}$	Magnetischer Fluss von Schleife 1 in Schleife 2	Wb
$\varphi_M$	Phasenwinkel der Modulationsfunktion	rad
$\varphi_n$	Phasenverschiebung der n-ten harmonischen Schwingung	rad
$\Psi$	Verketteter magnetischer Fluss	Wb
$\omega$	Kreisfrequenz	1/s
$\omega_c$	Grenzkreisfrequenz	1/s
$\omega_M$	Grundschwingungskreisfrequenz	1/s
$\omega_0$	Kennkreisfrequenz	1/s
$\omega_{0f}$	Kennkreisfrequenz-Filter	1/s
$\omega_{0L}$	Kennkreisfrequenz -Streifenleitung	1/s
$\omega_{0\delta}$	Kennkreisfrequenz-Dämpfungsnetzwerk	1/s

---

---

## Literaturverzeichnis

- [1] EISLER, P.: *Gedruckte Schaltungen. Technologie der Folienätztechnik*. München Hanser, 1961
- [2] BEJOY, N. P. ; SUBBURAJ, S.A. ; STEPHEN, B.: Commercial GaN-Based Power Electronic Systems: A Review. In: *Journal of Electronic Materials* Bd. 49, 2020
- [3] STUBENRAUCH, F. ; WITTMANN, J. ; KIERMAYER, A. ; SELIGER, N. ; HAGL, R. ; SCHMITT-LANDSIEDEL, D. ; KENNEL, R.: FPGA-based High Dynamic Servo Drive Control with a 200 kHz Gallium Nitride Inverter. In: *European Conference on Power Electronics and Applications*, 2017
- [4] REUSCH, D. ; STRYDOM, J.: Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter. In: *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, S. 649–655
- [5] STUBENRAUCH, F.: *Halbleiter großer Bandlückenenergie in Stromrichtern zur Ansteuerung dynamischer Servoantriebe*, TU München, Diss., 2019
- [6] TEICHMANN, R. ; BERNET, S.: A comparison of three-level converters versus two-level converters for low-voltage drives, traction, and utility applications. In: *IEEE Transactions on Industry Applications* 41 (2005), May, Nr. 3, S. 855–865. <http://dx.doi.org/10.1109/TIA.2005.847285>. – DOI 10.1109/TIA.2005.847285
- [7] SCHWEIZER, M. ; FRIEDLI, T. ; KOLAR, J. W.: Comparison and implementation of a 3-level NPC voltage link back-to-back converter with SiC and Si diodes. In: *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2010, S. 1527–1533
- [8] LEITERPLATTEN, Hofmann: *AML-Technik*. [Online] Retrieved [02.01.2021], from. <https://www.hofmannlp.de/produkte/aml/technische-daten>

- [9] SEAL, S. ; MANTOOTH, H. A.: High Performance Silicon Carbide Power Packaging - Past Trends, Present Practices, and Future Directions. In: *Energies* 10 (2017), Nr. 3, S. 1–30
- [10] AT&S: *Die ECP-Technologie von AT&S ermöglicht GaN Systems Inc. die Entwicklung extrem kleiner und zuverlässiger Hochvolt-GaN-Leistungstransistoren.* [Online] Retrieved [2016], from. <https://ats.net/de/2016/05/03/>
- [11] INFINEON: *DrBlade 1.0 The Revolutionary Next Packaging Generation 2013.* [Online] Retrieved [04.01.2022], from. [https://www.infineon.com/dgdl/Infineon-Package\\_DrBlade\\_1.0-PB-v01\\_00-EN.pdf?fileId=db3a30433d68e984013d7cde0cf05948](https://www.infineon.com/dgdl/Infineon-Package_DrBlade_1.0-PB-v01_00-EN.pdf?fileId=db3a30433d68e984013d7cde0cf05948)
- [12] KESER, B. ; KROEHNERT, S.: *Advances in Embedded and Fan-Out Wafer Level Packaging Technologies.* Wiley-IEEE Press, 2019
- [13] VAUCOURT, C.: MicroSiP(TM) DC/DC converters fully integrated power solutions. In: *Power Supply on Chip (PwrSOC)*, 2014, S. 1–19
- [14] GOTTWALD, T. ; RÖSSLE, C.: Neuer Aufbau- und Verbindungsansatz für Hochstrom-Inverter. In: *PCIM2014*, 2014
- [15] KAMINSKI, N. ; HILT, O.: SiC and GaN Devices - Competition or Coexistence? In: *International Conference on Integrated Power Electronics Systems*, 2012, S. 1–11
- [16] LIDOW, A. ; STRYDOM, J. ; DE ROOIJ, M. ; REUSCH, D.: *GaN Transistors for Efficient Power Conversion.* John Wiley & Sons, 2015
- [17] OZPINECI, B. ; TOLBERT, L. ; CHINTHAVALI, M.: Comparison of Wide Band-gap Semiconductors for Power Applications. In: *OAK RIDGE NATIONAL LABORATORY*, 2003
- [18] N. ZHANG ; MEHROTRA, V. ; CHANDRASEKARAN, S. ; MORAN, B. ; LIKUN SHEN ; MISHRA, U. ; ETZKORN, E. ; CLARKE, D.: Large area GaN HEMT power devices for power electronic applications: switching and temperature characteristics. In: *IEEE 34th Annual Conference on Power Electronics Specialist*, 2003, S. 233–237
- [19] SHENAI, K. ; SCOTT, R. S. ; BALIGA, B. J.: Optimum semiconductors for high-power electronics. In: *IEEE Transactions on Electron Devices* 36 (1989), Nr. 9, S. 1811–1823. <http://dx.doi.org/10.1109/16.34247>. – DOI 10.1109/16.34247

- [20] P. FAY, P. M. D. Jena J. D. Jena: *High-Frequency GaN Electronic Devices*. Springer, 2020
- [21] TSAO, J. Y. ; CHOWDHURY, S. ; HOLLIS: Ultrawide-Bandgap Semiconductors: Research Opportunities and Challenges. In: *Advanced Electronic Materials* 4 (2017), Nr. 1, 1600501. <http://dx.doi.org/10.1002/aelm.201600501>. – DOI 10.1002/aelm.201600501
- [22] KAMINSKI, N.: State of the art and the future of wide band-gap devices. In: *European Conference on Power Electronics and Applications*, 2009, S. 1–9
- [23] FRAGA, M. ; BOSI, M. ; NEGRI, M.: Silicon Carbide in Microsystem Technology — Thin Film Versus Bulk Material. In: *Materials Science*, 2015. – ISBN 978–953–51–2168–8
- [24] RUEGG, P.: *Schneller, kleiner und sparsamer*. [Online] Retrieved [04.01.2022], from. [https://www.ethlife.ethz.ch/archive\\_articles/110919\\_transistoren\\_GaN\\_per/index.html](https://www.ethlife.ethz.ch/archive_articles/110919_transistoren_GaN_per/index.html)
- [25] WENDT, M.: *Ermittlung der Verlustleistungen in einem Synchron-Tiefsetzsteller mit Niedervolt-GaN-HFETs*, Universität Kassel, Diss., 2015
- [26] HILT, O. ; BAHAT-TREIDEL, E. ; ZHYTNYTSKA, R. ; KOTARA, P. ; WUERFL, J.: Bauteile aus GaN – Sicht auf die Halbleitertechnologie. In: *Bauelemente der Leistungselektronik und ihre Anwendungen*, 2011
- [27] ZHANG, Y. ; SUN, M. ; PIEDRA, D. ; HU, J. ; LIU, Z. ; LIN, Y. ; GAO, X. ; SHEPARD, K. ; PALACIOS, T.: 1200 V GaN vertical fin power field-effect transistors. In: *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, S. 9.2.1–9.2.4
- [28] SHERIDAN, D. C. ; LEE, D. Y. ; RITENOUR, A. ; BONDARENKO, V. ; YANG, J. ; COLEMAN, C.: Ultra-Low Loss 600V - 1200V GaN Power Transistors for High Efficiency Applications. In: *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2014, S. 1–7
- [29] HILT, O. ; KNAUER, A. ; BRUNNER, F. ; BAHAT-TREIDEL, E. ; WURFL, J.: Normally-off AlGaIn/GaN HFET with p-type GaN gate and AlGaIn buffer. In: *6th International Conference on Integrated Power Electronics Systems* (2010), S. 1–4

- [30] REINER, R. ; WALTEREIT, P. ; WEISS, B. ; QUAY, R. ; AMBACHER, O.: Investigation of GaN-HEMTs in Reverse Conduction. In: *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, S. 1–8
- [31] WEISS, B. ; REINER, R. ; WALTEREIT, P. ; QUAY, R. ; AMBACHER, O.: Analysis and modeling of GaN-based multi field plate Schottky power diodes. In: *IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2016, S. 1–6
- [32] SPECOVIOUS, J.: *Grundkurs Leistungselektronik*. Vieweg+Teubner Verlag, 2010
- [33] VON JOUANNE, A. ; RENDUSARA, D. A. ; ENJETI, P. N. ; GRAY, J. W.: Filtering techniques to minimize the effect of long motor leads on PWM inverter-fed AC motor drive systems. In: *IEEE Transactions on Industry Applications* 32 (1996), Nr. 4, S. 919–926
- [34] SCOTT, M. J. ; BROCKMAN, J. ; HU, B. ; FU, L. ; XU, L. ; WANG, J. ; ZAMORA, R. D.: Reflected wave phenomenon in motor drive systems using wide bandgap devices. In: *IEEE Workshop on Wide Bandgap Power Devices and Applications*, 2014, S. 164–168
- [35] LESCOW, N.: *Verfahren zur Überspannungsreduktion an wechselrichtergespeisten Maschinen - Das Schirmabschlussverfahren*, TU Braunschweig, Diss., 2011
- [36] PAUL, S. ; PAUL, R.: *Grundlagen der Elektrotechnik und Elektronik 3*. Springer Vieweg, 2017
- [37] KRUG, D.: *Vergleichende Untersuchungen von Mehrpunkt-Schaltungstopologien mit zentralem Gleichspannungszwischenkreis für Mittelspannungsanwendungen*, Universität der Bundeswehr, München, Diss., 2015
- [38] SANTOS, E. ; EDISON, R.: *Advanced Power Electronics Converters: PWM Converters Processing AC Voltages*. John Wiley and Sons, Ltd, 2014
- [39] LU, J. ; BAI, H. ; AVERITT, S.t ; CHEN, D. ; STYLES, J. M.: An E-mode GaN HEMTs based three-level bidirectional DC/DC converter used in Robert Bosch DC-grid system. In: *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* (2015), S. 334–340



- [40] SCHWEIZER, M. ; FRIEDLI, T. ; KOLAR, J. W.: Comparative Evaluation of Advanced Three-Phase Three-Level Inverter/Converter Topologies Against Two-Level Systems. In: *IEEE Transactions on Industrial Electronics* 60 (2013), Dec, Nr. 12, S. 5515–5527
- [41] ZHANG, L. ; YUAN, X. ; WU, X. ; SHI, C. ; ZHANG, J. ; ZHANG, Y.: Performance Evaluation of High-Power SiC MOSFET Modules in Comparison to Si IGBT Modules. In: *IEEE Transactions on Power Electronics* 34 (2019), Nr. 2, S. 1181–1196
- [42] BERTELSHOFER, T. ; HORFF, R. ; MÄRZ, A. ; BAKRAN, M.: Comparing 650V and 900V SiC MOSFETs for the application in an automotive inverter. In: *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, 2016, S. 1–10
- [43] BIELA, J. ; SCHWEIZER, M. ; WAFFLER, S. ; KOLAR, J. W.: SiC versus Si - Evaluation of Potentials for Performance Improvement of Inverter and DC-DC Converter Systems by SiC Power Semiconductors. In: *IEEE Transactions on Industrial Electronics* 58 (2011), Nr. 7, S. 2872–2882
- [44] GUACCI, M. ; HELLER, M. ; NEUMAYR, D. ; BORTIS, D. ; KOLAR, J. ; DEBOY, G. ; OSTERMAIER, C. ; HÄBERLEN, O.: On the Origin of the Coss-Losses in Soft-Switching GaN-on-Si Power HEMTs. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics* PP (2018), 12, S. 1–1. <http://dx.doi.org/10.1109/JESTPE.2018.2885442>. – DOI 10.1109/JESTPE.2018.2885442
- [45] LI, H. ; ZHAO, X. ; SU, W. ; SUN, K. ; YOU, X. ; ZHENG, T. Q.: Nonsegmented PSpice Circuit Model of GaN HEMT With Simulation Convergence Consideration. In: *IEEE Transactions on Industrial Electronics* 64 (2017), Nov, Nr. 11, S. 8992–9000
- [46] DECHANT, E. ; SELIGER, N. ; KENNEL, R.: Performance of a GaN Half Bridge Switching Cell with Substrate Integrated Chips. In: *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2019, S. 1–7
- [47] STUBENRAUCH, F. ; SELIGER, N. ; SCHMITT-LANDSIEDEL, D.: A Simplified SPICE Model for Fast Parametric Optimization of High Voltage Power Electronic Circuits in the Megahertz Range. In: *International Conference on Integrated Power Electronics Systems*, 2016, S. 1–6

- [48] *GaN Switching Loss Simulation Using LTSpice*. [Online] Retrieved [17.07.2020], from. <https://gansystems.com/design-center/application-notes/>
- [49] *How to Read a SEMIKRON 3-Level Datasheet*. [Online] Retrieved [07.10.2019], from. <https://www.semikron.com>
- [50] *Datenblatt GS66508T 650 V GaN Leistungshalbleiter*. [Online] Retrieved [15.11.2019], from. <https://gansystems.com/gan-transistors/gs66508t/>
- [51] COSTINETT, D. ; MAKSIMOVIC, D. ; ZANE, R.: Circuit-Oriented Treatment of Nonlinear Capacitances in Switched-Mode Power Supplies. In: *IEEE Transactions on Power Electronics* 30 (2015), Feb, Nr. 2, S. 985–995
- [52] KROEGER, R. ; UNBEHAUEN, R.: *Elektrodynamik Einführung für Physiker und Ingenieure*. Vieweg+Teubner Verlag, Wiesbaden, 1990
- [53] MÜHLFELD, O.: *Charakterisierung und Optimierung parasitärer Elemente in Umrichtern mit niedrigen Zwischenkreisspannungen und hohen Betriebsströmen*, Christian-Albrechts-Universität Kiel, Diss., 2013
- [54] SWAMINATHAN, M.: *Design and Modeling for 3D ICs and Interposers*. World Scientific Publishing Company, 2014
- [55] KAMON, M.: *Fast Parasitic Extraction and Simulation of Three-dimensional interconnects via Quasistatic Analysis*, M.I.T. Massachusetts, Diss., Feb. 1998
- [56] *ElmerFEM, Open Source Finite Element Software for Multiphysical Problems*. [Online] Retrieved [02.12.2017], from. <https://www.csc.fi/web/elmer/elmer>
- [57] SELIGER, N. ; DECHANT, E. ; BRENDDEL, C. ; KENNEL, R.: Reduction of Common Mode EMI noise in microstrip line based commutation paths designed for sub-nH loop inductance. In: *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, S. 1–6
- [58] GONG, X. ; FERREIRA, J. A.: Comparison and Reduction of Conducted EMI in SiC JFET and Si IGBT-Based Motor Drives. In: *IEEE Transactions on Power Electronics* 29 (2014), Nr. 4, S. 1757–1767
- [59] CLAYTON, P.: *Introduction to Electromagnetic Compatibility*. John Wiley and Sons, Inc., 2005
- [60] CLAYTON, P.: *Analysis of Multiconductor Transmission Lines*. Wiley-IEEE Press, 2007. – ISBN 978-0-470-13154-1

- [61] PLASSMANN, W. ; DÖRING, E.: *Handbuch Elektrotechnik*. Springer Vieweg, Wiesbaden, 2016
- [62] BERTELSHOFER, T. ; DENK, M. ; BAKRAN, M.: Design Study and Prototype of 150 kW Inverter with Discrete SiC MOSFETs. In: *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2019, S. 1–8
- [63] DIAHAM, S. ; ZELMAT, S. ; LOCATELLI, M. ; DINCULESCU, S. ; DECUP, M. ; LEBEY, T.: Dielectric Breakdown of Polyimide Films: Area, Thickness and Temperature Dependence. In: *Dielectrics and Electrical Insulation, IEEE Transactions on* 17 (2010), 03, S. 18 – 27
- [64] STUBENRAUCH, F. ; SELIGER, N. ; SCHMITT-LANDSIEDEL, D.: A Low Impedance Drive Circuit to Suppress the Spurious Turn-On in High Speed Wide Band-Gap Semiconductor Halfbridges. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, S. 1–8
- [65] DECHANT, E. ; SELIGER, N. ; KENNEL, R.: Design of a Low Multi-Loop Inductance Three Level Neutral Point Clamped Inverter with GaN HEMTs. In: *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2020, S. 3992–3997
- [66] *ECP Embedded Component Packaging von AT&S*. [Online] Retrieved [02.01.2021], from. <https://ats.net/de/produkte-technologien/technologien/ecp/>
- [67] *Würth Electronics Embedded Component Technology*. [Online] Retrieved [20.11.2020], from. <https://www.we-online.de>
- [68] GRIESINGER, A.: *Wärmemanagement in der Elektronik*. Springer Vieweg, Berlin, Heidelberg, 2019
- [69] WANG, H. ; LISERRE, M. ; BLAABJERG, F.: Toward Reliable Power Electronics: Challenges, Design Tools, and Opportunities. In: *Industrial Electronics Magazine, IEEE* 7 (2013), 06, S. 17–26
- [70] HERING, E. ; MARTIN, R. ; STOHRER, M.: *Physik für Ingenieure*. Springer Vieweg, Berlin, Heidelberg, 2016
- [71] SCHWEIZER, A.: Temperatur Management bei Leiterplatten. In: *Praesentaion Fine Line Gesellschaft für Leiterplattentechnik 29.05.2017*

- [72] ADAM, J.: The printed circuit board as a heat sink. In: *Haus der Technik, 3. Tagung Elektronikkühlung*, 2009
- [73] ZACHARIAS, P. ; HINZE, J.: Performance Comparison of fast Silicon and Silicon Carbide Devices Used with Conventional PCBs and Embedded into PCBs. In: *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, S. 1–6
- [74] JONG, C. ; SPRINGER, W.: Teaching Von Mises Stress: From Principal Axes To Nonprincipal Axes. In: *Annual Conference and Exposition*, 2009
- [75] RUDAJEVOVÁ, A. ; DUŠEK, K.: Influence of Manufacturing Mechanical and Thermal Histories on Dimensional Stabilities of FR4 Laminate and FR4/Cu-Plated Holes. In: *MDPI* (2018)
- [76] SHAH, F. ; XIAO, H. M. ; LI, R. ; AWAIS, M. ; ZHOU, G. ; BITEW, G. T.: Comparative performance evaluation of temperature dependent characteristics and power converter using GaN, SiC and Si power devices. In: *IEEE 12th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG 2018)*, 2018, S. 1–7
- [77] KROENER, H.: Advanced Packaging Materials for Packaging and Chip Embedding Technology. In: *Präsentation ECPE 18.03.2021*
- [78] EBERLIN, S. ; HOCK, B.: *Zuverlässigkeit und Verfügbarkeit technischer Systeme*. Springer Vieweg, Wiesbaden, 2014
- [79] SONG, S. ; STIG, N. ; UHRENFELDT, C. ; PEDERSEN, K.: Power cycling test of a 650 V discrete GaN-on-Si power device with a laminated packaging embedding technology. In: *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, S. 2540–2545
- [80] CRASTAN, V.: *Grundlagen der Hochspannungstechnik*. Springer, Berlin, Heidelberg, 2012
- [81] CLAUDI, A.: Grundlagen der Ausfallmechanismen. In: *Präsentation ECPE 04.11.2020*
- [82] DISSADO, L. A. ; FOTHERGILL, J.C.: *Electrical degradation and breakdown in polymers*. Peter Peregrinus Ltd., 1992

- [83] CHAMPION, J V. ; DODD, S J.: The effect of voltage and material age on the electrical tree growth and breakdown characteristics of epoxy resins. In: *Journal of Physics D: Applied Physics* 28 (1995), Nr. 2, 398. <http://stacks.iop.org/0022-3727/28/i=2/a=024>
- [84] ODEGARD, G. M. ; BANDYOPADHYAY, A.: Physical aging of epoxy polymers and their composites. In: *Journal of Polymer Science Part B: Polymer Physics* 49 (2011), Nr. 24, S. 1695–1716
- [85] DECHANT, E. ; SELIGER, N. ; KENNEL, R.: A study of dielectric breakdown of a half-bridge switching cell with substrate integrated 650V GaN dies. In: *IEEE International Workshop on Integrated Power Packaging (IWIPP)*, 2019, S. 18–23
- [86] *IPC-TM-650 TEST METHODS MANUAL*. [Online] Retrieved [07.01.2020], from. <https://www.ipc.org/test-methods>. – <https://www.ipc.org/test-methods>
- [87] HILLMAN, C. ; ESSER, R. ; MCLEISH, J.: Failure Mechanisms in High Voltage Printed Circuit Boards. In: *White Paper* (2007)
- [88] BILODEAU, T.M. ; DUNBAR, W.G. ; SARJEANT, W.J.: High-voltage and partial discharge testing techniques for space power systems. In: *IEEE Electrical Insulation Magazine* 5 (1989), Nr. 2, S. 12–21
- [89] *Datenblatt FR4 Prepreg NPG 150 Technolam*. [Online] Retrieved [31.01.2020], from. <https://www.technolam.de/en/products/data-sheet/>
- [90] *Datenblatt Halogen Free, High Tg, High Elastic Modulus and Low CTE Multilayer Material*. [Online] Retrieved [29.04.2021], from. <https://www.mc.showadenko.com/english/products/50/index.html>
- [91] *Datenblatt Polyimid DuPont Pyralux*. [Online] Retrieved [18.03.2020], from. <https://www.multi-circuit-boards.eu/leiterplatten-design-hilfe/leiterplatten-materialien.html>
- [92] VOUYOVITCH, L. ; ALBEROLA, N.D. ; FLANDIN, L. ; BEROUAL, A. ; BESSEDE, J.-L.: Dielectric breakdown of epoxy-based composites: relative influence of physical and chemical aging. In: *IEEE Transactions on Dielectrics and Electrical Insulation* 13 (2006), Nr. 2, S. 282–292

- [93] MIDDENDORF, A.: *Lebensdauerprognostik unter Berücksichtigung realer Belastungen am Beispiel von Bondverbindungen bei thermomechanischen Wechselbeanspruchungen*, Technische Universität Berlin, Diss., 2009
- [94] SCHULER, S. ; SCHEUERMANN, U.: Impact of Test Control Strategy on Power Cycling Lifetime. In: *PCIM Europe (Power Conversion Intelligent Motion)*, 2010
- [95] SARKANY, Z. ; VASS-VARNAI, A. ; RENCZ, M.: Comparison of different power cycling strategies for accelerated lifetime testing of power devices. In: *Proceedings of the 5th Electronics System-integration Technology Conference (ESTC)*, 2014, S. 1–5
- [96] FRANKE, J. ; ZENG, G. ; WINKLER, T. ; LUTZ, J.: Power cycling reliability results of GaN HEMT devices. In: *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2018, S. 467–470
- [97] SONG, S. ; NIELSEN, S. ; UHRENFELDT, C. ; TRINTIS, I.: Failure mechanism analysis of a discrete 650V enhancement mode GaN-on-Si power device with reverse conduction accelerated power cycling test, 2017, S. 756–760
- [98] *Datenblatt FR4 Prepreg NPG 170 Technolam*. [Online] Retrieved [29.04.2021], from. <https://www.technolam.de/en/products/data-sheet/>
- [99] HERRMANN, T. ; FELLER, M. ; LUTZ, J. ; BAYERER, R. ; LICHT, T.: Power cycling induced failure mechanisms in solder layers. In: *2007 European Conference on Power Electronics and Applications*, 2007, S. 1–7
- [100] DECHANT, E. ; SELIGER, N. ; KENNEL, R.: Power cycling and temperature endurance test of a GaN switching cell with substrate integrated chips. In: *30th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis*, 2019, S. 113372
- [101] BUSSE, D. ; ERDMAN, J. ; KERKMAN, R.J. ; SCHLEGEL, D. ; SKIBINSKI, G.: Bearing currents and their relationship to PWM drives. In: *IEEE Transactions on Power Electronics* 12 (1997), Nr. 2, S. 243–252. <http://dx.doi.org/10.1109/63.558735>. – DOI 10.1109/63.558735
- [102] STUBENRAUCH, F. ; SELIGER, N. ; SCHMITT-LANDSIEDEL, D.: Design and Performance of a 200 kHz GaN Motor Inverter with Sine Wave Filter. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, S. 664–672

- [103] ZHANG, Z. ; WANG, F. ; TOLBERT, L. M. ; BLALOCK, B. J. ; COSTINETT, D.: Decoupling of interaction between WBG converter and motor load for switching performance improvement. In: *IEEE Power Electronics Conference and Exposition*, 2016, S. 1569–1576
- [104] IBUCHI, T. ; FUNAKI, T.: Effect of diode characteristics on conducted noise spectrum in CCM boost converter. In: *International Symposium on Electromagnetic Compatibility*, 2014, S. 59–64
- [105] MULLER, J. K. ; BRINKER, T. ; FRIEBE, J. ; MERTENS, A.: Output dv/dt Filter Design and Characterization for a 10 kW SiC Inverter. In: *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society (2018)*, S. 2122–2127
- [106] ERICKSON, R. W.: Optimal single resistors damping of input filters. In: *APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings (Cat. No.99CH36285)* Bd. 2, 1999, S. 1073–1079 vol.2
- [107] ERICKSON, R. W. ; MAKSIMOVIĆ, D.: *Fundamentals of Power Electronics*. Springer US, 2001
- [108] KEDARISSETTI, J.: *A Motor friendly Quasi-resonant DC-link Inverter*, Technische Universität Darmstadt, Diss., 2012
- [109] KIM, H. ; KIM, B. ; BHATTACHARYA, S.: An Analytical Design Strategy and Implementation of a dv/dt Filter for WBG Devices Based High Speed Machine Drives. In: *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society*, 2018, S. 385–390
- [110] SHIRABE, K. ; SWAMY, M. ; KANG, J. ; HISATSUNE, M. ; WU, Y. ; KEBORT, D. ; HONEA, J.: Efficiency Comparison Between Si-IGBT-Based Drive and GaN-Based Drive. In: *IEEE Transactions on Industry Applications* 50 (2014), Jan, Nr. 1, S. 566–572
- [111] HAIDER, M. ; ANDERSON, J. A. ; MIRIC, S. ; NAIN, N. ; ZULAUF, G. ; KOLAR, J. W. ; XU, D. ; DEBOY, G.: Novel ZVS S-TCM Modulation of Three-Phase AC/DC Converters. In: *IEEE Open Journal of Power Electronics* 1 (2020), S. 529–543
- [112] AHN, D. ; PARK, J.-S. ; KIM, C.-S. ; KIM, J. ; QIAN, Y. ; ITOH, T.: A design of the low-pass filter using the novel microstrip defected ground structure. In:

- IEEE Transactions on Microwave Theory and Techniques* 49 (2001), Nr. 1, S. 86–93
- [113] BOUTEJDAR, A.: *Entwurf, Entwicklung und Optimierung von kompakten HF-Mikrostreifen-Filtern mittels “Defected Ground Structure”-Technik (DGS)*, Otto-von-Guericke Universität Magdeburg, Diss., 2010
- [114] REHNER, R.: *Ultra-breitbandige Filter, Multiplexer und Mischer für den Aufbauhochintegrierter Millimeterwellen-Empfangssysteme*, Universität Erlangen-Nürnberg, Diss., 2009
- [115] LIU, W. ; TSAI, C. ; HAN, T. W. ; WU, T. L.: An Embedded Common-Mode Suppression Filter for GHz Differential Signals Using Periodic Defected Ground Plane. In: *IEEE Microwave and Wireless Components Letters* 18 (2008), Nr. 4, S. 248–250
- [116] SELIGER, N. ; DECHANT, E. ; KENNEL, R.: EMI mitigation by substrate integrated common mode filter. In: *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, 2022
- [117] DECHANT, E. ; SELIGER, N. ; KENNEL, R.: Common Mode DGS EMI Filter Integrated into a GaN Half Bridge Switching Cell. In: *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022
- [118] MAERZ, M.: Sind moderne Leistungshalbleiter zu schnell? Aspekte zum Umgang mit Schaltungsparasiten. In: *Bauelemente der Leistungselektronik und ihre Anwendungen - 6. ETG-Fachtagung*, 2011
- [119] BARGEL, H. J. ; SCHULZE, G.: *Werkstoffkunde*. Springer-Verlag, 2008



---

## Veröffentlichungen des Autors

### Veröffentlichungen, die im Rahmen dieser Arbeit entstanden sind:

Dechant, E. ; Seliger, N. ; Kennel, R.: Performance of a GaN Half Bridge Switching Cell with Substrate Integrated Chips. In: *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2019, S. 1-7

Dechant, E. ; Seliger, N. ; Kennel, R.: A study of dielectric breakdown of a half-bridge switching cell with substrate integrated 650V GaN dies. In: *2019 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, 2019, S. 18-23

Dechant, E. ; Seliger, N. ; Kennel, R.: Power cycling and temperature endurance test of a GaN switching cell with substrate integrated chips. In: *30th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis*, 2019, S. 113372

Seliger, N. ; Dechant, E. ; Brendel, C. ; Kennel, R.: Reduction of Common Mode EMI noise in microstrip line based commutation paths designed for sub-nH loop inductance. In: *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, S. 1-6.

Dechant, E. ; Seliger, N. ; Kennel, R.: Design of a Low Multi-Loop Inductance Three Level Neutral Point Clamped Inverter with GaN HEMTs. In: *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2020, S. 3992-3997

Seliger, N. ; Dechant, E. ; Kennel, R.: EMI mitigation by substrate integrated common mode filter. In: *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, 2022

Dechant, E. ; Seliger, N. ; Kennel, R.: Common Mode DGS EMI Filter Integrated into a GaN Half Bridge Switching Cell. In: *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022

**Veröffentlichungen aus anderen Projekten:**

Dechant, E. ; Fedulov, F. ; Chashin, D. ; Fetisov, L. ; Fetisov, Y. ; Shamonin, M.: Low-frequency, broadband vibration energy harvester using coupled oscillators and frequency up-conversion by mechanical stoppers. In: *2017 Smart Materials and Structures*, 2017

Dechant, E. ; Fedulov, F. ; Fetisov, L. ; Fetisov, Y. ; Shamonin, M.: Bandwidth Widening of Piezoelectric Cantilever Beam Arrays by Mass-Tip Tuning for Low-Frequency Vibration Energy Harvesting. In: *Appl. Sci.* , 2017

# Abbildungsverzeichnis

1.1	Übersicht über die Entwicklung der Gehäuse von elektronischen Bauelementen zu immer kleineren Strukturen. . . . .	1
2.1	Analytischer spezifischer Widerstand $R_{on, spez.}$ in Abhängigkeit der Durchbruchspannung $U_{BR}$ für Silizium (Si), Galliumnitrid (GaN), Siliziumkarbid (4H-SiC) und Diamant mit den Werten aus Tabelle 2.1. . . . .	11
2.2	Vergleich zwischen den Aufbauten der WBG-Transistoren a) Siliziumkarbid und b) Galliumnitrid. . . . .	13
2.3	Stromfluss in einem Enhancement-Mode-Galliumnitrid-HEMT. . . . .	14
2.4	Typische Kennlinienverläufe für einen IGBT mit paralleler externer Diode und GaN-HEMTs [5]. . . . .	15
2.5	Schematische Darstellung eines Antriebssystems bestehend aus einem optionalen Netzfilter, einem Umrichter, einer Leitung und einem Antrieb. . . . .	17
2.6	Vorteile schnellschaltender Leistungselektronik im selbstgeführten Stromrichter. . . . .	17
2.7	Darstellung der Halbbrücke mit zwei idealen Schaltern und einem Wechselschalter [32]. . . . .	19
2.8	Dreiphasige Darstellung der Zweilevel-Halbbrücken mit Wechselschaltern und RL-Last. . . . .	20
2.9	Schematische Spannungsverläufe $u_{U0}$ , $u_{UV}$ und $u_{UN}$ in einem Drehstromsystem bestehend aus Zweilevel-Wechselbrücken bei einer Sinus-Dreieck-Modulation. . . . .	22
2.10	Darstellung der Halbbrücke mit idealen Schaltern und einem Wechselschalter [32]. . . . .	23
2.11	Dreiphasige Darstellung der NPC-Dreilevel-Halbbrücke mit Wechselschaltern und dreiphasiger RL-Last. . . . .	24
2.12	Schematische Spannungsverläufe $u_0$ , $u_{UV}$ und $u_{UN}$ in einem Drehstromsystem bestehend aus Dreilevel-NPC-Wechselbrücken. . . . .	26
2.13	Spektraler Vergleich der Sternspannungen $u_{(U,V,W)N}$ für eine Zweilevel- und Dreilevel-Topologie bei einer Schaltfrequenz $f_s$ von 16 kHz und einem Modulationsgrad $M$ von 0.9. . . . .	27

3.1	Parasitäre Elemente im Transistor, im Gehäuse und in der Schaltzelle. .	31
3.2	Kommutierungsvorgang in einer Zweilevel-Halbbrücke. . . . .	33
3.3	Einfluss der parasitären Elemente auf den Ausschaltvorgang des Low-Side-Transistors $T_2$ . . . . .	34
3.4	Einfluss der parasitären Elemente auf den Einschaltvorgang des Low-Side-Transistors $T_2$ . . . . .	35
3.5	Vergleich der Sprungantwort eines idealen RLC-Schwingkreises für verschiedene Induktivitäten und Spannungsanstiegsgeschwindigkeiten bei einer Spannung von 400 V, einer Kapazität von 80 pF und einem Widerstand von $0.5 \Omega$ . . . . .	36
3.6	a) Ersatzschaltbild zur Modellierung eines GaN-HEMTs [45]. b) Vergleich des Schwingungsverhaltens zwischen einem RLC-Glied mit einer Sprunganregung mit $m_f = 120 \text{ V/ns}$ und einer LTspice-Simulation mit identischen Parametern für die Schleifeninduktivität $L_\sigma = 5 \text{ nH}$ , Dämpfungswiderstand $R_\sigma = 0.5 \Omega$ , Ausgangskapazität $C_{DS}$ bzw. $C_{OSS} = 80 \text{ pF}$ . . . . .	37
3.7	Schaltenergie $E_{sw}$ in Abhängigkeit von der parasitären Drain-Source-Kapazität mit Variation des Laststroms, bei einer Zwischenkreisspannung von 400 V und einem Gate-Vorwiderstand $R_{GV}$ von $5 \Omega$ . . . . .	39
3.8	Einfluss der parasitären Elemente auf den Ausschaltvorgang des Low-Side-Transistors $T_2$ . . . . .	41
3.9	Einfluss der parasitären Elemente auf den Einschaltvorgang des Low-Side-Transistors $T_2$ . . . . .	41
3.10	Schaltenergie $E_{sw}$ in Abhängigkeit vom Gate-Vorwiderstand $R_{GV}$ mit Variation der parasitären Gateinduktivität. Simulationsparameter $I_{Last} = 10 \text{ A}$ , $U_{DC} = 400 \text{ V}$ und $L_\sigma = 2 \text{ nH}$ . . . . .	42
3.11	Schaltenergie $E_{sw}$ in Abhängigkeit von der parasitären Eingangskapazität a) Gate-Source-Kapazität b) Gate-Drain-Kapazität mit Variation des Gatevorwiderstandes. Simulationsparameter $I_L = 10 \text{ A}$ , $U_{DC} = 400 \text{ V}$ , $L_{pG} = 1 \text{ nH}$ und $L_\sigma = 2 \text{ nH}$ . . . . .	42
3.12	Zwei Streifenleitungen auf einer Leiterplatte mit der Breite $w$ für die Kupferlage auf der Oberseite, mit der Breite $s$ für die Kupferlage auf der Unterseite, mit der Schichtdicke $h$ für das Dielektrikum und einer Länge $l$ . . . . .	46
3.13	Simulation der Streifenleitungen in Abhängigkeit der Dicke des Dielektrikums für unterschiedliche Breiten der Unterseite bei einer Frequenz von 1 MHz, einer Breite $w$ von 5 mm und Kupferdicken von 0.035 mm. .	46

3.14	Die Induktivität in Abhängigkeit vom Verhältnis $s/w$ . Gefüllte Linien mit gefüllten Symbolen entsprechen den Messungen. Gestrichelte Linien mit ungefüllten Symbolen entsprechen den Simulationen. . . . .	47
3.15	Messung und Simulation (FastHenry) der Leitungsinduktivität in Abhängigkeit von der Frequenz für eine Parallelstreifenleitung und eine Mikrostreifenleitung (Verhältnis $s/w = 3$ ) für eine Breite von 5 mm und eine Dicke von 0.1 mm. . . . .	48
3.16	Schematische Darstellung zweier Leiter $G$ und $R$ mit einer gemeinsamen Massefläche $GND$ . . . . .	49
3.17	Verlustloses elektrisches Ersatzschaltbild der Leiteranordnung aus Abbildung 3.16. . . . .	49
3.18	Vereinfachtes Ersatzschaltbild der induktiven und kapazitiven Störeinkopplung [59]. . . . .	51
3.19	Testaufbau zur Charakterisierung der Störeinkopplung zwischen zwei Leitern für drei verschiedene Substratdicken 1.5 mm, 0.5 mm und 0.025 mm. . . . .	52
3.20	Parasitäre Kapazitäten in der Leiteranordnung aus Abbildung 3.19 in Abhängigkeit von der Schichtdicke. . . . .	52
3.21	Parasitäre Induktivitäten in einer Leiteranordnung aus Abbildung 3.19 in Abhängigkeit von der Schichtdicke. . . . .	53
3.22	Dämpfung der Spannung am Widerstand $U_{RE}$ und $U_{RL}$ in Abhängigkeit von der Frequenz für die Schichtdicken 1.5 mm, 0.5 mm und 0.025 mm. . . . .	54
3.23	Zeitliche Spannungsverläufe an den Widerständen $R_L$ und $R_E$ für die Schichtdicken 1.5 mm, 0.5 mm und 0.025 mm bei einer Quellenspannung $U_q$ von 10 V. . . . .	55
3.24	Streifenleitung mit der Länge $l$ , Breite $w$ und Dicke $h$ mit entsprechendem Ersatzschaltbild. . . . .	55
3.25	Dämpfung und Resonanzfrequenz der Leitungsgeometrie aus Abbildung 3.19(a) in Abhängigkeit von der Schichtdicke. . . . .	57
4.1	Anordnungen von Bauteilen in einer Schaltzelle mit konventionellen Leiterplatten. . . . .	60
4.2	Vergleich der parasitären Induktivitäten und Kapazitäten der Anordnungen aus Abbildung 4.1 in Abhängigkeit von der Leiterplattendicke bei einer Frequenz von 100 MHz. Bei allen Anordnungen beträgt die Breite der Leiterbahnen 5 mm und der Abstand zwischen den Transistoren 4.5 mm. . . . .	61
4.3	Schnittbilder der vertikalen Schaltzellen mit GaN-Transistoren (GS66508T) auf Basis von FR4 und Polyimid. . . . .	63

4.4	Leistungsmodule mit vertikal angeordneten Bauelementen aus Abbildung 4.3 realisiert mit FR4 und Polyimid. . . . .	63
4.5	Vergleich der parasitären Schleifeninduktivität und Drain-Source-Kapazität für zwei verschiedene Abstände von 4.5 mm und 10 mm zwischen den Transistoren. . . . .	65
4.6	Messschaltung zur Bestimmung der Schaltverluste in der Schaltzelle im unbelasteten Fall in Abhängigkeit von der Zwischenkreisspannung $U_{DC}$ für 100 kHz und 16 kHz Taktfrequenz [5, 51]. . . . .	66
4.7	Normierte Schaltverlustleistung im lastfreien Zustand in Abhängigkeit von der Schleifendicke $h$ . . . . .	67
4.8	Vergleich der Drain-Source-Spannung während des Ausschaltvorgangs beim inversen Doppelpulstest mit einem Gate-Vorwiderstand von $0\Omega$ und einem Laststrom von 10 A bei verschiedenen Zwischenkreisspannungen. . . . .	68
4.9	Vergleich der Gate-Source-Spannung während des Ausschaltvorgangs beim inversen Doppelpulstest mit einem Gate-Vorwiderstand von $0\Omega$ , einer Zwischenkreisspannung von 400 V und einem Laststrom von 10 A. . . . .	69
4.10	Ableitung der Spannung $u_{DS}$ für den Aus- und Einschaltvorgang bei einer Zwischenkreisspannung von 400 V und einem Gatevorwiderstand $R_{GV}$ von $0\Omega$ . . . . .	69
4.11	Schaltgeschwindigkeit $du/dt$ bei einer Zwischenkreisspannung von 400 V in Abhängigkeit von der Schleifendicke mit einer Limitierung des Überschwingens durch einen Vorwiderstand auf 10%. . . . .	70
4.12	Simulierte maximale Schaltgeschwindigkeit in einem RLC-Schwingkreis mit den parasitären Parametern aus Abbildung 4.5 bis zu einem Überschwingen von 10%. . . . .	71
4.13	Kommutierungsvorgänge in einer NPC-Topologie mit positiver Spannung $u_{P0}$ . . . . .	74
4.14	Kommutierungsvorgänge in einer NPC-Topologie mit negativer Spannung $u_{P0}$ . . . . .	75
4.15	HF-Kommutierungskreise in der NPC-Topologie. . . . .	75
4.16	a) Messschaltung zur Ermittlung der Schleifeninduktivität. b) Simulation der Messschaltung mit den Parametern $C_{DC} = 400\text{ nF}$ , $ESL = 0.5\text{ nH}$ , $ESR = 10\text{ m}\Omega$ , $L_{p1} = 1\text{ nH}$ , $L_{p2} = 1\text{ nH}$ , $L_{ext} = 6\text{ nH}$ und $R_{ext} = 1\Omega$ . . . . .	76
4.17	Aufbau einer NPC-Schaltzelle auf Basis einer vierlagigen Leiterplatte. . . . .	77
4.18	HF-Schleifen der vierlagigen NPC-Schaltzelle. . . . .	78

4.19	Ober- und Unterseite des NPC-Leistungsmoduls mit einer Leiterplattendicke von 0.5 mm. . . . .	79
4.20	Einfluss der Leiterplattendicke auf die Schleifeninduktivität in der NPC-Schaltzelle für die drei untersuchten HF-Schleifen. . . . .	81
4.21	Einfluss der Leiterplattendicke auf die parasitäre Kapazität $C_p$ der Bauelemente $D_1$ , $D_2$ , $T_2$ und $T_3$ in der NPC-Schaltzelle. . . . .	82
4.22	Vergleich der Drain-Source-Spannung während des Ausschaltvorgangs beim Doppelpulstest mit einer Zwischenkreisspannung von 800 V und einem Laststrom von 10 A. . . . .	82
4.23	Messschaltung zur Bestimmung der Schaltverluste in der Schaltzelle im unbelasteten Fall in Abhängigkeit von der Zwischenkreisspannung $U_{DC}$ für 100 kHz und Vergleich der Verluste zwischen der Zweilevel- und Dreilevel-Topologie. . . . .	84
5.1	Schematische Darstellung einer Chipkontaktierung mit Bonddrähten und Vias. . . . .	86
5.2	Herstellungsprozess einer Schaltzelle mit Integration der Transistoren in den Kern der Leiterplatte [67]. . . . .	87
5.3	Konzept einer Zweilevel-Schaltzelle mit in die Leiterplatte integrierten Transistoren [46]. . . . .	88
5.4	Prototyp des Leistungsmoduls mit integrierten Transistoren. . . . .	89
5.5	Simulation der Kommutierungsinduktivität in Abhängigkeit von der Frequenz für verschiedene Prepregs. . . . .	90
5.6	Drain-Source- und Gate-Source-Spannung während des Ausschaltvorgang des Low-Side GaN-Schalters vom Leistungsmodul mit integrierten GaN-Transistoren und einem Gate-Vorwiderstand von $0 \Omega$ . . . . .	90
5.7	Ableitung der Verlustleistung des eingebetteten Galliumnitrid-Transistors über Thermovias. . . . .	92
5.8	Vergleich vom Füllgrad zwischen einer quadratischen und hexagonalen Anordnung von Thermal-Vias. . . . .	93
5.9	Schematische hexagonale Anordnung der Vias auf einer Chipoberfläche. . . . .	93
5.10	Abhängigkeit des thermischen Widerstandes vom Füllgrad zwischen Kühler $T_s$ und Sperrschichttemperatur $T_j$ aus Abbildung 5.9. . . . .	95
5.11	Messung der Temperaturdifferenz zwischen dem Kühlkörper und der Sperrschichttemperatur für zwei Leistungsmodule mit integrierten Transistoren und einem konventionellen Aufbau mit gehäusten GaN-HEMTs (GS66058T). . . . .	96
5.12	FEM-Simulation der Schaltzelle zur Ermittlung der Temperaturdifferenz zwischen Oberfläche und Chip. . . . .	96

5.13	Thermische Kopplung zwischen Transistoren und Kapazität (Typ C18080V104 der Firma KEMET). . . . .	97
5.14	Mechanische FEM-Simulation der Schaltzelle mit einer mechanischen Vorspannkraft von 100 N pro Schraube [46]. . . . .	99
5.15	Zweidimensionale Darstellung und Simulation eines Vias in einer FR4-Leiterplatte. Die Längenausdehnung in der FEM-Simulation ist um den Faktor 100 vergrößert. . . . .	101
5.16	Simulation der mechanischen Von-Mises-Spannung in Abhängigkeit vom Ausdehnungskoeffizienten für FR4, Polyimid und Epoxidkleber. . . . .	101
5.17	Zweidimensionale Darstellung und Simulation von übereinander angeordneten Vias in einer FR4-Leiterplatte mit einer Wärmequelle mit einer Temperatur von 100 °C. Die Längenausdehnung in der FEM-Simulation ist um den Faktor 100 vergrößert. . . . .	103
5.18	a) Zweidimensionale Darstellung von versetzt angeordneten Vias in einer FR4-Leiterplatte. b) Abhängigkeit der von Von-Mises-Spannung in Abhängigkeit des Abstands zwischen den Vias bei einer Wärmequelle mit einer Temperatur von 100 °C. . . . .	103
5.19	Verlauf der Ausfallrate über der Zeit [78]. . . . .	105
5.20	Hochtemperaturlagerung mit einer Temperatur von 125 °C und zwei gehäusten Transistoren (GS66058T) sowie sechs eingebetteten Transistoren (GS66058D). . . . .	106
5.21	Leckstrom $I_{DSS}$ in Abhängigkeit von der Lagerungsdauer bei einer Temperatur von 125 °C. DUT 1–2 sind konventionelle, gehäuste Bauelemente (GS66508T) und DUT 3–8 Leistungsmodule mit integrierten Transistoren. . . . .	107
5.22	Schwellspannung $U_{th}$ in Abhängigkeit von der Lagerungsdauer bei einer Temperatur von 125 °C. DUT 1–2 sind konventionelle Bauelemente (GS66508T) und DUT 3–8 Leistungsmodule mit integrierten Transistoren. . . . .	107
5.23	Draufsicht auf die zweite Kupferlage mit einem Querschnitt der Leiterplatte mit eingebettetem GaN-Transistoren (GS66508T) [85]. . . . .	110
5.24	Schliffbild und FEM-Simulation der Drain-Source-Kontakte der Aufbau- und Verbindungstechnik. . . . .	110
5.25	Messschaltung mit der dazugehörigen Testspannung zur Ermittlung der Durchbruchfestigkeit. . . . .	111
5.26	Zwei-Platten-Teststruktur zur Ermittlung der Durchbruchfestigkeit ohne Einflüsse des Layouts. . . . .	113



5.27	Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung der Zwei-Platten-Teststruktur gemessen bei 25 °C und 125 °C. . . . .	113
5.28	Vergleich der Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung zwischen der Schaltzelle und der parallelen Plattenstruktur mit dem FR4-Material NPG 150 2116MR für eine Schichtdicke von 0.1 mm und einer Temperatur von 25 °C. . . . .	115
5.29	Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung der Schaltzelle in Abhängigkeit von der Materialtemperatur mit dem FR4-Material NPG 150 2116MR mit einer Schichtdicke von 0.1 mm. . . . .	116
5.30	Weibull-Ausfallwahrscheinlichkeit der dielektrischen Durchbruchspannung der Schaltzelle mit dem FR4-Material NPG 150 2116MR und einer Schichtdicke von 0.1 mm nach einer Hochtemperaturlagerung von 0 h, 500 h, 2000 h und 20 000 h bei 125 °C. . . . .	117
5.31	a) Schnittbild des Aufbaus beim Lastwechseltest b) Realer Aufbau des Lastwechseltests mit Flüssigkühler. . . . .	118
5.32	a) Reverse Kennlinie des verwendeten GaN-Transistors b) Schaltbild des Lastwechseltests mit einem rückwärtsbetriebenen GaN-Transistor. . . . .	119
5.33	Weibull-Ausfallwahrscheinlichkeit nach einem Lastwechseltest für die Isolationsmaterialien NPG-170 und MCL-E-700. . . . .	122
5.34	„Offline“-Messung des Leckstroms $I_{DSS}$ bei einer Drain-Source-Spannung von 650 V. . . . .	123
5.35	„Offline“-Messung der Schwellspannung $U_{th}$ bei einem Drainstrom von 7 mA. . . . .	123
5.36	Stromspitzen während des Lastwechseltests im Drainstrom $I_D$ . . . . .	124
5.37	Riss zwischen der Kupfermetallisierung des Transistors und dem Mikrovial. . . . .	124
6.1	Schematischer trapezförmiger Spannungsimpuls mit dem dazugehörigen Frequenzspektrum [59]. . . . .	128
6.2	Schematische Darstellung der Ausgangs- bzw. Eingangsmessung des Störstromes mit einer Halbbrücke. . . . .	129
6.3	Versuchsaufbau mit einem modularen einphasigen Wechselrichter zur Ermittlung von Gleich- und Gegentaktstörung. . . . .	131
6.4	Vergleich der Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz für verschiedene Trägermaterialien, gemessen bei einer Schaltfrequenz von 200 kHz. . . . .	132

6.5	Vergleich der Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz für eine Zwei- und Dreilevel-Topologie bei einer Schaltfrequenz von 200 kHz. . . . .	134
6.6	Schaltbild eines $du/dt$ -Filters mit schematischem Verlauf zwischen Eingangs- und Ausgangsspannung. . . . .	136
6.7	Modularer Aufbau einer einphasigen Schaltzelle bestehend aus einer Hauptplatine, einem modularen Leistungsmodul und einem modularen $du/dt$ -Filter. . . . .	137
6.8	Ausgangsseitig mit einer Stromzange gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit und ohne $du/dt$ -Filter bei einer Schaltfrequenz von 16 kHz. . . . .	137
6.9	Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit und ohne $du/dt$ -Filter bei einer Schaltfrequenz von 16 kHz. . . . .	138
6.10	Schaltbild eines Sinusfilters mit einem $R_\delta L_\delta C_\delta$ -Dämpfungsnetzwerk und dem schematischen Verlauf zwischen der Eingangs- und Ausgangsspannung. . . . .	139
6.11	Modularer Aufbau einer einphasigen Schaltzelle bestehend aus einer Hauptplatine, einem modularen Leistungsmodul und einem modularen Sinusfilter. . . . .	140
6.12	Messschaltung zur Bestimmung der Leerlaufverluste mit einem Sinusfilter bei einer PWM-Frequenz von 200 kHz mit den dazugehörigen Ergebnissen. . . . .	141
6.13	Leerlaufverlustleistung der Messschaltung aus Abbildung 6.10(b) in Abhängigkeit von der Totzeit zwischen den High- und Low-Side-Signalen. . . . .	142
6.14	Vergleich der Signalverläufe des High-Side-Halbleiters, des Low-Side-Halbleiters, des Spulenstroms und der Ausgangsspannung zwischen einer Schaltzelle mit und ohne Sinusfilter. . . . .	142
6.15	Simulation des Stromverlaufs in der Induktivität des Sinusfilters über eine Periodendauer $T_p$ der Grundschiwingung des Ausgangssignals bei einer Zwischenkreisspannung von 400 V, einer Induktivität von 40 $\mu\text{H}$ und einem Modulationsgrad $M$ von 0.8. . . . .	144
6.16	Ausgangsseitig mit einer Stromzange gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit einem Sinusfilter und einem $du/dt$ -Filter als Referenzmessung. . . . .	145

6.17	Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz mit einem Sinusfilter und einem $du/dt$ -Filter als Referenzmessung. . . .	146
6.18	Aufbau einer DGS-Streifenleitung nach [112] mit dem dazugehörigen Ersatzschaltbild. . . . .	148
6.19	Ersatzschaltbild eines DGS-Filters mit schematischem Verlauf des Vorwärts-Transmissionsfaktors $S_{21}$ . . . . .	148
6.20	Aufbau einer CM-DGS-Streifenleitung nach [114] mit dem dazugehörigen Ersatzschaltbild. . . . .	149
6.21	Aufbau einer DGS-Streifenleitung mit kapazitiven Flächen und dem dazugehörigen Ersatzschaltbild [114]. . . . .	150
6.22	a) DGS-Filter mit einer Dicke 0.125 mm, Länge 70 mm und Breite 70 mm. b) Schaltbild der DGS-Streifenleitung. Die Geometrieparameter lauten $a_L = 21$ mm, $b_L = 29.5$ mm, $l_C = 41$ mm und $w_C = 33.4$ mm [116]. . . . .	150
6.23	Schematische Darstellung des Messaufbaus mit einem DGS-Filter und einer Netznachbildung (LISN). . . . .	152
6.24	Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz bei einer Schaltfrequenz von 200 kHz von einer DGS-Streifenleitung mit 0.125 mm auf Basis von FR4, einer DGS-Streifenleitung mit 0.025 mm auf Basis von PI und einer Vergleichsmessung ohne DGS-Streifenleitung. . . . .	152
6.25	Konzept zur Integration eines DGS-Filters in eine vierlagige vertikale Schaltzelle [117]. . . . .	153
6.26	Vorder- und Rückseite der Schaltzelle mit integriertem DGS-Eingangsfilter. . . . .	154
6.27	Eingangsseitig über eine Netznachbildung gemessene Spannungspegel der Gleich- und Gegentaktstörung in Abhängigkeit von der Frequenz von einer Schaltzelle mit integrierten DGS-Streifenleitungen und einer konventionellen Schaltzelle ohne DGS-Struktur bei einer Schaltfrequenz von 200 kHz. . . . .	155
A.1	Schematische Darstellung des Doppelpulstests für eine Zweilevel-Schaltzelle. . . . .	162
A.2	Doppelpulstest für die Kommutierung von $T_1$ nach $D_1$ . . . . .	163
A.3	Doppelpulstest für die Kommutierung von $T_1/D_1$ nach $T_3/T_4$ . . . . .	164



# Tabellenverzeichnis

2.1	Eigenschaften von verschiedenen Halbleitern . . . . .	11
3.1	Pegel zwischen einem externen Störsender und der Spannung $U_{RE}$ . . . . .	57
4.1	Messergebnisse der parasitäre Elemente in den Aufbauten . . . . .	64
4.2	Vergleich der Anstiegs- und Abfallzeiten der Drain-Source Spannung während des Schaltvorgangs bei einer Zwischenkreisspannung von 400 V und einem Gatevorwiderstand $R_{GV}$ von $0\ \Omega$ . . . . .	70
4.3	Gemessene parasitäre Induktivitäten in der NPC-Schaltzelle für verschiedene Lagenaufbauten bei ca. 10 MHz. . . . .	80
4.4	Gemessene parasitäre Kapazitäten in der NPC-Schaltzelle für verschiedene Lagenaufbauten. . . . .	80
5.1	Parasitäre Elemente in den Verbindungskonzepten. . . . .	89
5.2	Verwendete Materialien für den Durchbruchtest mit der Zwei-Platten-Teststruktur [89–91]. . . . .	112
5.3	Testparameter beim Lastwechseltest. . . . .	121
5.4	Ausdehnungskoeffizienten für die im Lastwechseltest verwendeten Materialien [90, 98]. . . . .	121
6.1	Parameter für den $du/dt$ -Filter. . . . .	136
6.2	Parameter für den Sinusausgangfilter. . . . .	140
6.3	Parameter der DGS-Filter. . . . .	151
6.4	Schaltzelle mit integriertem DGS-Filter. . . . .	154
A.1	Materialparameter für FR4, Polyimid und Epoxidharzkleber (gehärtet) [89, 91]. . . . .	161
A.2	GaN- Materialparameter . . . . .	162
A.3	Parameter für die Doppelpulstests. . . . .	164