

TECHNISCHE UNIVERSITÄT MÜNCHEN

Fachgebiet Energiewandlungstechnik

**Reglerentwicklung und Optimierungsmethoden für
DC/DC-Wandler im Kraftfahrzeug**

Tomas Manuel Reiter

Vollständiger Abdruck der von der
Fakultät für Elektrotechnik und Informationstechnik
der Technischen Universität München
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Vorsitzender: Univ.-Prof. Dr.-Ing. Ralph Kennel

Prüfer der Dissertation:

1. Univ.-Prof. Dr.-Ing. Hans-Georg Herzog
2. Univ.-Prof. Dr.-Ing. Rainer Marquardt,
Universität der Bundeswehr München

Die Dissertation wurde am 02.08.2010 bei der Technischen Universität München eingereicht und durch die Fakultät für Elektrotechnik und Informationstechnik am 13.06.2012 angenommen.

Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als Doktorand bei der BMW AG in München.

Ich danke Herrn Prof. Dr.-Ing. Hans-Georg Herzog für die sehr gute wissenschaftliche Betreuung. Seine Anregungen und Hinweise trugen wesentlich zum Gelingen der Arbeit sowie den zahlreichen Publikationen bei. Herrn Prof. Dr.-Ing. Ralph Kennel und Herrn Prof. Dr.-Ing. Rainer Marquardt danke ich für das Interesse an meiner Arbeit und die Übernahme des Prüfungsvorsitzes bzw. eines Gutachtens.

Bei meinen Kollegen und Vorgesetzten der BMW Group sowie den wissenschaftlichen Mitarbeitern am Fachgebiet für Energiewandlungstechnik möchte ich mich für die gute Zusammenarbeit bedanken. Ein besonderer Dank gilt Herrn Dr. Fathi El-Dwaik und Herrn Ottmar Sirch für die ausgezeichnete Unterstützung der Promotionstätigkeit.

Ein weiterer persönlicher Dank gilt meinen beiden Betreuern Hartmut Pröbstle und Dieter Polenov. Durch die fachlichen Diskussionen, die gemeinsam entwickelten Ideen und Publikationen sowie Patentanmeldungen auch weit über das Themengebiet dieser Arbeit hinaus, haben sie wesentlich zum Gelingen dieser Arbeit und meiner wissenschaftlichen Ausbildung beigetragen.

Schlagworte:

DC/DC-Wandler, Energiebordnetz, Mehrspannungsbordnetz, Topologie, Regelung, Modellierung, Mehrphasigkeit, Phasenstromsymmetrierung, EMV, Totzeitoptimierung, Synchrongleichrichtung, Reverse-Recovery

Zusammenfassung

In modernen Kraftfahrzeugen werden Antriebs-, Fahr- und Komfortfunktionen zur Reduktion von CO₂ Emissionen zunehmend elektrifiziert. Dadurch steigt der elektrische Energie- und Spitzenleistungsbedarf, der durch das konventionelle 12 V Energiebordnetz nicht zuverlässig zur Verfügung gestellt werden kann. Ein Mehrspannungsbordnetz, mit der Integration zusätzlicher Energiespeicher, bietet die Möglichkeit den zukünftig weiter ansteigenden Leistungsbedarf zuverlässig zur Verfügung zu stellen. In diesen Mehrspannungsbordnetzen nimmt der DC/DC-Wandler, als regelbare leistungselektronische Komponente, eine Schlüsselrolle bei der bedarfsgerechten Energieverteilung ein.

In dieser Arbeit wird eine Methode zur Entwicklung der DC/DC-Wandlerregelung für Mehrspannungsbordnetze im Kraftfahrzeug vorgestellt. Das Entwicklungsvorgehen basiert auf unterschiedlichen Abstraktionsebenen, in denen jeweils ein eingeschränkter Frequenzbereich betrachtet wird. Dadurch werden in jeder Ebene unterschiedliche nicht relevante Effekte ausgeblendet, was zu einer reduzierten Komplexität bei der Entwicklung führt. Diskutiert werden die unterschiedlichen Entwicklungsaufgaben in den Abstraktionsebenen. Die Auslegung des Leistungsteils wird in der Schaltungsebene, die Entwicklung der Regelung in der Komponentenebene sowie die Integration von Betriebsstrategien in der Systemebene betrachtet. Eine angepasste Modellierungsmethode für DC/DC-Wandler ist notwendig, um die Simulation als entwicklungsbegleitendes Werkzeug verwenden zu können. Angelehnt an das Entwicklungsvorgehen wird anschließend eine hierarchische Reglerstruktur abgeleitet. Die Anwendbarkeit dieser Reglerstruktur wird experimentell an einem Wandlerprototypen in einem Mehrspannungsbordnetzprüfstand bestätigt.

Einen weiteren Fokus liegt auf der Optimierung des Energieübertragungsverhaltens des DC/DC-Wandlers auf Basis der Regelung und Ansteuerung. Ziel ist hierbei möglichst ohne Veränderungen am Leistungsteil, an der Regelung oder der Betriebsstrategie, die Eigenschaften des Wandlers zu verbessern. Diese Optimierungen können weitestgehend parallel zu dem Entwicklungsprozess entworfen sowie in bereits bestehende DC/DC-Wandlerplattformen implementiert werden. Diskutiert wird eine Methode zur Verbesserung der Stromaufteilung in Mehrphasenwandlern sowie die Verbesserung des Synchrongleichrichterbetriebs durch Optimierung der Ansteuertotzeiten. Die Funktionsweisen und Optimierungspotentiale werden an einem Wandlerprototypen experimentell untersucht.

Inhaltsverzeichnis

1	Einleitung	1
1.1	Hintergrund und Ziel der Arbeit	1
1.2	Motivation	2
1.2.1	Einsatz etablierter Regelungsansätze	3
1.2.2	Anforderungen an die Regelung im Mehrspannungsbordnetz	7
1.2.3	Einordnung der Inhalte in den wissenschaftlichen Kontext	8
2	Reglerentwicklung für DC/DC-Wandler	10
2.1	Einführung von Abstraktionsebenen	10
2.2	Entwurfsprozess	13
2.2.1	Anforderungsphase	14
2.2.2	Entwicklung in der Schaltungsebene	16
2.2.3	Entwicklung in der Komponentenebene	25
2.2.4	Entwicklung in der Systemebene	41
2.3	Modellierungsmethoden	46
2.3.1	Verlustleistungsmodellierung in der Schaltungsebene	47
2.3.2	Erstellung von Modellen für die Komponentenebene	49
2.3.3	Erstellung von Modellen für die Systemebene	54
2.4	Ableitung einer hierarchischen Regelungsstruktur	58
2.4.1	Aufgabenteilung und Schnittstellen der Reglerstruktur	58
2.4.2	Funktionsbeispiele	59
2.4.3	Fazit der hierarischen Reglerstruktur	66
2.5	Zusammenfassung der Reglerentwicklung	66
3	Optimierung der Phasenstromaufteilung in Mehrphasenwandlern	68
3.1	Ursachen unsymmetrischer Phasenströme	69
3.2	Entwurf einer Regelung zur Symmetrierung der Phasenströme	71
3.2.1	Analyse des Regelstreckenverhaltens	72
3.2.2	Ableitung einer Symmetrierungsreglerstruktur	73
3.2.3	Experimentelle Untersuchungen	74

3.3	Reduktion der Spannungswelligkeit an den Bus-Kondensatoren	76
3.3.1	Analyse der Spannungswelligkeit in Abhängigkeit von Ansteuer- und Bauelementetoleranzen	77
3.3.2	Entwurf eines Reglerkonzepts zur Reduktion der 1. Harmonischen im Störspannungsspektrum	81
3.3.3	Experimentelle Untersuchungen	84
3.4	Zusammenfassung der Phasenstrom-Symmetrierungsregelung	90
4	Verbesserung des Synchrongleichrichterbetriebs durch Totzeitoptimierung	91
4.1	Ermittlung erforderlicher Totzeiten	93
4.2	Untersuchung des MOSFET-Schaltverhaltens in Abhängigkeit der Tot- zeit	96
4.2.1	Einschaltverhalten des Steuerschalters	96
4.2.2	Ausschaltverhalten des Steuerschalters	98
4.2.3	Verhaltensmodell der Verlustleistung in Abhängigkeit der Totzeit	99
4.2.4	Vergleich berechneter und experimentell ermittelter Signaltotzeiten	101
4.2.5	Fazit aus den Untersuchungen zum Schaltverhalten	103
4.3	Beobachter basierte Methode zur Optimierung der Totzeiten	103
4.3.1	Optimierungsalgorithmus und Parametrierung	106
4.3.2	Experimentelle Untersuchungen	109
4.4	Zusammenfassung der Totzeitoptimierung	114
5	Zusammenfassung und Ausblick	115
	Anhang	117
A	Glossar	118
B	Berechnungen zur Auslegung des Leistungsteils	123
C	Ersatzschaltbilder und Daten	129
	Literaturverzeichnis	139

1 Einleitung

1.1 Hintergrund und Ziel der Arbeit

Die Anforderungen an zukünftige Fahrzeuggenerationen zur Reduktion von CO₂-Emissionen sowie Verbesserung des Kundenkomforts, der Fahrdynamik und Marktdifferenzierung steigen stetig. Vor diesem Hintergrund werden Antriebs-, Fahr- und Komfortfunktionen zunehmend elektrifiziert [1–8]. Dadurch steigt sowohl der mittlere als auch transiente Bedarf elektrischer Leistung und führt das konventionelle 12 V Energiebordnetz an die Grenzen seiner Belastbarkeit. Um den weiter ansteigenden Leistungsbedarf auch in Zukunft zuverlässig zur Verfügung stellen zu können, wird gegenwärtig eine Vielzahl unterschiedlicher Maßnahmen diskutiert.

Eine Lösungsmöglichkeit ist durch Mehrspannungsbordnetze gegeben, die eine Integration zusätzlicher Energiespeicher sowie eine Erhöhung der Bordnetzspannung ermöglichen, wobei etablierte 12 V Verbraucher weiterhin zuverlässig versorgt werden können [9–13]. Durch Erhöhung der Bordnetzspannung in einem Teilbordnetz wird die Energiespeicher- und Spitzenleistungsfähigkeit [9, 10] sowie die Leistungsdichte und der Wirkungsgrad elektromechanischer Aktuatoren in diesem Teilbordnetz erhöht [14]. Aus der Literatur sind eine Vielzahl an möglichen Mehrspannungsbordnetzarchitekturen bekannt, bei denen DC/DC-Wandler als regelbare Energieschnittstelle zwischen zwei Teilbordnetzen mit Energiespeichern eingesetzt werden [9, 11, 13, 15–17]. Der DC/DC-Wandler kann somit in zukünftigen Energiebordnetzen eine Schlüsselrolle zur Umsetzung verbrauchsoptimierter Betriebsstrategien einnehmen.

Ziel dieser Arbeit ist der Entwurf einer Methode zur Entwicklung von DC/DC-Wandlerregelungen für Mehrspannungsbordnetze. Im Fokus stehen dabei Zusammenhänge zwischen Auslegungskriterien des Leistungsteils und dem Verhalten der Regelstrecke. Einen weiteren Schwerpunkt bilden Maßnahmen zur Optimierung des Energieübertragungsverhaltens auf Basis der Regelung und Ansteuerung.

Für die Erweiterung des 12 V Energiebordnetzes existiert bisher kein etablierter Standard. Zur Veranschaulichung der folgenden Diskussion wird eine aus [10, 18] bekannte Mehrspannungsbordnetzarchitektur verwendet. Die gezeigten Methoden und Ergeb-

nisse sind jedoch für eine Vielzahl an Mehrspannungsbordnetzarchitekturen, wie sie beispielsweise aus [9, 13, 15, 19] bekannt sind, übertragbar.

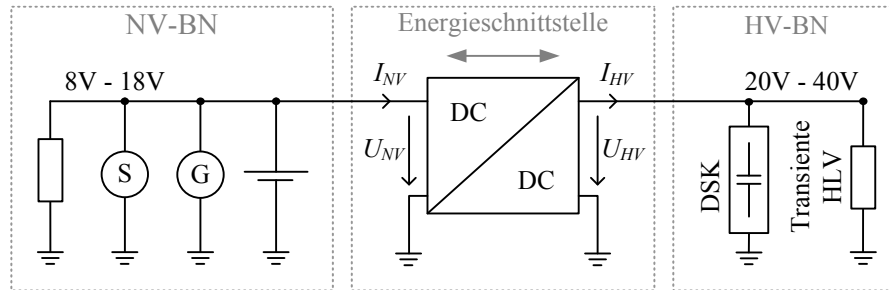


Abbildung 1.1: Mehrspannungsbordnetzarchitektur zur Integration von transienten Hochleistungsverbrauchern. Der DC/DC-Wandler ist eine bidirektionale Energieschnittstelle zwischen den beiden Teilbordnetzen.

Abbildung 1.1 zeigt die Mehrspannungsbordnetzarchitektur zur Integration von transienten Hochleistungsverbrauchern. Das Niedervoltbordnetz (NV-BN) entspricht dem konventionellen 12 V Bordnetz, bestehend aus Verbrauchern (z.B. Infotainment, Licht), Starter, Generator und Batterie. Im sogenannten Höhervoltbordnetz (HV-BN) werden transiente Hochleistungsverbraucher betrieben, wie beispielsweise elektromechanische Aktuatoren zur Lenkkraftunterstützung. Diese Verbraucher haben einen mittleren Leistungsbedarf im Bereich von ca. 10 W bis 100 W. Die Spitzenleistungen können aber im Bereich einiger kW liegen. Zudem können diese Aktuatoren im Rekuperationsfall Energie in das Bordnetz einspeisen. Der Energiespeicher im HV-BN, hier ein Doppelschichtkondensator (DSK) mit einer Kapazität im Bereich von einigen 10 F, kann diesen transienten Leistungsbedarf decken. Der mittlere Energiebedarf wird durch den DC/DC-Wandler aus dem NV-BN bereitgestellt. Ein solches Mehrspannungsbordnetz bietet durch den zusätzlichen Speicher auch Potentiale hinsichtlich der Energiespeicherfähigkeit des Energiebordnetzes und Reduktion der Zyklisierung des 12 V Speichers [7].

1.2 Motivation

In dieser Arbeit steht die Regelung des DC/DC-Wandlers im Mehrspannungsbordnetz aus Abbildung 1.1 im Fokus. Dazu wird zunächst ohne Betrachtung der Schaltungsauslegung der Einsatz etablierter Regelungsansätze, wie sie aus dem Bereich der Stromversorgungslösungen (z.B. [20–22]) bekannt sind, für die Mehrspannungsbordnetzarchitektur geprüft. Aus den Ergebnissen werden anschließend Anforderungen

und Besonderheiten der Wandlerregelung abgeleitet und die Inhalte der Arbeit in den wissenschaftlichen Kontext eingeordnet.

1.2.1 Einsatz etablierter Regelungsansätze

Aus dem Bereich der Spannungsregler Anwendungen existiert bereits eine Vielzahl an etablierten Lösungen zur Regelung von DC/DC-Wandlern. Es ist deshalb naheliegend diese Lösungen mit angepassten Parametrierungen auch für die Anwendung im Mehrspannungsbordnetz einzusetzen. Deshalb wird ein typischer Regelungsansatz, der aus [20, Kap. 9] bekannt ist, auf den DC/DC-Wandler im Mehrspannungsbordnetz nach Abbildung 1.1 übertragen und anschließend werden ausgewählte Aspekte des Regelungsverhaltens diskutiert. Dabei geht hervor, dass typische Spannungsregelungen nicht für das eingeführte Mehrspannungsbordnetz tauglich sind, weil der transiente Leistungsbedarf der Hochleistungsverbraucher in das NV-BN übertragen wird.

Eine typische Spannungsregleranwendung ist in Abbildung 1.2 gezeigt. Eine elektrische Quelle (z.B. Batterie in einem mobilen elektronischen Gerät) stellt eine unregelte Versorgungsspannung zur Verfügung. Diese Spannung wird durch den Wandler auf ein geeignetes Spannungsniveau für den Verbraucher herauf bzw. herabgesetzt und auf einen konstanten Wert geregelt.

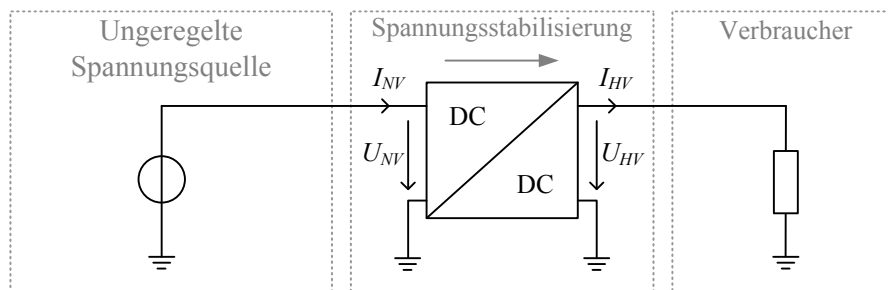


Abbildung 1.2: Blockschaltbild einer typischen Spannungsregleranwendung. Der DC/DC-Wandler stellt eine stabilisierte Versorgungsspannung aus einer unregulierten Spannungsquelle bereit.

Abbildung 1.3a zeigt schematisch den DC/DC-Wandler mit einer Regelschleife zur Ausgangsspannungsstabilisierung. In der Regelschleife wird die Ausgangsspannung (Istwert) durch einen Sensor erfasst und mit einer Referenzspannung (Sollwert) verglichen, wodurch ein Regelfehler e gebildet wird. Dieser Regelfehler wird mit dem Regler durch Anpassen des Stellwerts kompensiert. Das Tastverhältnis D der pulsweitenmodulierten (PWM) Ansteuerung ist die Stellgröße der Regelschleife. Die Funktionsweise des

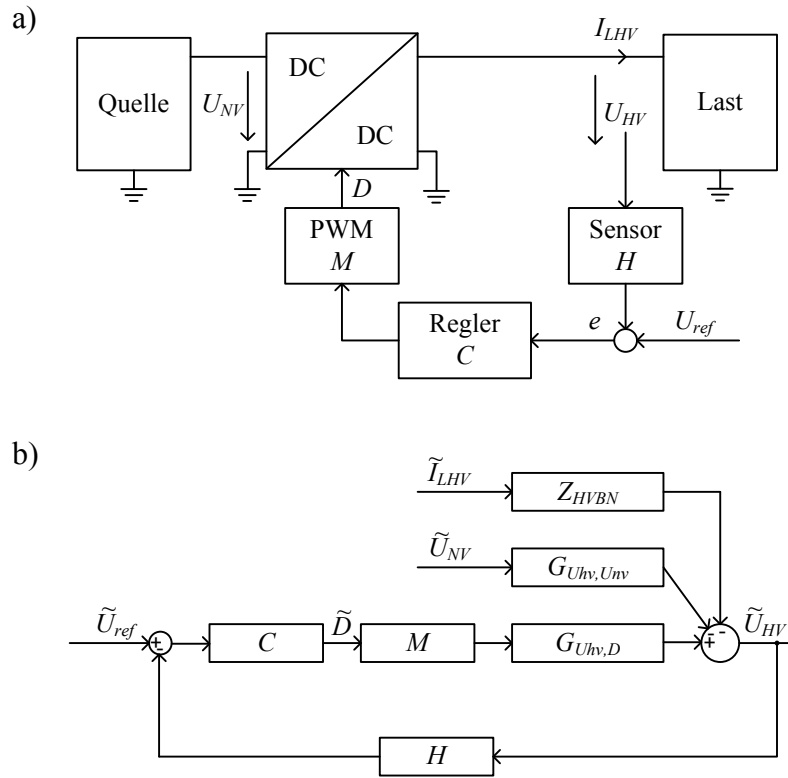


Abbildung 1.3: Blockschaltbild der Regelschleife (a) und Signalflussplan des Kleinsignalmodells (b) für die Spannungsregleranwendung nach Abbildung 1.2. Die elektrischen Klemmengrößen wurden zur besseren Vergleichbarkeit identisch mit der Mehrspannungsbordnetzarchitektur gewählt.

Leistungsteils wird im Kapitel 2.2.2 erläutert.

Die Wirkketten des Regelungssystems können mit dem Signalflussplan, der in Abbildung 1.3b dargestellt ist, analysiert werden. Änderungen des Tastverhältnisses, der Eingangsspannung und des Verbraucherstromes bewirken entsprechend der zugehörigen Übertragungsfunktionen eine Veränderung der Ausgangsspannung. Dieser Regleransatz kann auf die Anwendung im Mehrspannungsbordnetz übertragen werden.

Die Abbildung 1.4a zeigt den DC/DC-Wandler in dem Mehrspannungsbordnetz mit der Regelschleife, wie sie aus Spannungsregleranwendungen bekannt ist. Folglich hat der zugehörige Signalflussplan in Abbildung 1.4b die gleiche Struktur, wie sie für die Spannungsregleranwendung in Abbildung 1.3b abgeleitet wurde. Unter Vernachlässigung der Ursache für Spannungsschwankungen von U_{NV} haben lediglich die Übertragungsglieder unterschiedliche Eigenschaften. Beispielsweise entspricht die Impedanz Z_{HV} der Wandlerausgangsimpedanz in Abbildung 1.3b jedoch einer Parallelschaltung der Impedanzen

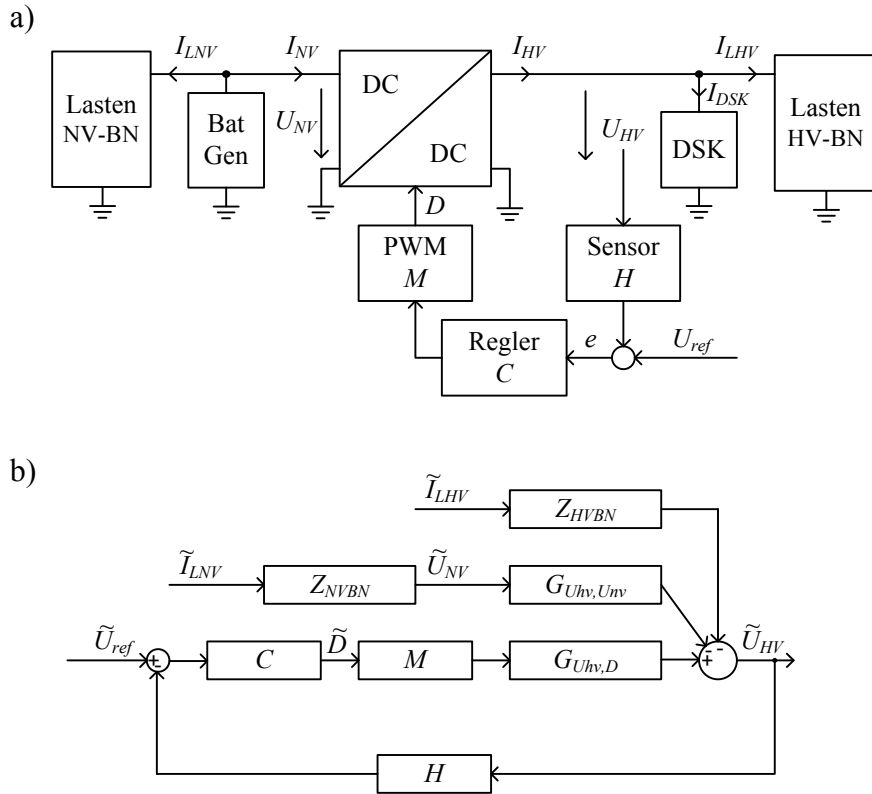


Abbildung 1.4: Blockschaltbild der Regelschleife (a) und Signalfussplan des Kleinsignalmodells (b) bei Adaption der Ausgangsspannungsregelung nach Abbildung 1.3 für die Anwendung im Mehrspannungsbordnetz.

des Wandlerausgangs und des Doppelschichtkondensators in Abbildung 1.4b.

Das Verhalten der Ausgangsspannung bei Änderung der Sollspannung (Referenzspannung), Laständerungen im NV-BN sowie Laständerungen im HV-BN können mit einem Kleinsignalmodell des geschlossenen Regelkreises nach [20, Kap. 9] beschrieben werden:

$$\tilde{U}_{HV} = \frac{1}{H(s)} \frac{G_o(s)}{1 + G_o(s)} \tilde{U}_{ref} - \frac{Z_{NV}(s) \cdot G_{U_{hv}, U_{nv}}(s)}{1 + G_o(s)} \tilde{I}_{LNV} - \frac{Z_{HV}(s)}{1 + G_o(s)} \tilde{I}_{LHV} \quad (1.1)$$

Die Verstärkung des offenen Regelkreises ist:

$$G_o(s) = H(s) \cdot C(s) \cdot M(s) \cdot G_{U_{hv}, D}(s) \quad (1.2)$$

Die Übertragungsfunktionen sind folgend definiert:

$$G_{U_{hv},D}(s) = \frac{\tilde{U}_{HV}(s)}{\tilde{D}(s)} \quad (1.3)$$

$$G_{U_{hv},U_{nv}}(s) = \frac{\tilde{U}_{HV}(s)}{\tilde{U}_{NV}(s)} \quad (1.4)$$

$$Z_{NV}(s) = \frac{\tilde{U}_{NV}(s)}{-\tilde{I}_{LNV}(s)} \quad (1.5)$$

$$Z_{HV}(s) = \frac{\tilde{U}_{HV}(s)}{-\tilde{I}_{LHV}(s)} \quad (1.6)$$

Durch Umstellen der Gleichung (1.1) zeigt sich, dass die geschlossene Regelschleife die Bordnetzimpedanz Z_{HV} gegenüber dem unregulierten Fall beeinflusst:

$$\left. \frac{\tilde{U}_{HV}}{-\tilde{I}_{LHV}} \right|_{\substack{\tilde{U}_{ref}=0 \\ \tilde{I}_{LNV}=0}} = \frac{Z_{HV}(s)}{1 + G_o(s)} \quad (1.7)$$

Die Regelung verändert die Bordnetzimpedanz um einen Faktor von $\frac{1}{1 + G_o(s)}$. Die Impedanz des DSK ($Z_{DSK} = U_{HV}/I_{DSK}$) bleibt von der Regelung unbeeinflusst. Nach der Stromteilerformel kann deshalb der Anteil des DSK Stromes der zur Verbraucherversorgung beiträgt mit Gleichung (1.8) ermittelt werden.

$$\frac{I_{DSK}}{-I_{LHV}} = \frac{Z_{HV}}{Z_{DSK}(1 + G_o(s))} \quad (1.8)$$

Bei einer idealen Regelung und damit idealer Kompensation des Regelfehlers muss die Verstärkung des offenen Regelkreises gegen unendlich gehen und der DSK Strom wird entsprechend Gleichung (1.8) zu Null. Nach dem Kirchhoffschen Gesetz teilt sich der Laststrom (I_{LHV}) auf den DC/DC-Wandler (I_{HV}) und den Doppelschichtkondensator (I_{DSK}) auf:

$$I_{LHV} = I_{HV} - I_{DSK} \quad (1.9)$$

Für eine Verstärkung des offenen Regelkreises gegen unendlich folgt aus Gleichung (1.8) und (1.9):

$$\tilde{I}_{HV} = \tilde{I}_{LHV} \Big|_{G_o(s) \rightarrow \infty} \quad (1.10)$$

Die Hochleistungsverbraucher werden ausschließlich durch den Wandler gespeist, sofern dieser die Leistungsaufnahme der Lasten bereitstellen kann und die maximale Ausgangsleistung nicht überschritten wird. Der Doppelschichtkondensator trägt also nur zur Versorgung bei, wenn die Regelung nicht schnell genug Spannungsschwankungen kompensieren kann oder Stellbegrenzungen aufgrund von Überschreiten der maximalen Wandlerleistung auftreten. Unter Vernachlässigung von energiespeichernden Elementen des Wandlers (Kondensatoren, Drosseln), die eine Tiefpasswirkung zur Folge hätten, kann der Eingangsklemmenstrom als Funktion des Laststroms, des quasi-stationären Spannungsübersetzungsverhältnisses und dem Wirkungsgrad des Wandlers ermittelt werden:

$$\tilde{I}_{NV} = \tilde{I}_{LHV} \cdot \frac{U_{HV}}{U_{NV} \cdot \eta} \quad (1.11)$$

Unter Annahme der Spannungsregelung und hoher Leistungsfähigkeit des Wandlers wird eine transiente Leistungsanforderung im HV-BN in das NV-BN übertragen und nicht entkoppelt.

Das Resultat bei Einsatz von konventionellen Regleransätzen lässt sich aus der Diskussion folgend zusammenfassen:

- Im Rahmen seiner Leistungsfähigkeit überträgt der Wandler den Laststrom aus dem HV-BN etwa mit einem Faktor von $U_{HV}/(U_{NV} \cdot \eta)$ in das NV-BN.
- Mit zunehmender Regelgeschwindigkeit der Ausgangsspannung nehmen die Vorteile der Mehrspannungsbordnetzarchitektur nach Abbildung 1.1 zur Erhöhung der Spitzenleistungsfähigkeit ab.

Während für Mehrspannungsbordnetze, die nur einen Energiespeicher verwenden (z.B. in [12, 23, 24]), eine Ausgangsspannungsregelung sinnvoll angewendet werden kann, ist sie in der vorliegenden Anwendung oder für ähnliche Mehrspannungsbordnetze, die zur Steigerung der Spitzenleistungsfähigkeit entwickelt wurden (siehe [10, 11, 13]), nicht zielführend.

1.2.2 Anforderungen an die Regelung im Mehrspannungsbordnetz

Die Diskussion aus Kapitel 1.2.1 zeigte, dass ein Einsatz konventioneller Lösungen und Verwendung typischer Qualitätskriterien für die Regelung des Wandlers in dem vorgestellten Mehrspannungsbordnetz nicht geeignet ist. Für die Entwicklung eines neuen Ansatzes werden folgende Anforderungen an die Regelung gestellt:

- Entkopplung des transienten Leistungsbedarfs.
- Laden/Entladen von kapazitiven Energiespeichern.
- Bidirektionaler Energietransfer.
- Stabiler Betrieb innerhalb weiter Spannungsbereiche.

Diese allgemeinen Anforderungen an die Regelung werden im Kapitel 2.2.1 an einem Beispiel konkretisiert.

1.2.3 Einordnung der Inhalte in den wissenschaftlichen Kontext

DC/DC-Wandler in Mehrspannungsbordnetzen wurden in [9, 25–27] als periphere Komponenten idealisiert und vereinfacht betrachtet. Ausgewiesene Potentiale zur Steigerung der Spitzenleistungs- und Energiespeicherfähigkeit des Energiebordnetzes sowie der Kraftstoffverbrauchsreduktion des Gesamtfahrzeugs basierten auf der Annahme, dass der DC/DC-Wandler den Energietransfer innerhalb seiner Grenzen definiert einstellen kann. Es wurde also von bereits funktionierenden Wandlerregelungen ausgegangen.

In den Arbeiten [23, 28], die DC/DC-Wandler im Kraftfahrzeug behandeln, lag der Schwerpunkt auf der Auslegung und Integration der Leistungsstufe. In [28] wurde die Regelung nicht und in [23] unter Betrachtung von Kriterien diskutiert, wie sie auch für typische Stromversorgungsanwendungen zur Anwendung kommen, jedoch wie die Diskussion aus Kapitel 1.2.1 zeigt, für die betrachtete Mehrspannungsbordnetzarchitektur nicht zutreffend sind.

Deshalb wird hier eine Methode zur Entwicklung der Wandlerregelung für Mehrspannungsbordnetze vorgestellt. Aus Stromversorgungsanwendungen (siehe [20, 29]) ist bekannt, dass das Verhalten der Regelstrecke durch die Dimensionierung des Leistungsteils beeinflusst wird. Die Auslegung des Leistungsteils wird daher in der Reglerentwicklung mit betrachtet. Der Entwurf optimierter Betriebsstrategien, wie beispielsweise in [9, 25, 27, 30], liegt nicht im Fokus der Arbeit. Gezeigt wird die Integrationsmöglichkeit in das vorgeschlagene Reglerkonzept.

Die Simulation ist ein entwicklungsbegeleitendes Werkzeug. Für die Untersuchung des dynamischen sowie quasi-stationären Verhaltens des Wandlers existiert bereits eine Vielzahl an Modellierungsmethoden. Modellierungsmethoden, wie sie beispielsweise zur Untersuchung des MOSFET-Schaltverhaltens angewendet werden, bilden sowohl das dynamische als auch stationäre Verhalten eines Wandlers sehr genau ab, führen aber auch zu aufwendigen und rechenintensiven Simulationen [31, Kap. 6.16.3] [32–34]. Die

in [9,25,27] vereinfachten DC/DC-Wandlermodelle eignen sich nicht für regelungstechnische Betrachtungen des Wandlers. Deshalb wird eine Modellierungsmethode vorgestellt, die trotz Berücksichtigung nichtidealer Eigenschaften des Wandlers die Simulationszeit für den Entwurf der Wandlerregelung sowie der Betriebsstrategie reduziert. Die Gültigkeit der Modelle wird durch experimentelle Untersuchungen bestätigt, um die Anwendbarkeit der Modelle und der Simulationsergebnisse für den Entwurfsprozess zu verifizieren.

Das reale Energieübertragungsverhalten des Wandlers (Verlustleistung und EMV-Verhalten) ist durch nichtideale Eigenschaften der Bauelemente bedingt. Typischerweise werden deshalb die Eigenschaften der Bauelemente optimiert, was letztendlich zu einem verbesserten Energieübertragungsverhalten führt [35–40]. Häufig scheitert der Einsatz optimierter Bauelemente allerdings aufgrund von Verfügbarkeitsproblemen für einen Serieneinsatz. Deshalb werden als Beispiel zwei alternative Optimierungsmethoden auf Basis der Ansteuerung bzw. Regelung vorgestellt, die parallel zur Regelung entwickelt und implementiert werden können. Die beiden Methoden werden exemplarisch für die Anwendung im Mehrspannungsbordnetz entwickelt, sind aber grundsätzlich für eine Vielzahl von Anwendungen übertragbar und können dort parallel zur Wandlerregelung implementiert werden.

2 Reglerentwicklung für DC/DC-Wandler

Für den Einsatz von Entwicklungswerkzeugen, wie beispielsweise der Simulation, ist ein strukturiertes Vorgehen für die Reglerentwicklung notwendig. Das Mehrspannungsbordnetz besteht aus unterschiedlichen Komponenten, wie DC/DC-Wandler, Energiespeicher, Verbraucher und Kabelbaum. Während sich der Zustand eines Energiespeichers nur langsam verändert, ist der DC/DC-Wandler wegen seines schaltenden Funktionsprinzips (siehe Kapitel 2.2.2.1) ein sehr schnell veränderliches System. Dies stellt eine besondere Herausforderung für die Simulation dar, weil laut [41, 42] die Kopplung solcher Teilsysteme mit unterschiedlichen Trägheiten zu steifen DGL-Systemen mit langen Simulationszeiten sowie numerischen Problemen führen kann. Eine stetige Betrachtung des gesamten Dynamikbereichs ist deshalb sehr aufwendig und wird im folgenden Entwurfsvorgehen vermieden.

Dazu werden unterschiedliche Abstraktionsebenen eingeführt auf deren Basis ein Entwurfsprozess für die DC/DC-Wandler Entwicklung abgeleitet wird. Dieser wird in den unterschiedlichen Phasen an einem Beispiel diskutiert, wobei der Einfluss der Schaltungsauslegung auf die Regelstrecke und damit der Reglerauslegung im Fokus der Betrachtungen liegen. Die Modellierung des DC/DC-Wandlers wird für die unterschiedlichen Abstraktionsebenen erläutert, um die notwendigen Werkzeuge für die Simulation bereitstellen zu können. Die entworfenen Methoden und simulativ abgeleiteten Ergebnisse werden an einem Wandlerprototypen experimentell untersucht.

2.1 Einführung von Abstraktionsebenen

Abstrahierte Modelle sind unter dem Begriff Verhaltensmodell oder „Black-Box Modelle“ bekannt [43–45]. Der Grad der Abstraktion ist nicht standardisiert, wie bei Vergleich der Modelle aus [45] und [44] hervorgeht. Diese nicht differenzierende Nomenklatur kann bei Nichtbeachtung der Gültigkeitsbereiche zu Fehlern führen. Im Folgenden werden deshalb für die Arbeit drei Abstraktionsebenen unter den Begriffen „Schaltungsebene“, „Komponentenebene“ und „Systemebene“ definiert.

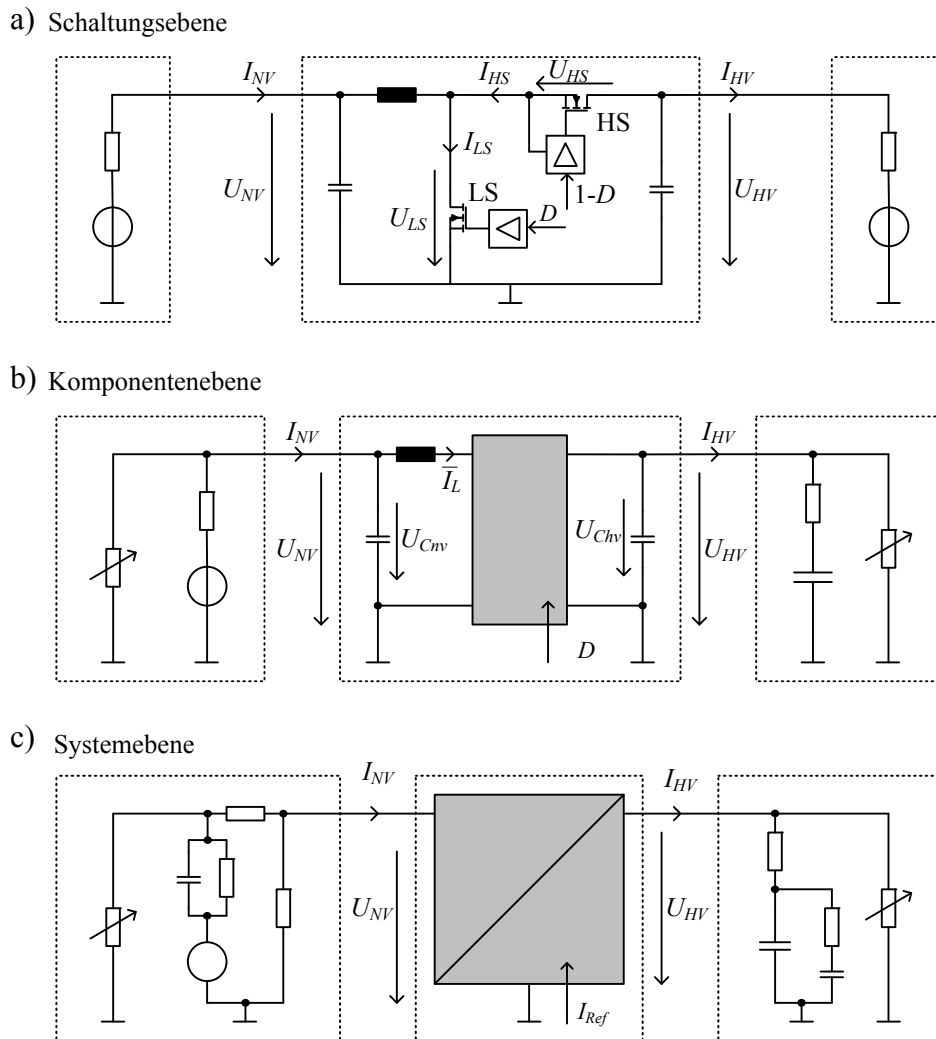


Abbildung 2.1: Veranschaulichung der Abstraktionsgrade in der Schaltungsebene (a), der Komponentenebene (b) und der Systemebene (c) am Beispiel von Ersatzschaltbildern des Mehrspannungsbordnetzes.

Abbildung 2.1 zeigt schematisch die drei Abstraktionsgrade am Beispiel von Ersatzschaltbildern des Mehrspannungsbordnetzes. Der DC/DC-Wandler wird von der Schaltungsebene ausgehend, über die Komponentenebene, hin zur Systemebene zunehmend vereinfacht. Bei den Bordnetzen (Energiespeicher und Verbraucher) ist eine zunehmende Detaillierung zu erkennen. Der Hintergrund dieser gegenläufigen Abstraktion ist die Fokussierung auf unterschiedliche Frequenzbereiche.

In der Schaltungsebene liegt der Betrachtungsfokus auf den Schaltvorgängen der Leistungshalbleiter und der resultierenden Stromwelligkeiten in den Drosseln und Spannungs-

welligkeiten an den Kondensatoren des Wandlers. Vor allem die parasitären Elemente der Halbleiterschalter beeinflussen deren Schaltverhalten und sind in dieser Ebene zu berücksichtigen [10,34]. Zu den Wandlerklemmen hin werden die Strom/Spannungswelligkeiten durch Bus-Kondensatoren¹ sowie EMV-Filter gedämpft. Die Belastung der Bordnetze durch die Schaltvorgänge kann deshalb vernachlässigt werden. Die Zustände der Energiespeicher in den Teilbordnetzen ändern sich innerhalb einiger Schaltzyklen nicht. Eine stationäre Betrachtung der Bordnetze ist deshalb in dieser Ebene ausreichend.

In der Komponentenebene liegt der Fokus der Betrachtungen auf dem Einschwingverhalten der Zustandsgrößen² des DC/DC-Wandlers, was üblicherweise unter dem Begriff Wandlerdynamik geführt wird [20, Kap. II]. Die hochfrequenten Anteile der periodischen Schaltvorgänge und der Harmonischen werden vernachlässigt. Parasitäre Elemente der Schaltnetze können deshalb ebenfalls entfallen. Die Modelle sind dann nur noch für AC-Anteile unterhalb der Schaltfrequenz gültig. Bei Energiespeichern mit hoher Kapazität können diese nach wie vor mit statischen Modellen nachgebildet werden (z.B. die Batterie als Spannungsquelle mit Serienwiderstand). Speicher mit geringeren Energiespeichervermögen und damit einer Dynamik, die bereits für diese Ebene relevant ist, werden mit Modellen niedriger Ordnung nachgebildet (z.B. der Doppelschichtkondensator als Kapazität mit Serienwiderstand). Die Impedanz des Kabelbaums und Masseanbindung liegt in Serie zu den Bordnetzen und hat entsprechend der Ausführungen in [46] einen wesentlichen Einfluss auf das dynamische Verhalten der Bordnetze.

In der Systemebene werden vor allem die Klemmengrößen des Wandlers, der Energiespeicher und Verbraucher betrachtet. Einschwingvorgänge eines geregelten Wandlers sind typischerweise sehr viel schneller als Veränderungen der Klemmenspannungen im Bordnetz. Die Dynamik des Wandlers kann vernachlässigt werden und reaktive Elemente im Wandler entfallen somit in dieser Betrachtungsebene. Das Wandlermodell berücksichtigt lediglich noch das quasi-stationäre Übertragungsverhalten (Wirkungsgrad). Eine besondere Herausforderung ist die Beschreibung der elektrochemischen Energiespeicher für den stationären Betrieb (Langzeitmodelle) und wird häufig mit Modellen hoher Ordnung nachgebildet [47, Kap. 5] [48,49].

Unter Annahme typischer Dimensionierungen, z.B. nach [10], sind in Tabelle 2.1 die betrachteten Frequenzanteile und der daraus resultierenden Modellkomplexitäten für die drei Abstraktionsebenen exemplarisch dargestellt.

¹Die Kondensatoren, die parallel zu den Wandlerklemmen geschaltet sind werden als Bus-Kondensatoren bezeichnet

²Elektrische Zustandsgrößen sind durch Spannungen an Kapazitäten und Ströme in Induktivitäten definiert

Tabelle 2.1: Typisch betrachtete Frequenzbereiche und Modellkomplexitäten in Abhängigkeit der Abstraktionsebene.

Abstraktionsebene	Frequenzbereich	Modellkomplexität	
		DC/DC-Wandler	Energiebordnetze
Schaltungsebene	> 100 kHz	hoch	niedrig
Komponentenebene	1 kHz - 100 kHz	mittel	mittel
Systemebene	< 1 kHz	niedrig	hoch

Aus Tabelle 2.1 wird ersichtlich, dass in jeder Abstraktionsebene nur ein bestimmter Frequenzbereich betrachtet wird. Dadurch bleibt die Modellkomplexität in jeder Ebene gering. Eine Ebene kann aber eine andere Ebene nicht ersetzen. Erst durch ergänzende Betrachtungen kann die Gültigkeit einzelner Untersuchungen auf den gesamten Frequenzbereich erweitert werden.

2.2 Entwurfsprozess

Die notwendigen Entwurfsschritte zur Entwicklung eines DC/DC-Wandlers werden nun auf die Abstraktionsebenen verteilt. Der Entwurfsprozess definiert die Aufgaben und Schnittstellen der Entwicklungsschritte.

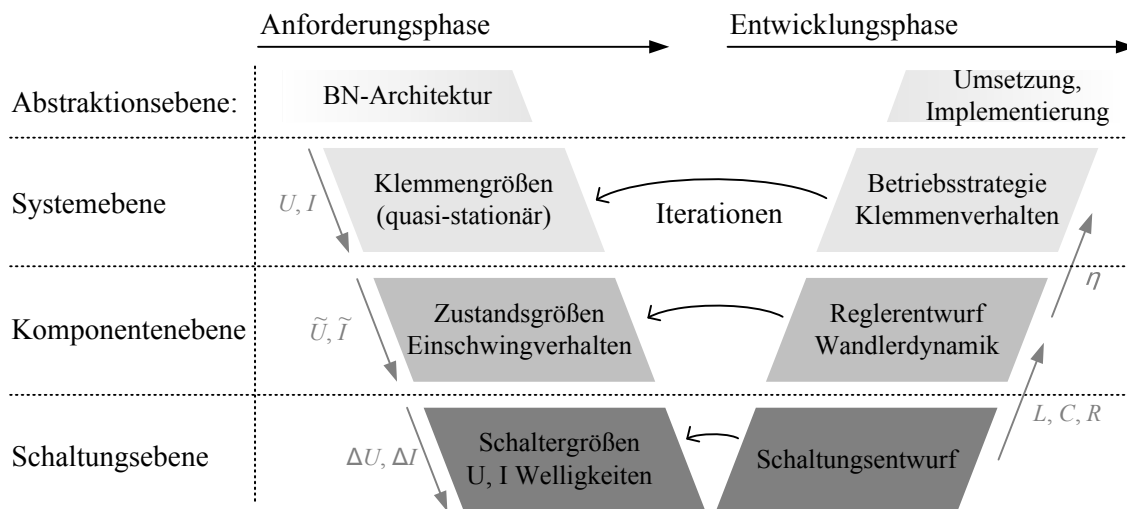


Abbildung 2.2: Prozess zur Entwicklung eines DC/DC-Wandlers auf Basis von Abstraktionsebenen.

Abbildung 2.2 zeigt den Entwurfsprozess, der analog zum V-Modell [50] dargestellt ist.

Ausgehend von der Systemebene mit Fokus auf die quasi-stationären Klemmengrößen werden mit zunehmender Tiefe im Entwurfsprozess die schnelleren inneren Zustände des Wandlers betrachtet. Im linken Teil werden die Anforderungen spezifiziert (siehe Kapitel 2.2.1). Im rechten Teil wird die Komponente entwickelt (siehe Kapitel 2.2.2, 2.2.3 und 2.2.4). Als Schnittstellen der Entwicklungsphase dienen die Dimensionierungswerte der Schlüsselbauelemente, das Einschwingverhalten sowie der Wirkungsgrad.

2.2.1 Anforderungsphase

Die Anforderungsphase ist analog zu den Abstraktionsebenen in drei Teile gegliedert, deren Inhalte zuerst allgemein eingeführt und anschließend an einem Beispiel konkretisiert werden.

In der Systemebene werden die stationären Strom- und Spannungsbereiche sowie das Übertragungsverhalten definiert. Die Spannungsbereiche sind abhängig von den eingesetzten Energiespeichertechnologien in den Teilbordnetzen. Anforderung an die Stromtragfähigkeit des Wandlers können laut [10] aus den Verbraucherprofilen abgeleitet werden. Die Wirkungsgradziele sind abhängig vom Verbauort der Komponente sowie von Effizienzanforderungen an das Energiebordnetz [10].

In der Komponentenebene wird das gewünschte Einschwingverhalten der Zustandsgrößen definiert. Die Zustandsgrößen der Bus-Kondensatoren und Speicherinduktivitäten stehen dabei in direktem Zusammenhang mit den Klemmengrößen. Die Anforderung in der Komponentenebene beschreibt deshalb das dynamische Verhalten des DC/DC-Wandlers bei Veränderung der Betriebsbedingungen, z.B. bei Spannungsschwankungen, die durch transiente Leistungsbedarfe verursacht werden.

In der Schaltungsebene werden Anforderungen an das EMV-Verhalten gestellt. In Kombination der stationären Betriebsbereiche (Systemebene) lassen sich laut [10] die Anforderungen an die Leistungsstufe ableiten.

Die Tabelle 2.2 zeigt Anforderungen, die exemplarisch an den Wandler für das Mehrspannungsbordnetz nach Abbildung 1.1 gestellt werden. Die definierten Strom- und Spannungsbereiche sind an die Ausführungen in [10, 18] angelehnt. Das Wirkungsgradziel wurde festgelegt, sodass die Verlustleistung des Wandlers maximal 50 W beträgt. Die Anforderungen an das dynamische Verhalten des Wandlers sind aus Sicht der Bordnetzstabilität des NV-BN gewählt. Die Limitierung der Stromgradienten auf unter 200 A/s, d.h. unterhalb der Stromanstiegsgeschwindigkeit der Generatorregelung, hat sich in [10, 18, 51–53] etabliert. Die transienten Leistungsbedarfe im HV-BN sollen vom

Tabelle 2.2: Exemplarische Anforderungen an den DC/DC-Wandler im Mehrspannungsbordnetz nach Abbildung 1.1.

Systemebene: Anforderungen der quasi-stationären Klemmengrößen			
Größe	Nenn	Minimal	Maximal
Eingangsspannung	$U_{NV,nenn} = 14 \text{ V}$	$U_{NV,min} = 8 \text{ V}$	$U_{NV,max} = 18 \text{ V}$
Eingangsstrom	$I_{NV,nenn} = 60 \text{ A}$	$U_{NV,min} = -60 \text{ A}$	$U_{NV,max} = 60 \text{ A}$
Ausgangsspannung	$U_{HV,nenn} = 30 \text{ V}$	$U_{HV,min} = 20 \text{ V}$	$U_{HV,max} = 40 \text{ V}$
Wirkungsgrad	$\eta_{nenn} > 94\%$		
Komponentenebene: Anforderung an das dynamische Verhalten			
Entkopplung der Hochleistungsverbraucher vom NV-BN. Zulässige Rückwirkung des Verbraucherstroms: $\tilde{I}_{NV} < 0,1 \cdot \tilde{I}_{LHV}$			
Limitierte Stromgradienten im NV-BN: $\frac{dI_{NV}}{dt} < 200 \text{ A/s}$			
Schaltungsebene: Anforderung an Strom-/Spannungswelligkeiten			
Einhaltung der EMV-Grenzwerte nach CISPR-25 in beiden Teilbordnetzen			

NV-BN entkoppelt werden. Eine ideale Entkopplung ist mit realen Reglerbandbreiten nicht möglich. Eine Übertragung der fluktuierenden Ströme kleiner 10% vom Verbraucherstrom wird als zulässiger Grenzwert festgelegt. Die Strom-/Spannungswelligkeiten müssen limitiert werden, um geltende EMV-Anforderungen für Energiebordnetze im Fahrzeug erfüllen zu können³.

³Die Messung leitungsgebundener und abgestrahlter Störungen ist nach CISPR-25 genormt [54]. Die Grenzwerte zulässiger Störpegel sind Herstellerspezifisch (z.B. [55]).

2.2.2 Entwicklung in der Schaltungsebene

Für die Wahl der Topologie und Auslegung des Leistungsteils wird ein Vorgehen analog zu [10, Kap. 4.1] angewendet. In Abbildung 2.3 ist dies veranschaulicht.

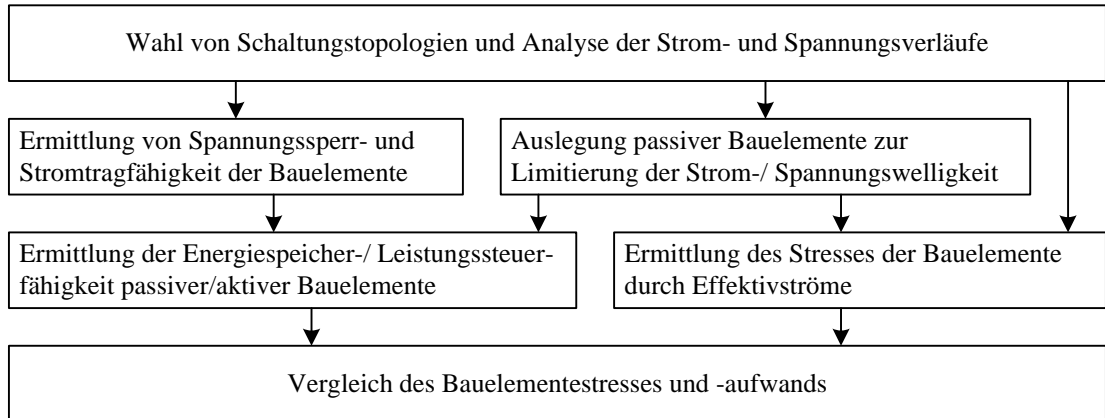


Abbildung 2.3: Vorgehen zur Auslegung und Vergleich von Schaltungstopologien nach [10].

Nach dem Entwurfsprozess (siehe Abbildung 2.2) wird das dynamische Verhalten des Wandlers (d.h. der Regelstrecke) durch Dimensionierung passiver und aktiver Bauelemente festgelegt. Das Vorgehen zur Auslegung und Vergleich von Topologien wird deshalb im Folgenden im Hinblick auf regelungstechnische Aspekte diskutiert.

2.2.2.1 Analyse des Wandler-Funktionsprinzips zur Topologiewahl

Die Topologie muss in der Lage sein, Energie innerhalb des geforderten Spannungsbereichs bidirektional zu übertragen. Abhängig von der Energietransferrichtung kann der Bereich der Spannungsübersetzung ($M = U_{Ausgang}/U_{Eingang}$) durch Gleichung (2.1) bzw. (2.2) ermittelt werden (siehe Tabelle 2.2).

$$M|_{I_{NV}>0} = \left[\frac{U_{HV,min}}{U_{NV,max}} \dots \frac{U_{HV,max}}{U_{NV,min}} \right] \approx [1, 1\dots5, 0] \quad (2.1)$$

$$M|_{I_{NV}<0} = \frac{1}{M|_{I_{NV}>0}} \approx [0, 9\dots0, 2] \quad (2.2)$$

Benötigt wird also eine nicht invertierende hoch-/tiefsetzende DC/DC-Wandler Topologie, die z.B. mit der Methode nach [56, 57] aus ein oder mehreren Grundzellen

abgeleitet werden kann. Durch Analyse der Strom- und Spannungsverläufe des schaltenden DC/DC-Wandlers kann die Tauglichkeit einer bestimmten Topologie für das geforderte Spannungsübersetzungsverhältnis bestimmt werden, was im Folgenden exemplarisch an der etablierten Boost-/Buck-Wandlertopologie⁴ gezeigt wird.

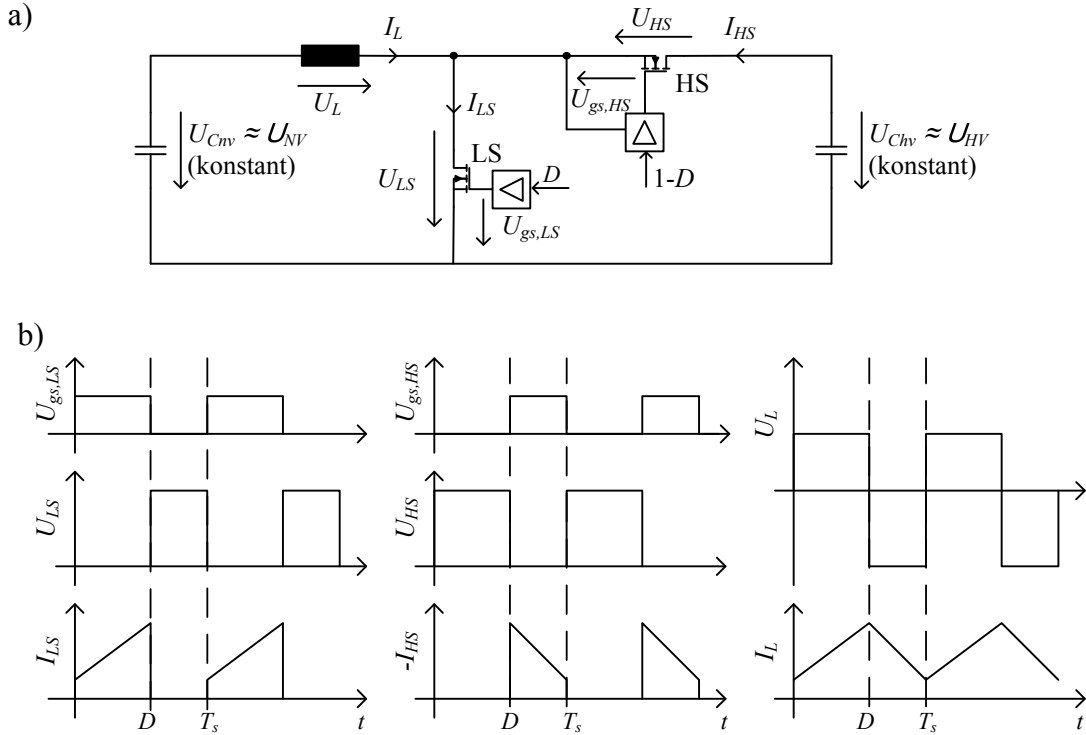


Abbildung 2.4: Bidirektionale Boost-/Buck-Wandlertopologie (a) mit schematischen Strom-/Spannungsverläufen der MOSFETs und der Speicherdrossel (b) bei Energietransfer NV-BN nach HV-BN.

Abbildung 2.4a zeigt die bidirektionale Boost-/Buck-Wandler Topologie mit MOSFETs als Leistungsschalter. Die MOSFETs werden mit quasi-komplementären pulsweitenmodulierten (PWM) Signalen angesteuert (siehe Abbildung 2.4b). Daraus ergeben sich zwei Schaltzustände. Im ersten Schaltzustand ist der LS Schalter (LS von engl. „Low Side“) ein und der HS Schalter (HS von engl. „High Side“) aus. In diesem Schaltzustand liegt die Eingangsspannung, die näherungsweise konstant ist, an der Drossel an und der Strom der Drossel steigt entsprechend:

$$\frac{dI_L}{dt} = \frac{1}{L} \cdot U_{NV} \quad (2.3)$$

Im zweiten Schaltzustand ist der HS Schalter ein und der LS Schalter aus. In diesem

⁴Es wird der aus dem Englischen geläufige Begriff für hoch-/tiefsetzend verwendet.

Schaltzustand liegt die Differenz der Ausgangsspannung und Eingangsspannung an der Drossel an, wodurch der Strom der Drossel entsprechend fällt:

$$\frac{dI_L}{dt} = \frac{1}{L} \cdot (U_{HV} - U_{NV}) \quad (2.4)$$

Im eingeschwungenen Zustand muss die im ersten Schaltzustand von der Drossel aufgenommene Energie gleich der im zweiten Schaltzustand abgegebenen Energie sein. Die Zeit-Spannungs-Produkte (Inductor-Volt-Second Balance [20, Kap. 2.1]) können daher gleichgesetzt

$$\frac{1}{L} \cdot U_{NV} \cdot D \cdot T_s = \frac{1}{L} \cdot (U_{HV} - U_{NV}) \cdot (1 - D) \cdot T_s \quad (2.5)$$

und nach dem Spannungsübersetzungsverhältnis aufgelöst

$$M(D) = \frac{U_{HV}}{U_{NV}} = \frac{1}{1 - D} \quad (2.6)$$

werden. Mit einem Tastverhältnisbereich von $D = [0,1 \dots 0,8]$ kann der geforderte Spannungsübersetzungsbereich aus Gleichung (2.1) und (2.2) erreicht werden. Die beiden Energietransferrichtungen haben lediglich Einfluss auf die Rollen des LS- und HS-Schalters. Bei Energietransfer vom NV-BN ins HV-BN ist der LS-Schalter der Steuerschalter (positive Stromrichtung Drain-Source) und der HS-Schalter Synchrongleichrichter (negative Stromrichtung Drain-Source). Detaillierte Informationen zur Synchrongleichrichtung sind in Kapitel 4 enthalten. Bei Umkehr der Energietransferrichtung sind die Rollen vertauscht. Bei einer quasikomplementären Ansteuerung existiert deshalb kein stromlückender Betrieb, der nach [20, Kap. 11] zu Veränderungen im Verhalten der Regelstrecke führen würde. Die Nomenklatur von Wandlereingang und -ausgang wird im Folgenden nicht an die unterschiedlichen Energietransferrichtungen angepasst. Als Eingang wird immer die mit dem NV-BN verbundene Klemme und als Ausgang die mit dem HV-BN verbundene Klemme bezeichnet.

2.2.2.2 Spannungssperr- und Stromtragfähigkeit

Aus der Analyse der Strom-/Spannungsverläufe aus Abbildung 2.4 werden die Anforderungen an die Spannungssperr- und Stromtragfähigkeiten der aktiven und passiven Bauelemente ermittelt. Unter Vernachlässigung der Spannungswelligkeiten der Buskondensatoren sind diese in Tabelle 2.3 zusammengefasst.

Die erforderlichen Stromtragfähigkeiten aktiver und passiver Bauelemente sind abhängig

Tabelle 2.3: Spannungsperr- und Stromtragfähigkeit aktiver und passiver Bauelemente bei der Topologie in Abbildung 2.4a

Maximalstrom für L	$I_{NV,nenn} + \frac{\Delta I_L}{2}$
Nennspannung für C_{NV}	$U_{NV,max}$
Nennspannung für C_{HV}	$U_{HV,max}$
Nennsperrspannung für LS & HS	$U_{HV,max}$
Maximalstrom für LS & HS	$I_{NV,nenn} + \frac{\Delta I_L}{2}$

von der Dimensionierung passiver Bauelemente. Mit Reduzierung der Stromwelligkeit⁵ kann die Anforderung an die Stromtragfähigkeit der Leistungsschalter reduziert werden.

2.2.2.3 Auslegung passiver Bauelemente

Die Stromwelligkeit der Drossel wird auf einen Maximalwert begrenzt um Anforderungen an die Stromtragfähigkeit der Bauelemente zu reduzieren (siehe Tabelle 2.3). Zur Definition der Dämpfungsanforderungen für die EMV-Filter muss zusätzlich die Spannungswelligkeit der Bus-Kondensatoren begrenzt werden. Analog zu [10, 58] werden zu den jeweiligen Nennspannungen bzw. Nennströmen proportionale Obergrenzen für die Welligkeit festgelegt. Folgende Werte haben sich dabei für vergleichbare Anwendungen etabliert:

- Schaltfrequenz: $f_s = 1/T_s = 100 \text{ kHz}$
- Stromwelligkeit Speicherdrossel: $\Delta I_L \leq 0,3 \cdot I_{nenn}$
- Spannungswelligkeit Bus-Kondensatoren: $\Delta U_C \leq 0,01 \cdot U_{nenn}$
- Spannungswelligkeit Energiekoppel-Kondensatoren⁶: $\Delta U_C \leq 0,1 \cdot U_{nenn}$

Durch Einsetzen der zulässigen Grenzwerte in die Gleichungen (2.7) bzw. (2.8) kann der minimal erforderliche Wert der Kapazität C bzw. der Induktivität L abgeschätzt werden (Schematische Strom- und Spannungsverläufe siehe Anhang B.1).

$$\Delta I_L \approx \frac{U_L}{L} \cdot D \cdot T_s \quad (2.7)$$

$$\Delta U_C \approx \frac{I_C}{C} \cdot D \cdot T_s \quad (2.8)$$

⁵Der Wert der Welligkeit ΔI wird als Spitze-Spitze Wert festgelegt.

⁶Energieübertragungskondensatoren, wie bei der SEPIC oder CUK-Wandlertopologie [20, Kap. 6.2] sind in der betrachteten Boost-/Buck-Wandler Topologie nicht enthalten.

Vernachlässigt ist dabei die Wirkung parasitärer Elemente auf die resultierenden Strom-/Spannungswelligkeiten.

Die resultierenden Mindestwerte der passiven Bauelemente sind in Tabelle 2.4 dargestellt (Berechnungen siehe Anhang B.1).

Tabelle 2.4: Minimal erforderliche Werte der passiven Bauelemente

Bauelement		Wert
Speicherdrossel	L	$5,5 \mu\text{H}$
Bus-Kondensator	C_{LV}	$161 \mu\text{F}$
Bus-Kondensator	C_{HV}	$500 \mu\text{F}$

2.2.2.4 Energiespeicher- und Leistungssteuerfähigkeit

Nach Auslegung der passiven Bauelemente kann der Bauelementeaufwand der Topologie berechnet werden. Die aufsummierte maximal zu speichernde Energiemenge in Kondensatoren und Drosseln sowie die maximale Schalterleistung (siehe Gleichung (2.9) bis (2.11)) gelten als Vergleichskriterien für den Bauelementeaufwand .

$$E_{L, ges} = \sum_{i=1}^n \frac{1}{2} \cdot L_i \cdot I_{max, Li}^2 \quad (2.9)$$

$$E_{C, ges} = \sum_{j=1}^m \frac{1}{2} \cdot C_j \cdot U_{max, Cj}^2 \quad (2.10)$$

$$P_{S, max} = \sum_{j=1}^p U_{max, Sj} \cdot I_{max, Sj} \quad (2.11)$$

Die Indizes n , m und p stehen jeweils für die Anzahl der passiven Speicherelemente bzw. der Schalter. Die Werte des ermittelten Bauelementeaufwands für die vorliegende Boost-/Buck-Wandler Topologie sind im Vergleich mit einem Zweiphasenwandler in Tabelle 2.5 dargestellt. Die Berechnungen sind im Anhang B.2 aufgeführt werden.

2.2.2.5 Bauelementestress durch Effektivstrombelastung

Der Bauelementestress wird durch Bestimmung der Effektivstrombelastung nach Gleichung (2.12) ermittelt.

$$I_{rms} = \sqrt{\frac{1}{T_s} \int_{t_0}^{t_0+T_s} I(t)^2 dt} \quad (2.12)$$

Unter Annahme der Kleinrippelnäherung [20, Kap. 2.2] können vorgefertigte Tabellen (siehe [20, Anhang A] und [28, Anhang A]) verwendet werden, um die Effektivströme in Abhängigkeit des Tastverhältnisses zu nähern.

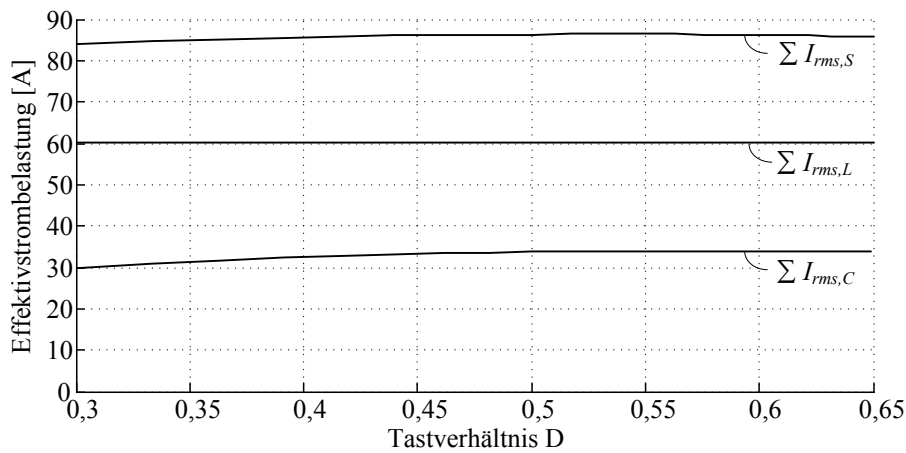


Abbildung 2.5: Aufsummierte Effektivstrombelastung der induktiven, kapazitiven und aktiven Bauelemente der Topologie nach Abbildung 2.4a bei $U_{NV}=14\text{ V}$ und $U_{HV}=20..40\text{ V}$ bei einem Eingangsnennstrom von $I_{NV}=60\text{ A}$.

Abbildung 2.5 zeigt aufaddiert die Effektivstrombelastung der induktiven, kapazitiven und aktiven Bauelemente in Abhängigkeit vom Tastverhältnis (Berechnungen siehe Anhang B.3). Die Strombelastung der Drossel und der Leistungsschalter ist näherungsweise konstant. Die Strombelastung der Bus-Kondensatoren steigt mit zunehmendem Tastverhältnis. Aufgrund der hohen Strombelastung der Bauelemente ist ein geringer parasitärer Ersatzserienwiderstand notwendig um ohmsche Verluste zu minimieren.

2.2.2.6 Vergleich von Topologien

Mit dem Vorgehen zur Auslegung der Leistungsstufe können unterschiedliche Schaltungstopologien unter gleichen Rahmenbedingungen ausgelegt und anschließend in

unterschiedlichen Kategorien miteinander verglichen werden. Ein Kriterium bezüglich der Baugröße ist die maximale Energiespeicher- und Leistungssteuerfähigkeit passiver und aktiver Komponenten. Ein Kriterium für den Zielwirkungsgrad (Verlustleistung) ist der Bauelementestress durch Effektivstrombelastung. Weitere Kriterien, wie z.B. Ansteuerung der Leistungsschalter, können zur Bewertung der Komplexität der Peripherie verwendet werden. Durch Gewichtung der unterschiedlichen Kategorien kann eine optimale Topologie für die Anwendung gefunden werden.

Nach [10] eignet sich die gewählte Boost-/Buck-Wandler Topologie für die Anwendung und wird deshalb ohne Vergleich mit anderen Schaltungstopologien im Folgenden verwendet.

2.2.2.7 Optimierung der Auslegung durch Mehrphasigkeit

Eine effektive Maßnahme zur Reduktion der Bus-Kondensatorbelastung und Anforderungen an die Energiespeicherfähigkeit der Speicherdrossel ist die Erweiterung zu einem Mehrphasenwandler [10, 28, 59–62].

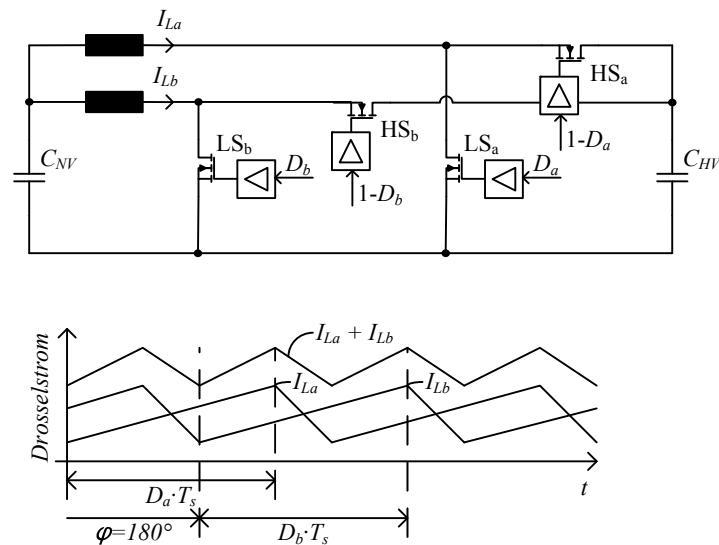


Abbildung 2.6: Ersatzschaltbild eines zweiphasigen Boost-/Buck-Wandlers. Die Halbbrücken werden mit einem Phasenversatz von 180° angesteuert. Die Stromwelligkeiten der Drosseln überlagern sich destruktiv an den Bus-Kondensatoren.

Abbildung 2.6 zeigt die Boost-/Buck-Wandler-Topologie als Zweiphasenwandler. Der Wandlerstrom wird auf zwei Pfade aufgeteilt. Der Ansteueraufwand nimmt im Vergleich zum Einphasenwandler zu. Bei Ansteuerung der Halbbrücken mit einem Phasenversatz

von 180° ($360^\circ/\text{Anzahl der Phasen}$) überlagern sich die Wechselanteile der Drosselströme an den Wandlerklemmen. Die Amplitude der Stromwelligkeit wird dadurch reduziert und die Frequenz verdoppelt.

Tabelle 2.5 zeigt den Vergleich der notwendigen Energiespeicher- und Leistungssteuerfähigkeit des Einphasen- und des Zweiphasenwandlers bei gleichen Auslegungskriterien der passiven Bauelemente. Durch Stromaufteilung auf die beiden Phasen nimmt die notwendige Energiespeicherfähigkeit der induktiven Bauelemente leicht ab. In den Bus-Kondensatoren überlagern sich die Stromwelligkeiten der beiden Phasen destruktiv weshalb diese bei gleichen Auslegungskriterien mit signifikant kleineren Kapazitätswerten im Vergleich zu einem Einphasenwandler dimensioniert werden können (Vergleich der Werte siehe Anhang B.1). Durch die geringeren Kapazitätswerte sinkt die maximale Energiespeicherfähigkeit der Kondensatoren deutlich. Im Gegensatz zu den Vorteilen bei den passiven Bauelementen nimmt die maximale Schalterleistung leicht zu.

Tabelle 2.5: Energiespeicher- und Leistungssteuerfähigkeit des einphasigen und zweiphasigen Boost-/Buck-Wandlers

	Einphasenwandler	Zweiphasenwandler
$\sum E_L$	13,1 mWs	8,4 mWs
$\sum E_C$	429,3 mWs	107,4 mWs
$\sum P_S$	5,5 kW	6,2 kW

Abbildung 2.7 zeigt die aufaddierten Effektivstrombelastungen der induktiven, kapazitiven und aktiven Bauelemente des Einphasen- und des Zweiphasenwandlers im Vergleich. Besonders die Effektivstrombelastung der kapazitiven Bauelemente nimmt deutlich ab. Bei einem Tastverhältnis von $D=0,5$ wird die Belastung auf ein Minimum reduziert.

Durch die Ausführung als Mehrphasenwandler können die Anforderungen an die passiven Bauelemente reduziert werden. Im Gegensatz dazu steigt der Ansteuer- sowie der Schalteraufwand an. Unter Vernachlässigung der phasenversetzten Ansteuerung und der Stromwelligkeiten kann der Zweiphasenwandler verhaltensmäßig als Einphasenwandler mit parallel geschalteten Drosseln und aktiven Elementen betrachtet werden. Durch die Parallelschaltung werden der Wert der Ersatzinduktivität und die Ersatzserienwiderstände halbiert.

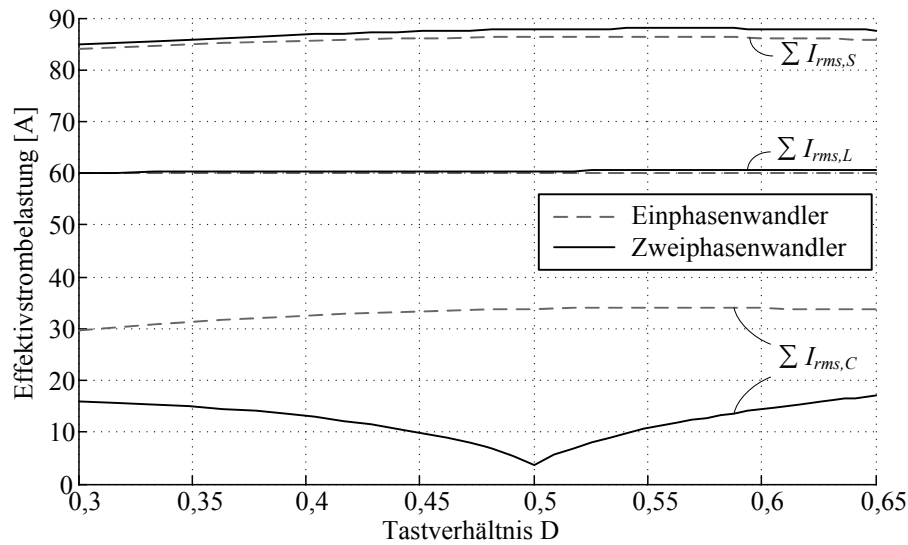


Abbildung 2.7: Vergleich der aufsummierten Effektivstrombelastungen der induktiven, kapazitiven und aktiven Bauelemente im einphasigen und zweiphasigen Wandler.

2.2.2.8 Auswirkung der Schaltungsauslegung auf die Regelung

Aus dem Funktionsprinzip des Wandlers und dem Entwurfsvorgehen zur Auslegung der Leistungsstufe können folgende Schlussfolgerungen für die Regelung des Wandlers abgeleitet werden:

- Die Energieaufnahme/Entnahme der Drossel und damit der Wandlereingangsstrom kann mit dem Tastverhältnis beeinflusst werden. Das Tastverhältnis ist Stellgröße für die Regelung des Wandlers.
- Bei quasi-komplementärer Ansteuerung existiert nur der nicht-stromlückende Betrieb.
- Geringere zulässige Grenzwerte bei Strom- und Spannungswelligkeiten führen zu höherer Dimensionierung passiver Bauelemente (träges Einschwingverhalten).
- Optimierung der Leistungsstufe führt zu niedrigeren Werten der passiven Bauelemente (schnelles Einschwingverhalten).
- Bei mehrphasigen Wandlertopologien werden Leistungsstufen parallel geschaltet. Entsprechend der Anzahl der Phasen reduziert sich die Ersatzinduktivität und Ersatzreihenwiderstand des Wandlers.

2.2.3 Entwicklung in der Komponentenebene

In typischen Spannungsregleranwendungen ist die Auslegung des Leistungsteils abhängig von der Qualität der Regelung. Je schneller die Regelung transiente Störungen (Spannungsschwankungen) ausgleichen kann, desto geringer ist die Energiemenge, die der Bus-Kondensator abgeben bzw. aufnehmen muss [63]. Deshalb zielen konventionelle DC/DC-Wandlerregelungen auf ein maximal schnelles Einschwingen mit entsprechend hohen Schaltfrequenzen (im MHz Bereich) ab. Die notwendige Energiespeicherfähigkeit des Bus-Kondensators am Ausgang wird dadurch minimiert, wodurch kleinere und günstigere Kondensatoren eingesetzt werden können [64, 65].

In der betrachteten Anwendung im Mehrspannungsbordnetz wird der transiente Leistungsbedarf der Verbraucher in beiden Teilbordnetzen durch die Energiespeicher gedeckt. Die Regelung muss hier die Anforderungen an die Entkopplung transienter Leistungsbedarfe sowie der Steuerbarkeit mit limitierten Stromgradienten erfüllen (siehe Tabelle 2.2). Eine schnellere Regelung, wie sie für diese Anforderungen notwendig wäre, bietet keine Vorteile bei der Schaltungsauslegung des Leistungsteils und führt zu unnötigen Aufwänden für die Auslegung und Implementierung der Wandlerregelung.

Die Reglerauslegung hat deshalb folgendes Ziel:

Die gestellten Anforderungen an das Einschwingverhalten und Stabilität sollen unter Anwendung minimaler Reglerbandbreite (Aufwand) erfüllt werden.

Das Vorgehen zur Entwicklung der Regelung ist in Abbildung 2.8 veranschaulicht. Zuerst wird durch Festlegung der Regelgrößen die Regelstrecke definiert. Das Verhalten der unregelmäßigten Strecke kann dann analysiert und ein Regelungskonzept, bestehend aus Linearisierungen, Sensorik und Regler, abgeleitet werden. Das Verhalten der Regelstrecke wird stark durch nichtideale Eigenschaften, wie z.B. Schaltverluste beeinflusst [46]. Bei numerischen Analysen von Simulationsmodellen sind damit in den Ergebnissen sowohl die Einflüsse der Schaltungsauslegung (L,C,R) als auch der parasitären Eigenschaften enthalten, wobei kausale Zusammenhänge aufgrund der meist hohen Modellkomplexität nicht eindeutig hervorgehen. Um die Auswirkung der Schaltungsauslegung auf das Regelstreckenverhalten analysieren zu können wird deshalb zusätzlich ein stark vereinfachtes Modell verwendet, das bei geringer Komplexität analytisch untersucht werden kann. Die Regelschleife wird anschließend in mehreren Iterationsschritten ausgelegt.

Die Entwicklung der Regelung wird nun am Beispiel eines idealisierten Boost-/Buck-Wandlers für das definierte Mehrspannungsbordnetz verdeutlicht, wobei das schaltende Verhalten des Wandlers aufgrund der in Kapitel 2.3.2 gezeigten Methode „nichtmodelliert“ ist.

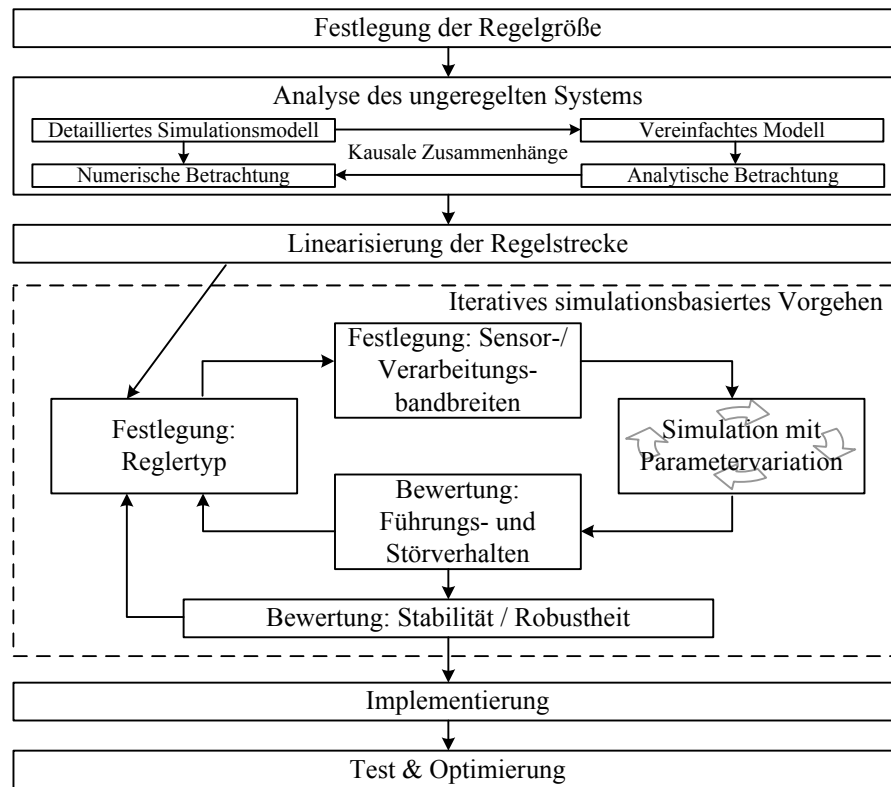


Abbildung 2.8: Vorgehen zur Entwicklung der Wandlerregelung.

Abbildung 2.9a zeigt das Ersatzschaltbild des Wandlers und der Bordnetze. Der in der Schaltungsebene ausgelegte Zweiphasenwandler ist verhaltenmäßig als Einphasenwandler unter Annahme idealer Stromaufteilung und Vernachlässigung der phasenversetzten Ansteuerung dargestellt. Regelungstechnische Betrachtungen als Zweiphasenwandler werden in Kapitel 3 durchgeführt. Der Induktivitäts- und Widerstandswert der Drossel ist aufgrund der Parallelschaltung halbiert. Bei den Bus-Kondensatoren wurden die Dimensionierungswerte des Einphasenwandlers verwendet, weil EMV-Filter zusätzliche Kapazitäten einbringen und auch häufig höhere Kapazitätswerte implementiert werden müssen um die zulässige Strombelastbarkeit realer Kondensatoren nicht zu überschreiten. Die Bordnetzanbindungen über den Kabelbaum und Stecker ist als ohmscher Widerstand berücksichtigt. Die Batterie ist als Spannungsquelle mit Serienwiderstand und der Doppelschichtkondensator als Kondensator mit Ersatzreihenwiderstand modelliert.

In dem vereinfachten Modell nach Abbildung 2.9b sind die Eigenschaften der Bus-Kondensatoren (EMV-Filter), des Kabelbaums und der Energiespeicher für jedes Teilbordnetz mit einer Impedanz vereinfacht. Durch diese Vereinfachung ist die Anzahl

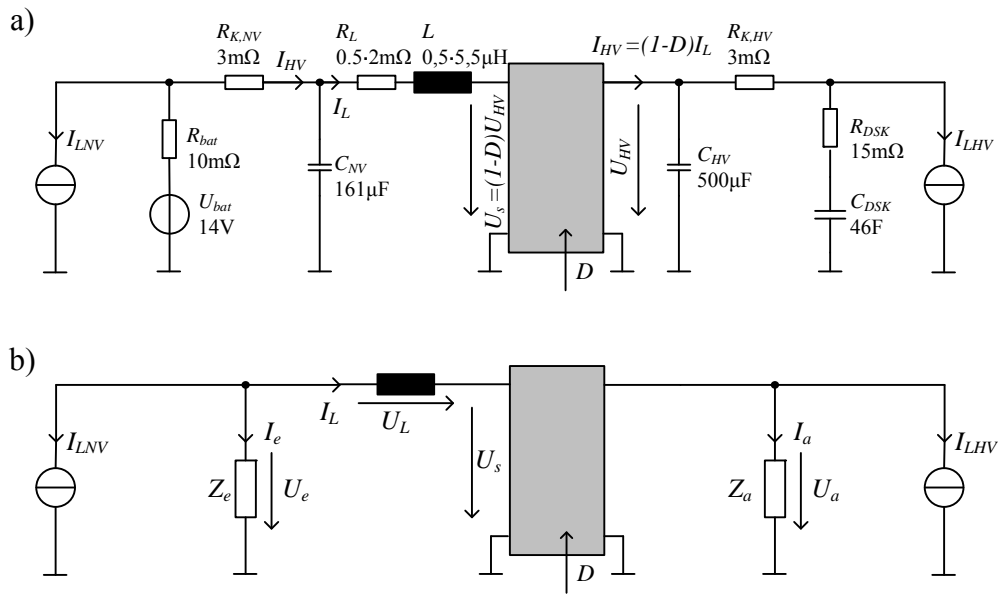


Abbildung 2.9: Ersatzschaltbild zur numerischen Analyse des Regelstreckenverhaltens (a) und das vereinfachte Modell zur analytischen Betrachtung der Zusammenhänge der Schaltungsauslegung und des Regelstreckenverhaltens (b).

der Zustandsgrößen und somit die Modellordnung signifikant reduziert und lässt sich dadurch bei geringer Komplexität analytisch untersuchen.

2.2.3.1 Festlegung der Regelgrößen und der Regelstrecke

Gemäß den Anforderungen aus Tabelle 2.2 soll der transiente Leistungsbedarf vom NV-BN entkoppelt werden und der Strom I_{NV} mit maximal 200 A/s variiert werden. Eine Regelung des Wandlerklemmenstroms I_{NV} ist deshalb notwendig. Bei der Schaltungsauslegung wurde die Speicherdrossel mit Kriterien der maximalen Stromtragfähigkeit ausgelegt. Eine Überschreitung des Drosselnennstromes führt zu Sättigungseffekten der eingesetzten Kernmaterialien, wodurch sich der Induktivitätswert reduziert. Eine Erhöhung der Strom- und Spannungswelligkeiten wäre die Folge und kann zur Überschreitung zulässiger Bauelementebelastungen oder EMV-Grenzwerten führen. Der Drosselstrom stellt also die schaltungstechnische Limitierung der Wandlerleistungsfähigkeit dar. Der Wandlerklemmenstrom entspricht in erster Näherung dem Drosselstrom. Mit der Regelung des Drosselstromes können also beide Kriterien (Regelung von I_{NV} und I_L) gemeinsam erfüllt werden.

Des Weiteren muss der Energiespeicherzustand des Doppelschichtkondensators durch

den Wandler innerhalb gewisser Grenzen gehalten werden. Der Energiespeicherzustand (Spannung der Kapazität C_{DSK}) kann sich nur langsam, mit Zeitkonstanten im Bereich von mehreren 100 ms verändern ($\tau = R_{DSK} \cdot C_{DSK}$). Die Regelung der Klemmenspannung U_{HV} ist deshalb als eine Art „Sollwertplanung des Drosselstroms“ anzusehen und folglich Inhalt der Betriebsstrategie der Systemebene.

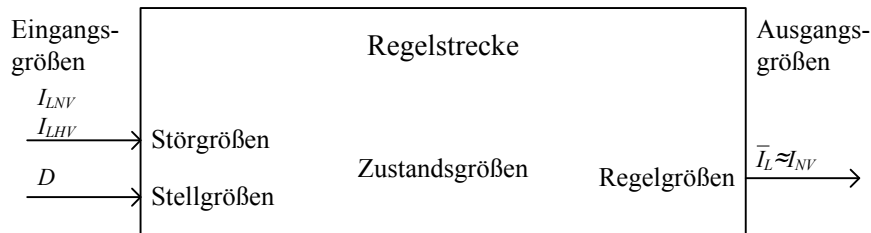


Abbildung 2.10: Blockschaltbild der Regelstrecke

Die Abbildung 2.10 zeigt das resultierende Regelungssystem im Blockschaltbild mit den Stell- und Störgrößen als Eingangssignale und der Regelgröße als Ausgangssignal. Die Ein- und Ausgänge sind mit den Zustandsgrößen des Systems verknüpft und können beispielsweise mit Kleinsignalmodellen analysiert werden.

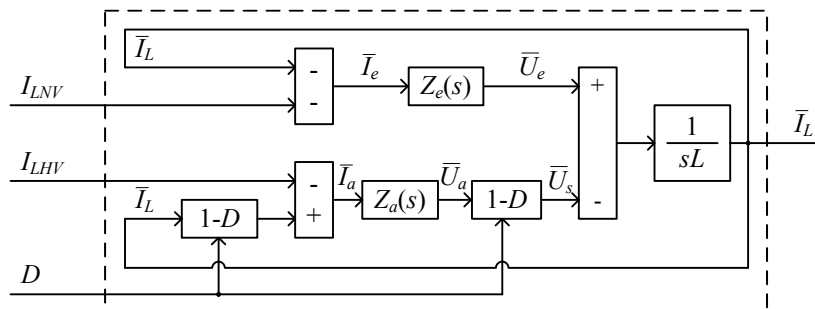


Abbildung 2.11: Signalflussplan der Regelstrecke.

Abbildung 2.11 zeigt den zum vereinfachten Modell (siehe Abbildung 2.9b) zugehörigen Signalflussplan. Der Drosselstrom als Regelgröße ist Ausgangsgröße im Signalflussplan. Die Regelgröße befindet sich im eingeschwungenen Zustand, wenn die Spannung der Drossel (über eine Schaltperiode gemittelt) Null ist. Eine Änderung des Tastverhältnisses beeinflusst die Spannung am Schaltnetzwerk (U_s) und damit die Regelgröße. Die Störgrößen wirken sich entsprechend der Rückführungen und Impedanzen der Teilbordnetze ebenfalls auf die an der Drossel anliegende Spannung und damit auf die Regelgröße aus.

2.2.3.2 Analyse des Regelstreckenverhaltens

Das Verhalten der Regelgröße bei veränderlichen Stör- und Stellgrößen wird zur Festlegung der Regulationsmaßnahmen mit Kleinsignalübertragungsfunktionen analysiert.

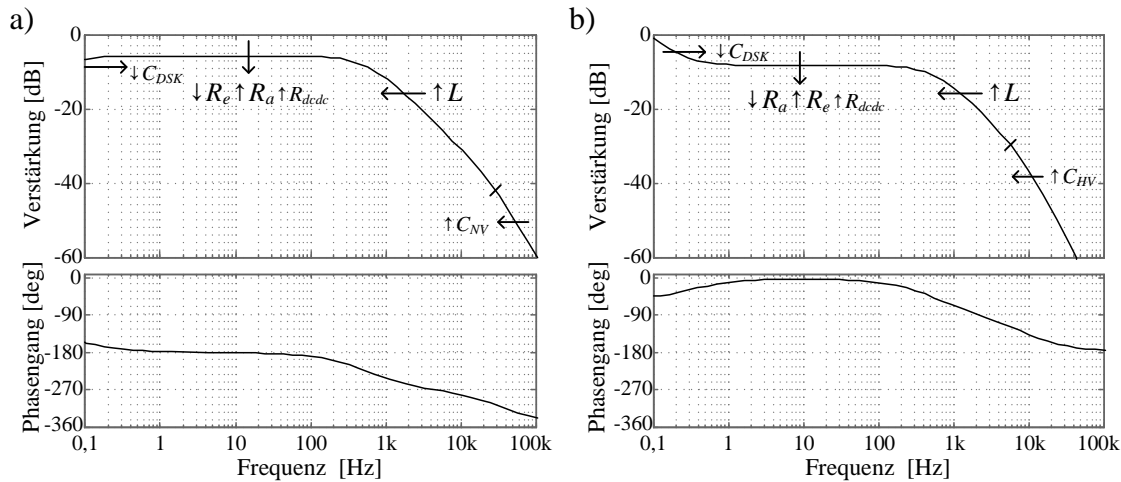


Abbildung 2.12: Bodediagramm der Störübertragungsfunktionen $G_{IL,ILnv}$ (a) und $G_{IL,ILhv}$ im offenen Regelkreis. Betriebspunkt $U_{NV}=14$ V; $D=0,5$.

Abbildung 2.12a zeigt im Bodediagramm die Wirkung von Laständerungen im NV-BN auf die Regelgröße. Die Phasenverschiebung von -180° führt zu fallenden Werten der Regelgröße bei zunehmenden Lastströmen. Die Verstärkung im Bereich niedriger Frequenzen (ca. 1 kHz) ist abhängig von den Impedanzen der Bordnetze und des Wandlers, die in diesem Frequenzbereich mit frequenzunabhängigen Ersatzreihenwiderständen der Bordnetze und dem DC/DC-Wandler angenähert werden. Die Verstärkung und der Phasengang nimmt bei hohen Frequenzen aufgrund der Tiefpasswirkung der Speicherdrossel zunehmend ab (siehe $1/sL$ im Signalflussbild nach Abbildung 2.11).

Abbildung 2.12b zeigt die Wirkung von Laständerungen im HV-BN auf die Regelgröße unter gleichen Bedingungen. Ein steigender Laststrom hat hier eine steigende Regelgröße zur Folge (siehe Phasenverschiebung 0°). Die Ersatzreihenwiderstände der Bordnetze wirken sich entsprechend in umgekehrter Richtung auf die Verstärkung im niedrigen Frequenzbereich aus. Eine Zunahme des DC/DC-Wandler Ersatzreihenwiderstandes hat auch hier eine dämpfende Wirkung zur Folge. Die Wirkung der Speicherdrossel ist analog zu Abbildung 2.12a.

Die Regelung hat die Aufgabe die Verstärkung der Störübertragungsfunktion $G_{IL,ILhv}$ im gesamten Frequenzbereich auf kleiner als -20 dB zu reduzieren, um die Anforderungen zur Entkopplung transienter Hochleistungsverbraucher mit $(\tilde{I}_{NV} < 0,1 \cdot \tilde{I}_{LHV})$ zu

erfüllen. Im offenen Regelkreis werden aber die Lastströme im HV-BN bis zu einer Frequenz von etwa 2 kHz mit einer Verstärkung von größer als -20 dB auf die Regelgröße übertragen (siehe Abbildung 2.12b). Die Anforderung zur Entkopplung transienter Leistungen ist deshalb im offenen Regelkreis nicht erfüllt. Wie aus dem Signalfussplan aus Abbildung 2.11 hervorgeht nimmt die Störübertragungsfunktionen zudem mit einem Faktor von $(1-D)$ für abnehmende Tastverhältnisse zu.

Aus der Steuerübertragungsfunktion (Kleinsignalmodell) lassen sich wichtige Erkenntnisse für die Auslegung der Regelschleife gewinnen. Nach [66, Kap. 7] kann auch die Stabilität des geregelten Systems am offenen Regelkreis analysiert werden.

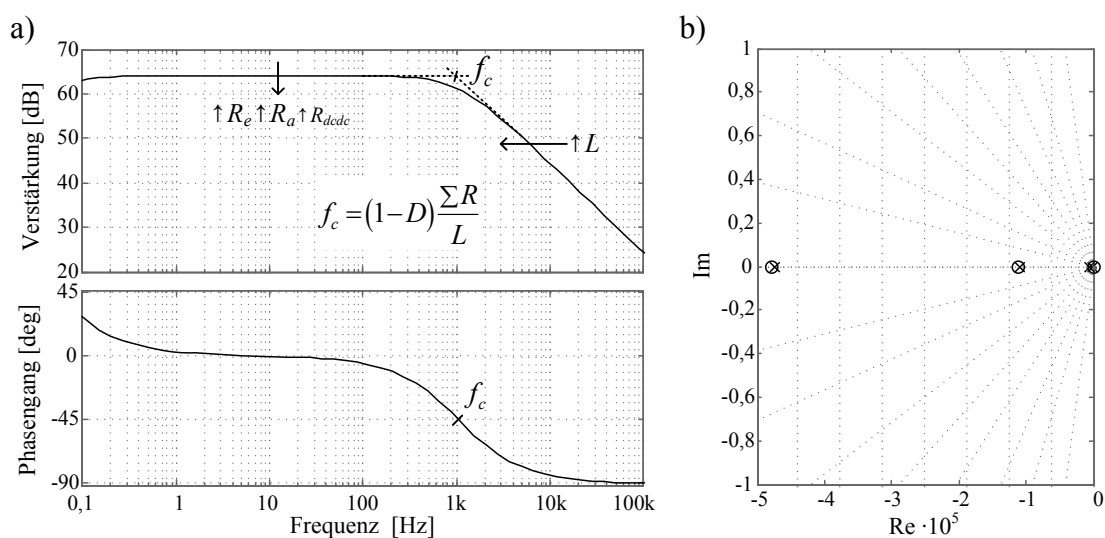


Abbildung 2.13: Steuerübertragungsfunktion $G_{IL,D}$ des offenen Regelkreises im Bodediagramm (a) und im Pol-Nullstellen-Diagramm (b). Betriebspunkt $U_{NV}=14\text{ V}$; $D=0,5$.

Abbildung 2.13a zeigt das Verhalten der Regelgröße bei Änderungen des Tastverhältnisses im Bodediagramm. Die maximale Verstärkung ist abhängig von den Ersatzreihenwiderständen der Bordnetze und des Wandlers. Anders als bei der Störübertragungsfunktion wirken sich steigende Ersatzreihenwiderstände stets dämpfend auf die Steuerübertragungsfunktion aus, weil die Spannungsabfälle an diesen Widerständen, die an der Drossel anliegende Spannung reduziert (siehe Signalfussplan). Durch die niedrigen Ersatzreihenwiderstände der Bordnetze und des Wandlers, der hier ohne Schaltverluste angenommen wurde, ist die Verstärkung über einen weiten Frequenzbereich sehr hoch (größer als 60 dB). Kleine Tastverhältnisänderungen haben deshalb große Änderungen der Regelgröße zur Folge. Bei hohen Frequenzen fällt die Verstärkung mit 20 dB pro Dekade aufgrund der Tiefpasswirkung der Drossel.

Der Phasengang ist im gesamten Bereich auf $\pm 90^\circ$ beschränkt. Die Richtung der

Systemantwort ist deshalb stets identisch mit der Richtung der Tastverhältnisänderung. Wie Abbildung 2.13b zeigt, liegen alle Pol-/ Nullstellen in der linken Halbebene. Rechtsseitige Pole (engl. Right Half Plane oder abgekürzt RHP [67]), wie sie bei allen spannungsgeregelten Boost-/Buck-Wandlern laut [21, Kap. 3f] vorzufinden sind und die Regelung des Wandlers erschweren, existieren in der vorliegenden Regelstrecke nicht. Auch bei typischen sog. RHP Topologien, wie beispielsweise Flyback, CUK oder SEPIC würden sich keine rechtsseitigen Pole in der Regelstrecke ergeben. Dies ist als eine Besonderheit der Anwendung zu betrachten.

Im Vergleich zu typischen Anwendungen muss der Wandler aber innerhalb weiter Spannungsbereiche geregelt werden. Deshalb wird das Verhalten der Steuerübertragungsfunktionen im typischen Spannungsübersetzungs-/Tastverhältnisbereich untersucht.

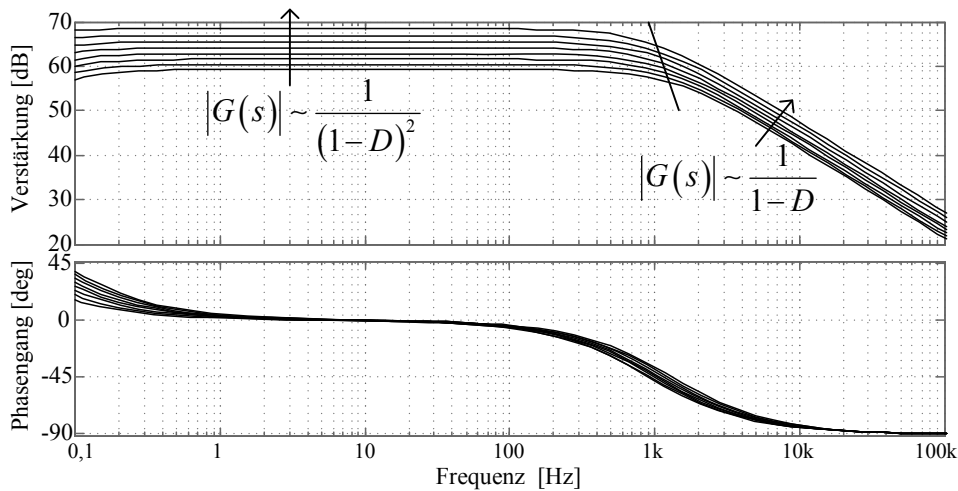


Abbildung 2.14: Steuerübertragungsfunktion des offenen Regelkreises im Bodediagramm bei Variation des Arbeitspunktes. Bei einer konstanten Eingangsspannung von $U_{NV}=14\text{ V}$ wurde das Tastverhältnis im Bereich $D=[0,3..0,65]$ mit einer Schrittweite von 0,05 variiert.

Abbildung 2.14 zeigt die Steuerübertragungsfunktion im Bodediagramm bei Variation des Arbeitspunktes. Mit dem Tastverhältnis steigt die Verstärkung der Steuerübertragungsfunktion, wie es auch aus dem Signalflussplan nach Abbildung 2.11 hervorgeht. Die tastverhältnisabhängige Verstärkung kann mit Gleichung (2.13) bzw. (2.14) ermittelt werden:

$$|G_{IL,D}(s)| = \frac{1}{(1-D)^2} \quad \text{für } f \lesssim \frac{\sum R}{L} \quad (2.13)$$

$$|G_{IL,D}(s)| = \frac{1}{(1-D)} \quad \text{für } f \gtrsim \frac{\sum R}{L} \quad (2.14)$$

Im niedrigen Frequenzbereich entspricht die Zunahme der Verstärkung dem Gradienten der Spannungsübersetzungsfunktion. Im höheren Frequenzbereich nimmt die Verstärkung nur mit $\frac{1}{(1-D)}$ zu, weil die Spannungen in den Bordnetzen für diese schnellen Änderungen konstant bleiben. Dies wird auch im Signalflussplan in Abbildung 2.11 deutlich. Eine Tastverhältnisänderung wirkt sich mit $(1-D)$ unmittelbar auf die Spannung an der Drossel aus. Die rückkoppelnde Wirkung eines ansteigenden Drosselstromes auf die Spannung an der Drossel ist dagegen verzögert und hat deshalb bei höheren Frequenzen keine Wirkung.

Um eine Destabilisierung bei hohen Tastverhältnissen aufgrund der steigenden Verstärkung zu vermeiden muss diese Eigenschaft bei der Reglerauslegung berücksichtigt werden.

2.2.3.3 Fazit aus der Analyse des Regelstreckenverhaltens

Aus der Analyse der Regelstrecke können folgende Aspekte für den Reglerentwurf zusammengefasst werden:

- Der hier betrachtete offene Regelkreis ist stabil. Die Regelung ist als Optimierung des Einschwingverhaltens zu betrachten.
- Aufgrund der Anwendung enthält die Boost-/Buck-Wandlertopologie keine rechteitigen Pole.
- Die Verstärkung der Übertragungsfunktionen sind abhängig vom Arbeitspunkt (Tastverhältnis).
- Die Dämpfung der Störübertragungsfunktionen (Entkopplung) steigt mit Trägheit und Verlusten des Wandlers sowie der Kabelbaumimpedanz (L, R).
- Die Wirkung von Laständerungen auf die Regelgröße werden durch die jeweiligen Energiespeicher und EMV-Filter gedämpft.
- Die Störübertragungsfunktion $G_{IL,ILhv}$ muss bei der angenommenen Dimensionierung im Bereich $f < 5$ kHz durch die Regelung gedämpft werden.

2.2.3.4 Definition der Regelschleife

Nachdem das Verhalten der Regelstrecke bekannt ist kann die Regelvorrichtung ausgelegt werden.

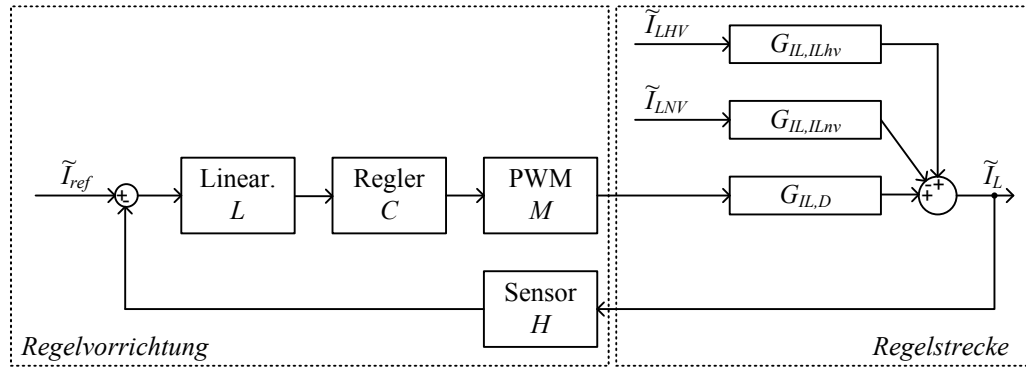


Abbildung 2.15: Blockschaltbild der Regelschleife mit Regelvorrichtung und der Regelstrecke dargestellt als Kleinsignalübertragungsfunktionen.

Abbildung 2.15 zeigt die Regelschleife im Blockschaltbild. Auszulegen sind der Linearisierungsblock, die Reglerfunktionen und die Stromsensorik. Der PWM Übertragungsblock wird im Folgenden als ideal mit $M = 1$ angenommen, weil in dieser Abstraktionsebene der schaltende Betrieb nicht betrachtet wird. Die Ausgangsgröße des Reglers entspricht damit dem Tastverhältnis der Halbbrücke.

Das Verhalten der Regelgröße im geschlossenen Regelkreis kann mit folgendem Kleinsignalmodell beschrieben werden [20, Kap. 9]:

$$\tilde{I}_L = \frac{1}{H(s)} \frac{G_o(s)}{1 + G_o(s)} \tilde{I}_{ref} - \frac{G_{IL,ILnv}(s)}{1 + G_o(s)} \tilde{I}_{Lnv} + \frac{G_{IL,ILhv}(s)}{1 + G_o(s)} \tilde{I}_{Lhv} \quad (2.15)$$

wobei die Übertragungsfunktionen wie folgt definiert sind:

$$G_o(s) = H(s) \cdot L(s) \cdot C(s) \cdot M(s) \cdot G_{IL,D}(s) \quad (2.16)$$

$$G_{IL,D}(s) = \frac{\tilde{I}_L}{\tilde{D}} \quad (2.17)$$

$$G_{IL,ILnv}(s) = \frac{\tilde{I}_L}{\tilde{I}_{NV}} \quad (2.18)$$

$$G_{IL,ILhv}(s) = \frac{\tilde{I}_L}{\tilde{I}_{HV}} \quad (2.19)$$

Die Reglerauslegung darf die Regelstrecke nicht destabilisieren und muss dabei folgende

Anforderungen an das Einschwingverhalten erfüllen:

$$\left| \frac{G_{IL,ILhv}(s)}{1 + G_o(s)} \right| < -20 \text{ dB} \quad (2.20)$$

$$\left| \frac{G_o(s)}{H(s) \cdot [1 + G_o(s)]} \right|_{f \approx \frac{2\pi \frac{dI_{NV}}{dt}}{I_{NV,nenn}}} > -3 \text{ dB} \quad (2.21)$$

Die Bedingung aus Gleichung (2.20) entspricht der Entkopplung transienter Leistungsbedarfe, die sich mit einem Faktor von maximal 10% auf die Regelgröße auswirken dürfen. Die Bedingung aus Gleichung (2.21) beschreibt die Reglerbandbreite, die notwendig ist, um die Regelgröße mit ca. 200 A/s steuern zu können. Die Bedingung in Gleichung (2.20) erfordert eine Dämpfung der Regelstrecke über einen Frequenzbereich von 0 Hz bis ca. 2 kHz. Mit der resultierenden Reglerbandbreite wird eine Steuerbarkeit der Regelgröße mit ca. 200 A/s aus Gleichung (2.21) ebenfalls möglich sein. Deshalb liegt der Fokus der Reglerauslegung auf der Dämpfung der Störübertragungsfunktion $G_{IL,ILhv}$.

2.2.3.5 Linearisierung der Regelstrecke mit inverser Kennlinie

Die tastverhältnisabhängige Verstärkung der Steuerübertragungsfunktion kann mit einer inversen Kennlinie kompensiert werden. Der Gültigkeitsbereich für eine Reglerauslegung in einem linearisierten Arbeitspunkt wird dadurch auf weite Tastverhältnisbereiche erweitert. Bei Analyse der Steuerübertragungsfunktionen wurde ein frequenzabhängiger Verstärkungsfaktor in Abhängigkeit vom Tastverhältnis festgestellt. Mit einer erforderlichen Dämpfung der Störübertragungsfunktion $G_{IL,ILhv}$ wird die Reglerbandbreite und damit der kritische Phasengang von -180° im geschlossenen Regelkreis bei Frequenzen deutlich größer als 2 kHz liegen. Deshalb wird eine Linearisierung mit dem Faktor (1-D) implementiert.

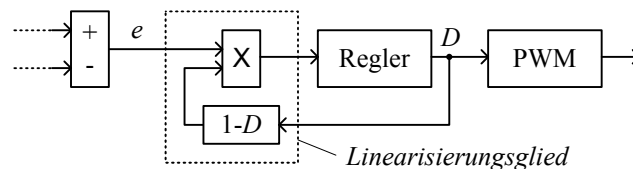


Abbildung 2.16: Linearisierung der Regelstrecke mit inverser Kennlinie.

Abbildung 2.16 zeigt die Einbindung der Regelstreckenlinearisierung in den Regelkreis. Die Verstärkung des offenen Regelkreises wird nun arbeitspunktabhängig mit (1-D)

gesenkt.

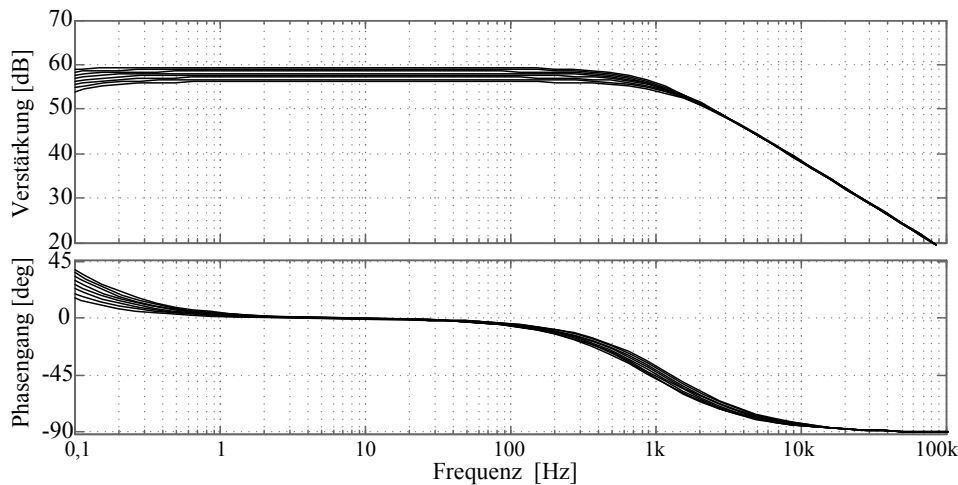


Abbildung 2.17: Steuerübertragungsfunktion des offenen Regelkreises im Bodediagramm mit linearisierter Regelstrecke. Die arbeitspunktabhängige Verstärkung wurde im Frequenzbereich ab 2 kHz kompensiert und für $f < 2$ kHz reduziert.

Abbildung 2.17 zeigt die Verstärkung des offenen Regelkreises unter Verwendung der Regelstreckenlinearisierung. Bei der Reglerauslegung muss die tastverhältnisabhängige Verstärkung somit nicht mehr berücksichtigt werden, wenn die Reglerbandbreiten im Frequenzbereich größer als 2 kHz liegen.

2.2.3.6 Festlegung des Reglertyps

Bei der vorliegenden Regelstrecke mit einer Phasenverschiebung kleiner als -90° sind die Bandbreiten der Sensorik, des Kompensators und der PWM limitierend für die Reglerbandbreite. Ein PI-Regler ist deshalb für die gegebene Anwendung ausreichend.

Eine Besonderheit der Anwendung ist, dass bei Aktivierung des Wandlers und somit des Reglers die Spannungen der Teilbordnetze/Energiespeicher an den Wandlerklemmen anliegen und beide ungleich Null sind. Ohne Initialisierung eines Startwerts für das Tastverhältnis wären hohe Einschaltströme die Folge. Unter der Annahme einer typischen Reglerbandbreite mit $f_B \ll 1/T$ könnte der Drosselmaximalstrom bereits nach etwa 3 Schaltzyklen erreicht werden (bei Auslegungskriterium der Speicherdrossel mit: $\Delta I = 0,3 \cdot I_{nenn}$ nach Kapitel 2.2.2). Zur Vermeidung dieser Einschaltströme muss ein initialer Tastverhältniswert berechnet werden.

Abbildung 2.18 zeigt den PI-Regler mit Initialisierung des Startwerts. Für niedrige Frequenzbereiche senkt der Regler den Phasengang des offenen Regelkreises um 90°

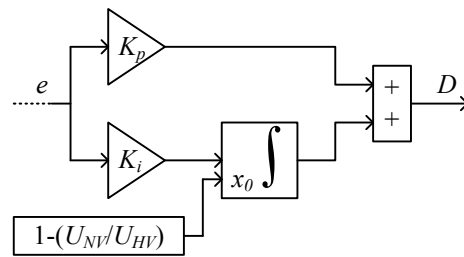


Abbildung 2.18: Blockschaltbild eines PI-Reglers mit Initialisierung des Startwerts zur Vermeidung von Einschaltstromspitzen.

ab und führt zu einer Verstärkung von 20 dB pro Dekade. Im hohen Frequenzbereich ändert sich der Phasengang nicht. Die Regelkreisverstärkung wird entsprechend dem Faktor K_p verstärkt. Der Initialwert D_o entspricht dem Tastverhältnis des Wandlers im eingeschwungenen Zustand und wird aus den anliegenden Klemmenspannungen berechnet.

2.2.3.7 Simulation des Reglerverhaltens für unterschiedliche Reglerparameter

Mit dem iterativen Auslegungsverfahren werden mögliche Parametrierungen der Regelschleife gefunden, die durch Untersuchung der Stabilität/Robustheit im Unterkapitel 2.2.3.8 bewertet werden können. Dadurch kann der Aufwand der Regelvorrichtung (Bandbreite der Sensorik und des Kompensators) minimiert werden.

Als Startwert der Sensor/Verarbeitungsbandbreite kann ein Faktor 10 der erforderlichen Reglerbandbreite verwendet werden (ca. 20 kHz). Im folgenden wird die Sensor- und Verarbeitungsbandbreite⁷ auf $f_g = 15$ kHz (Butterworth Charakteristik bei Sensorbandbreite, Pade Approximation 2. Ordnung eines Totzeitglieds bei Verarbeitungsbandbreite) festgelegt. Die Übertragungsglieder für die Sensorik und der Verarbeitungsbandbreite sind im Anhang C.1 aufgeführt.

In der Simulation wird nun das Verhalten der Regelgröße auf einen Lastsprung im HV-BN unter Variation der Reglerparameter untersucht.

Abbildung 2.19 zeigt die simulierten Sprungantworten des geregelten Wandlers bei einem Lastsprung von 10 A unter Variation der Reglerparameter. Bei den Reglerparametern von $K_p = 0,008$ und $K_i = 0,8$ werden die Anforderungen an das Regelverhalten im Zeitbereich erfüllt. Die Zahl der notwendigen Iterationen zum Finden geeigneter

⁷Ein digitaler Regler mit Abtastfrequenz f_a im analogen Bereich mit einer Totzeit von $T_t \approx \frac{1}{2} \frac{1}{f_a}$ angenähert werden

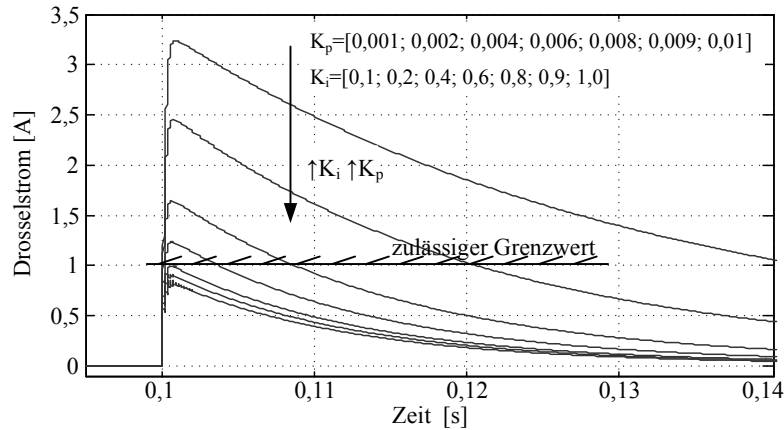


Abbildung 2.19: Simuliertes Einschwingverhalten der Regelgröße nach einem Lastsprung im HV-BN von 0 A auf 10 A bei 15 kHz Sensor- und Verarbeitungsbandbreite sowie Variation der Reglerparameter. Gemäß der Anforderungen darf die Sprungantwort maximal 1 A erreichen. Ab dem Reglerparametersatz von $K_p=0,008$; $K_i=0,8$ wird das geforderte Einschwingverhalten erreicht.

Reglerparameter kann in der Praxis durch Anwendung von Minimierungsmethoden, wie beispielsweise Gradientenverfahren oder Simplex Suchverfahren, die in modernen rechnerunterstützten Entwurfsprogrammen (z.B. MATLAB/Simulink, Response Optimization Toolbox) bereits implementiert sind, reduziert werden.

Mit dem Kleinsignalmodell aus Gleichung (2.22) kann die Übertragung von Laständerungen auf die Regelgröße im Frequenzbereich analysiert werden.

$$\tilde{I}_L \Big|_{\substack{\tilde{D}=0 \\ \tilde{I}_{LNV}=0}} = \frac{G_{IL,ILhv}(s)}{1 + Go(s)} \cdot \tilde{I}_{LHV} \quad (2.22)$$

$$Go(s) = G_{IL,D}(s) \cdot H(s) \cdot (1 - D) \cdot C(s) \cdot M(s) \quad (2.23)$$

Abbildung 2.20 zeigt das Kleinsignalverhalten der Störübertragungsfunktion des geschlossenen Regelkreises im Vergleich zum offenen Regelkreis. Die Verstärkung wird über dem gesamten Frequenzbereich auf unter -20 dB gedämpft. Störungen im Bereich 4 bis 10 kHz werden allerdings mit bis zu 10 dB gegenüber dem unregulierten Fall verstärkt, was bereits hier auf eine empfindliche (nicht robuste) Reglerauslegung schließen lässt und im Folgenden bei Bewertung der Stabilität/Robustheit quantifiziert wird.

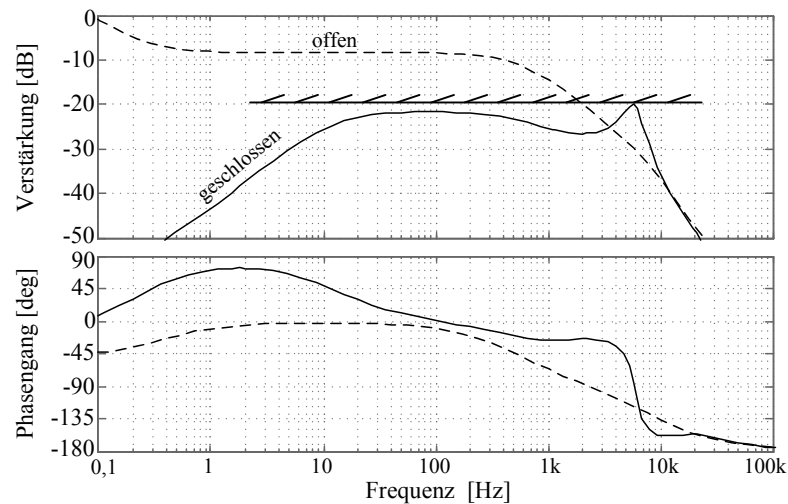


Abbildung 2.20: Störübertragungsfunktion des offenen und des geschlossenen Regelkreises im Bodediagramm bei 15 kHz Sensorbandbreite und den Reglerparametern: $K_p = 0,008$ und $K_i = 0,8$.

2.2.3.8 Stabilitäts-/Robustheitstest

Mit der iterativen Auslegungsmethode konnte eine geeignete Dimensionierungen gefunden werden, die nun entsprechend dem Entwicklungsvorgehen nach Abbildung 2.8 hinsichtlich Stabilität/Robustheit bewertet wird. Laut [68, Kap. 7.2] ist die Phasen- und Amplitudenreserve des offenen Regelkreises ein hierfür geeignetes Bewertungskriterium.

Abbildung 2.21a zeigt das Bodediagramm des offenen Regelkreises mit der vorangehend diskutierten Reglerauslegung. Bei einer Verstärkung von $v = 0$ dB ist eine Absenkung des Phasengangs auf -142° zu beobachten was einer Phasenreserve von 38° entspricht. Nach [68, Kap. 7.2] führt eine solch geringe Phasenreserve zusammen mit der geringen Amplitudenreserve von etwa 3,5 dB zu hoher Empfindlichkeit, z.B. gegenüber Sensorrauschen. Wenn sich die Parameter der Regelstrecke (z.B. Toleranzen, Temperaturdrift, Alterung der Bauelemente) verändern kann das System leicht instabil werden. Diese Auslegung kann deshalb aus Sicht der Stabilität und Robustheit als ungeeignet bewertet werden.

Es wird deshalb, wie im Entwicklungsvorgehen in Abbildung 2.8 vorgesehen, die Sensor- und Verarbeitungsbandbreite erhöht (hier auf 25 kHz) und nochmals ein Regler ausgelegt. Mit dem iterativen Entwurfsvorgehen wird also im ersten Schritt (Simulation der Sprungantworten unter Parametervariation der Reglerparameter) ein möglicher Parametrierungsraum erschlossen, der durch Hinzunahme der Stabilitäts- und Robustheitskriterien auf eine oder wenige geeignete Lösungen eingeschränkt wird. Die

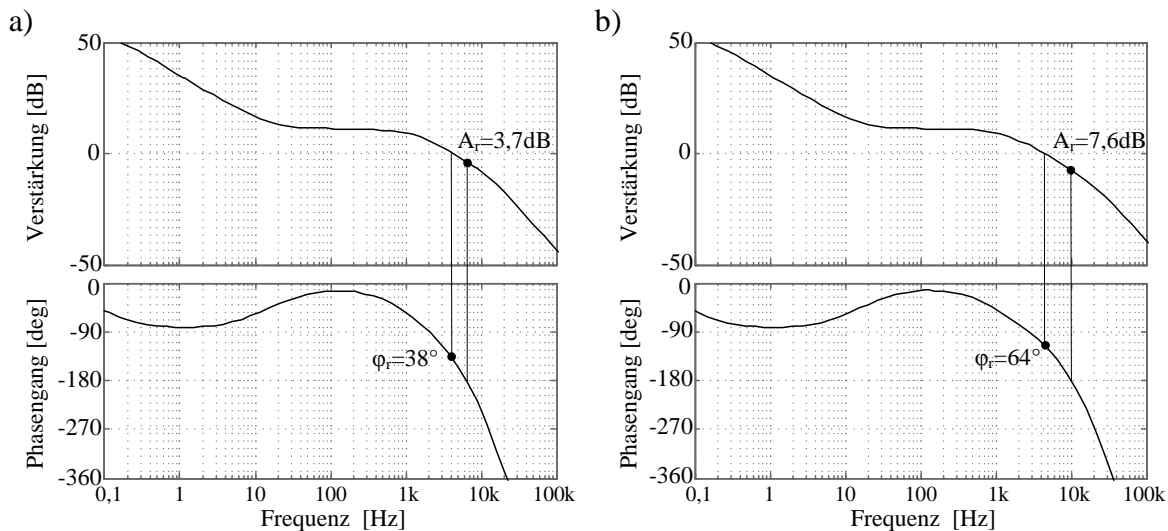


Abbildung 2.21: Steuerübertragungsfunktion des offenen Regelkreises im Bodediagramm bei der ausgelegten Regelschleife mit 15 kHz Sensor- und Verarbeitungsbandbreite sowie Reglerparametern von $K_p = 0,008$ und $K_i = 0,8$ (a). Unter gleichen Bedingungen wurde ein Regler bei 25 kHz Sensor- und Verarbeitungsbandbreite ausgelegt, der zu identischen Reglerparametern und einem Bodediagramm (b) führte.

Simulation der zeitlichen Sprungantworten führt in erster Näherung zu identischen Ergebnissen wie bei der geringeren Sensorbandbreite (siehe Abbildung C.2). Bei Analyse der Störübertragungsfunktionen im Frequenzbereich ist aber bereits eine geringere Überhöhung der Anteile außerhalb der Reglerbandbreite zu beobachten (siehe Abbildung C.3). Abbildung 2.21b zeigt das Bodediagramm des offenen Regelkreises zur Bewertung der Stabilität/Robustheit bei der Auslegung mit der schnelleren Sensorik/Verarbeitung von 25 kHz Bandbreite. Der Phasengang wird bei einer Verstärkung von $v = 0$ dB auf nur 116° abgesenkt und entspricht damit einer Phasenreserve von 64° . Nach [68, Kap. 7.2] kann diese Phasenreserve als robust eingestuft werden. Im Bereich des kritischen Phasengangs von -180° ist die Verstärkung auf etwa $-7,5$ dB gesunken. Hochfrequente Oszillationen, z.B. aufgrund Sensorrauschens, werden somit gut gedämpft.

2.2.3.9 Implementierung, Test und Optimierung

Zur Implementierung der Reglerfunktionen werden zunehmend digitale Lösungen eingesetzt, weil diese hinsichtlich Flexibilität deutliche Vorteile gegenüber analogen Lösungen aufweisen. Die Nachteile der geringeren Reglerbandbreite und Auflösung/Quantisierung spielt bei aktuellen Technologien für die gegebene Anwendung eine untergeordnete

Rolle⁸. Eine quasi-kontinuierliche Reglerauslegung ist deshalb möglich. Mit der Auslegung der Verarbeitungsbandbreite in Kapitel 2.2.3.7 wurde bereits die Wirkung der Abtastzeit eines zeitdiskreten Reglers berücksichtigt. Die im zeitkontinuierlichen Bereich ausgelegten Regleralgorithmen können deshalb beispielsweise mit der Bilineartransformation aus Gleichung (2.24) in den zeitdiskreten Bereich übertragen werden.

$$s \rightarrow \frac{2}{T_{ab}} \cdot \frac{z - 1}{z + 1} \quad (2.24)$$

Der Laplace-Faktor s wird durch ein zeitdiskretes System mit der Abtastzeit T_{ab} ersetzt. Stabile Pole im s -Bereich werden somit innerhalb des Einheitskreises im z -Bereich abgebildet und instabile entsprechend außerhalb. Die Stabilität des Systems verändert sich bei Verwendung der Transformation nicht.

Nach Implementierung und Test der Regleralgorithmen kann der simulative Auslegungsprozess weiter iteriert werden um Optimierungsmaßnahmen, wie beispielsweise Vorsteuerungen, Filter, usw. zu entwickeln.

2.2.3.10 Fazit der Reglerauslegung

Es wurde ein Vorgehen zur Entwicklung der DC/DC-Wandler Regelung vorgestellt, das durch den Einsatz von rechnerunterstützten Entwurfswerkzeugen auch für umfangreiche und komplexe Regelstrecken geeignet ist. Das Vorgehen wurde exemplarisch an einem einfachen Beispiel diskutiert, wobei dies auch für andere Anwendungen (z.B. Spannungsregler) und als Grundlage für einen systematischen Reglerentwurf verwendbar ist.

Für die vorgestellte Entwurfsmethode ist eine geeignete Modellierung der Regelstrecke notwendig, die den Wandler als zeitinvariantes System mit Berücksichtigung nichtidealer Eigenschaften (Verluste) darstellen kann. Die Methode zur Modellierung wird im Kapitel 2.3.2 diskutiert. Durch experimentelle Untersuchungen wird gezeigt, dass die Modelle das dynamische Verhalten eines Wandlers in der Simulation sehr gut nachbilden können. Die Gültigkeit der vorgestellten Auslegungsmethode wird dadurch bestätigt.

⁸Taktfrequenzen im Bereich 100 MHz; Analog Digital Wandler mit 12 Bit Auflösung, 80 ns Wandlerzeit und einstellbare Zeitschritte der PWM von minimal 65 ps sind Stand der Technik [69]

2.2.4 Entwicklung in der Systemebene

Die Regelung in der Systemebene ist eine der Komponentenebene überlagerte Regelung und wird im Folgenden als Betriebsstrategie bezeichnet. Als Stellgröße für die Betriebsstrategie dient der Sollwert der Eingangsstromregelung (Regelgröße der Komponentenebene). Als Regelgröße kann der Energiespeicherzustand des Doppelschichtkondensators oder eine dazu korrelierte Größe, z.B. die DSK-Spannung, festgelegt werden. Dieser Zustand darf sich innerhalb gewisser Grenzen verändern, was einen Freiheitsgrad für die Betriebsstrategie zur Verfügung stellt.

Im Folgenden wird die Steuerübertragungsfunktion der Systemebene analysiert, um daraus Aufgaben für die Betriebsstrategie ableiten zu können. Die Definition von Bewertungskriterien liefert anschließend eine einheitliche Basis zur Bewertung von Betriebsstrategien in einem simulierten oder experimentellen Szenario, was im Kapitel 2.4 an einem Beispiel verdeutlicht wird.

2.2.4.1 Analyse des Klemmenverhaltens

Abbildung 2.22 zeigt ein Ersatzschaltbild des HV-BN mit einem RC-Modell erster Ordnung für den Doppelschichtkondensator und jeweils einer Stromquelle zur Nachbildung des Wandlerklemmenstroms und der Hochleistungsverbraucher. Auf Basis dieses Ersatzschaltbildes wird das prinzipielle Verhalten der Regelstrecke in der Systemebene analysiert. Die Tiefpasswirkung des Wandlers durch die Speicherdrossel, Bus-Kondensatoren, EMV-Filter, etc. wird in dieser Abstraktionsebene vernachlässigt.

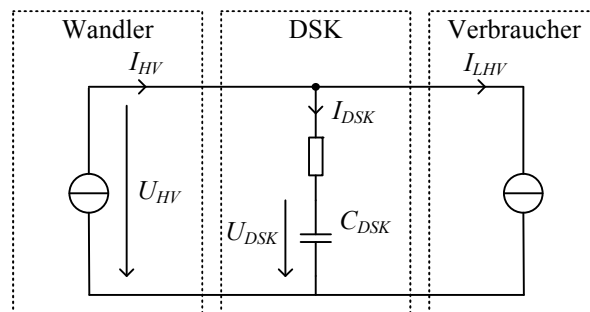


Abbildung 2.22: Ersatzschaltbild des HV-BN.

Die im Doppelschichtkondensator gespeicherte Energie steigt nach Gleichung (2.25) quadratisch mit der Spannung.

$$E_{DSK} = \frac{1}{2} \cdot C_{DSK} \cdot U_{DSK}^2 \quad (2.25)$$

Die Spannung kann mit der Differentialgleichung (2.26) ermittelt werden.

$$U_{DSK}(t) = \frac{1}{C_{DSK}} \cdot \int \underbrace{I_{HV}(t) - I_{LHV}(t)}_{=I_{DSK}(t)} dt \quad (2.26)$$

Der Ausgangsstrom des DC/DC-Wandlers ist dabei abhängig vom Spannungsübersetzungsverhältnis, Wirkungsgrad sowie dem geregelten Eingangsstrom (Stellgröße) und kann mit Gleichung (2.27) genähert werden.

$$I_{HV}(t) \approx \frac{U_{NV}(t)}{U_{HV}(t)} \cdot \eta \cdot I_{NV}(t) \quad (2.27)$$

Da der Wandlerausgangsstrom ($I_{HV}(t)$) und der Strom der Hochleistungsverbraucher ($I_{LHV}(t)$) in der Differentialgleichung (2.25) typischerweise nicht gleich sind, wird sich die Spannung am Doppelschichtkondensator verändern (Laden bzw. Entladen des Speichers). Die Spannung im HV-BN entspricht in etwa der Spannung des Doppelschichtkondensators ($U_{DSK} \approx U_{HV}$), wobei diese den zulässigen Bereich (hier 20 bis 40 V) einhalten muss. Die Steuerübertragungsfunktion der Betriebsstrategie ist in Gleichung (2.26) aufgestellt.

$$G_{U_{hv}, I_{nv}}(s) = \left. \frac{\tilde{U}_{HV}(s)}{\tilde{I}_{NV}(s)} \right|_{\tilde{I}_{LHV}=0} = \frac{1}{s} \cdot \frac{1}{C_{DSK}} \cdot \left(\frac{U_{NV}}{U_{HV}} \cdot \eta \right) \quad (2.28)$$

Das Spannungsübersetzungsverhältnis (U_{NV}/U_{HV}) kann in dem Kleinsignalmodell in Gleichung 2.28 als Arbeitspunktkonstante betrachtet werden. Wegen dem Doppelschichtkondensator (kapazitiver Energiespeicher) verhält sich die Steuerübertragungsfunktion wie ein Integrator. Die Regelstrecke hat eine Polstelle bei Null und ist nicht stabil, was in diesem Fall bedeutet, dass sich die Spannung im HV-BN verändert sobald $I_{HV} \neq I_{LHV}$ ist. Wegen der relativ großen Kapazität (typisch im Bereich 10 - 100 F) verändert sich die Spannung dabei nur langsam muss aber durch die Betriebsstrategie geregelt werden, um einen Spannungsbereich von 20 bis 40 V sicherstellen zu können.

2.2.4.2 Aufgabendefinition der Betriebsstrategie

Die Betriebsstrategie muss dafür sorgen, dass im Mittel der Energiebedarf bzw. die zurückgespeiste Energie der Hochleistungsverbraucher in das HV-BN übertragen bzw. aus dem HV-BN entnommen wird. Der Zeitpunkt eines Energietransfers kann dabei unabhängig von dem Energiebedarf oder der rekuperierten Energie der Hochleistungsverbraucher gewählt werden (Freiheitsgrad), solange die Spannung des Doppelschichtkon-

densators innerhalb des zulässigen Bereichs von 20 bis 40 V bleibt. Dieser Freiheitsgrad einer Betriebsstrategie wird im Folgenden analytisch diskutiert, woraus sich Aufgaben für die Betriebsstrategie ergeben.

Ausgehend von einer Spannung $U_{HV}(t_0)$ darf die Spannung im HV-BN innerhalb der in Gleichung (2.29) dargestellten Grenzen steigen bzw. fallen:

$$U_{HV,min} - U_{HV}(t_0) < \Delta U_{HV} < U_{HV,max} - U_{HV}(t_0) \quad (2.29)$$

Die resultierende Spannungsänderung im Zeitraum von t_0 bis t_1 kann dabei in Abhängigkeit vom Verbraucherstrom und Stellgröße der Betriebsstrategie (Wandlereingangsstrom) nach Gleichung (2.30) ermittelt werden:

$$\Delta U_{HV} = \frac{1}{C_{DSK}} \int_{t_0}^{t_1} \frac{U_{NV}(t)}{U_{HV}(t)} \cdot \eta \cdot I_{NV}(t) - I_{LHV}(t) dt \quad (2.30)$$

Bei einer Spannung U_{HV} nahe dem unteren Grenzwert ($U_{HV,min}$) muss die Betriebsstrategie den Wandlereingangsstrom erhöhen, um eine positive Spannungsänderung zu erzielen. Entsprechend muss bei einer bereits hohen Spannung nahe dem Grenzwert ($U_{HV,max}$) der Wandlereingangsstrom reduziert werden (gegebenfalls negative Werte der Stromvorgaben), um eine negative Spannungsänderung zu erreichen. Die instabile Regelstrecke kann damit sehr einfach stabilisiert werden.

Der Entwurf einer Betriebsstrategie kann z.B. auf Basis von Simulationen erfolgen. Wenn die Bedingung aus Gleichung (2.29) nicht erfüllt werden kann und der zulässige Spannungsbereich dadurch über- bzw. unterschritten wird, muss die Betriebsstrategie schneller auf Änderungen der Verbraucherbedarfe reagieren oder eine höhere bzw. niedrigere Energiemenge im Doppelschichtkondensator vorhalten.

Wie aus Gleichung (2.29) und (2.30) hervorgeht, steigt mit der Kapazität des Doppelschichtkondensators auch der Freiheitsgrad für die Betriebsstrategie, da diese dann unabhängiger von Umgebungsbedingungen (Verbraucherlasten und Bordnetzspannungen) reagieren kann. Unter Einhaltung der Spannungsgrenzen können zudem mit Hilfe einer Mehrgrößenregelung weitere Kenngrößen (z.B. Spannungsstabilität im NV-BN) in den Teilbordnetzen optimiert werden. Ein Beispiel einer Mehrgrößenregelung wird im Kapitel 2.4 erläutert und experimentell untersucht.

2.2.4.3 Bewertungskriterien für Betriebsstrategien

Bei einer Mehrgrößenregelung können nicht alle Größen gleichwertig optimiert werden. Zum Vergleich von Betriebsstrategien müssen deshalb Kriterien eingeführt werden, welche die Grundlage für eine Bewertung liefern. In Anlehnung an [17, 70, 71] können im Wesentlichen folgende Kriterien herangezogen werden:

- Stabilitätskriterien
- Verfügbarkeitskriterien
- Energieeffizienzkriterien
- Aufwandskriterien

Als Beispiel sind in Tabelle 2.6 Kriterien aufgeführt, die im Kapitel 2.4 für die Untersuchung zweier Betriebsstrategien angewendet werden. Der Aufwand wird dabei vernachlässigt, da die Betriebsstrategie in Software implementiert ist und keine besonderen Anforderungen an gängige μ Controller oder DSP-Plattformen stellt.

Weite Betriebsspannungsbereiche können laut [17, 71] zu Funktionseinschränkungen von Verbrauchern führen. Ein steigender Betriebsspannungsbereich entspricht deshalb einer schlechten Bordnetzstabilität. Der Korrelationskoeffizient ist ein Maß dafür, wie stark das NV-BN, abhängig vom transienten Leistungsbedarf im HV-BN, belastet wird. Bei niedrigen Korrelationskoeffizienten sind andere Faktoren - nicht die Leistungsbedarfe der Hochleistungsverbraucher im HV-BN - für die Bordnetzstabilität im NV-BN ausschlaggebend.

Die Verbrauchs- bzw. Rekuperations-Energiereserve ist eine Größe, die der noch entnehmbaren bzw. zuführbaren Energiemenge im HV-BN bei den auftretenden minimalen bzw. maximalen Spannungen entspricht. Je höher diese Werte sind, desto weniger schnell muss die Betriebsstrategie auf Veränderungen (z.B. Lastströme) reagieren. Wenn es sich bei der Betriebsstrategie um eine Mehrgrößenoptimierung handelt, kann das Kriterium der Verbrauchs- bzw. Rekuperations-Energiereserve als Maß für den Freiheitsgrad der Betriebsstrategie verwendet werden, um unterschiedliche Größen zu optimieren.

Als Kriterium der Energieeffizienz kann, ähnlich dem sogenannten „Europäischen Wirkungsgrad“ bei Photovoltaik-Wechselrichtern [72, S. 18], ein gewichtet gemittelter Wirkungsgrad verwendet werden. Aus Sicht eines optimierten Gesamtfahrzeugs muss die Summe der Verlustenergien aller Bordnetzkomponenten minimiert werden [6].

Tabelle 2.6: Bewertungskriterien für Betriebsstrategien.

Kriterium	Definition	Einheit
Stabilitätskriterien:		
Bordnetzstabilität im NV-BN	$BN_{stab,NV} = \max [U_{NV}(t)] - \min [U_{NV}(t)]$	V
Bordnetzstabilität im HV-BN	$BN_{stab,HV} = \max [U_{HV}(t)] - \min [U_{HV}(t)]$	V
Verbraucherentkopplung (Korrelationskoeffizient):	$R = \frac{\underline{C}(1,2)}{\sqrt{\underline{C}(1,1) \cdot \underline{C}(2,2)}}$ mit der Kovarianzmatrix: $\underline{C} = \text{cov} [P_{NV}, P_{HLV}]$	-
Verfügbarkeitskriterien:		
Verbrauchs-Energiereserve im HV-BN	$E_{Vres,HV} = \frac{1}{2} \cdot C_{DSK} \cdot \{ \min [U_{HV}(t)]^2 - U_{HV,min}^2 \}$	Ws
Rekuperations-Energiereserve im HV-BN	$E_{Rres,HV} = \frac{1}{2} \cdot C_{DSK} \cdot \{ U_{HV,max}^2 - \max [U_{HV}(t)]^2 \}$	Ws
Energieeffizienzkriterien:		
gemittelter Wirkungsgrad des Wandlers:	$\eta_g = \sum_P \eta(P) \cdot N(P)$	-
Gesamtverlustenergie im Energiebordnetz:	$E_V = \int P_{V,NV}(t) + P_{V,Dcdc}(t) + P_{V,HV}(t) dt$	Ws

2.3 Modellierungsmethoden

Für die Entwicklung des DC/DC-Wandlers sind in jeder Abstraktionsebene genaue Simulationsmodelle gefordert. Für die Modellierung ist aber eine bewusste Vernachlässigung und Vereinfachung von physikalischen Eigenschaften notwendig, um die Komplexität zu reduzieren. Etablierte Modellierungsmethoden, die beispielsweise aus [33, 34] zur Berechnung von Schaltverlusten bekannt sind, sind für die Schaltungsebene geeignet. Für die Komponentenebene und Systemebene sind Modelle notwendig, die für geringere Frequenzbereiche gültig sind und sich durch geringere Komplexität auszeichnen.

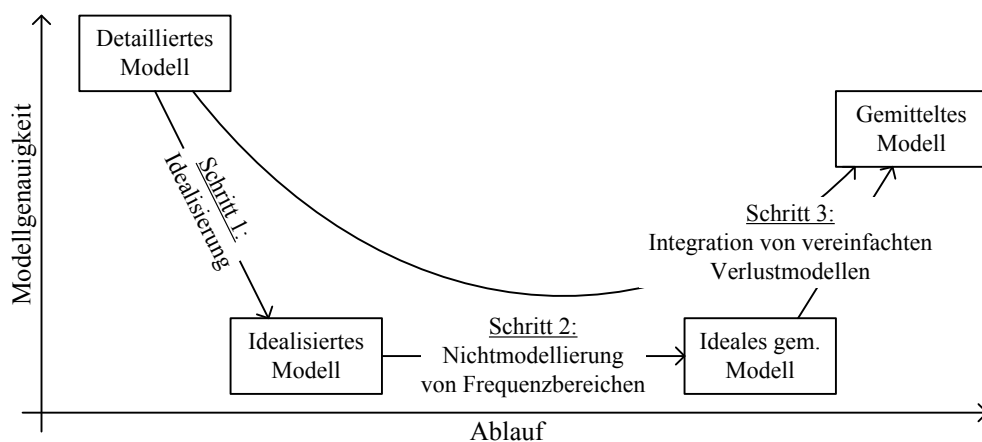


Abbildung 2.23: Vorgehen zur Modellierung für unterschiedliche Abstraktionsebenen.

Abbildung 2.23 zeigt das prinzipielle Vorgehen zur Modellierung für unterschiedliche Abstraktionsebenen. Anhand eines detaillierten Modells können nichtideale Eigenschaften, wie beispielsweise Schaltverluste, ermittelt werden. Diese Eigenschaften werden im ersten Schritt des Vorgehens vernachlässigt, wodurch ein idealisiertes Modell entsteht. Im zweiten Schritt werden nicht relevante Frequenzanteile (Schaltvorgänge in der Komponentenebene und Dynamik des Wandlers in der Systemebene) durch Mittelung gezielt nichtmodelliert⁹. Es entsteht ein sogenanntes ideales gemittelttes Modell, das bei Nichtmodellierung der Schaltvorgänge in der Literatur unter gemittelttes Schaltermodell (averaged switch modeling [20, Kap. 7.4]) oder als gemittelte Zustandsbeschreibung (averaged state space modeling [20, Kap. 7.3]) bekannt ist. In diese Modelle idealen gemittelten Modelle werden ausgewählte nichtideale Eigenschaften des detaillierten Modells unter Vereinfachungen integriert, um die Genauigkeit zu erhöhen.

Im Folgenden wird beispielhaft eine aus [32] bekannte Methode zur Ermittlung der Verlustleistung des Wandlers verwendet. Dieses Vorgehen wird in der Schaltungsebene

⁹Die Nomenklatur der Nichtmodellierung ist eine wörtliche Übersetzung aus [20].

durchgeführt und liefert damit die Beschreibung des detaillierten Modells, das wiederum Basis für die Erstellung der Modelle in der Komponenten- und Systemebene ist.

2.3.1 Verlustleistungsmodellierung in der Schaltungsebene

Verlustleistungen in einem schaltenden Wandler werden durch unterschiedliche Effekte verursacht. Diese können im Wesentlichen in:

- Leitverluste (P_{VR}),
- Schaltverluste (P_{VS}) und
- Verluste durch parasitäre reaktive Elemente¹⁰ (P_{VP})

eingeteilt und separat betrachtet werden¹¹. Die Gesamtverlustleistung ergibt sich dann aus der Summe dieser Verluste:

$$P_V = \sum P_{VR} + \sum P_{VS} + \sum P_{VP} \quad (2.31)$$

2.3.1.1 Leitverluste

Die Leitverluste kapazitiver, induktiver und aktiver Bauelemente können abhängig von ihrem Ersatzserienwiderstand und der Effektivstrombelastung ermittelt werden:

$$P_{VR} = R_{esr} \cdot I_{rms}^2 \quad (2.32)$$

Die Leitverluste steigen also linear mit dem Ersatzwiderstand und quadratisch mit der Effektivstrombelastung an.

2.3.1.2 Schaltverluste

Aufgrund parasitärer Eigenschaften der Leistungsschalter (MOSFETs) sind die Schaltvorgänge nicht ideal. Während der Schaltvorgänge limitieren parasitäre Kapazitäten die Spannungsgradienten und parasitäre Induktivitäten die Stromgradienten. Das Strom-Spannungsprodukt während eines Schaltvorgangs ist deshalb nicht Null und

¹⁰Gespeicherte Energie in parasitären Kapazitäten und Induktivitäten wird bei Schaltvorgängen in Schwingkreisen resistiv abgebaut und geht damit für die übertragene Leistung verloren.

¹¹Vernachlässigt sind durch diese Betrachtung beispielsweise Magnetisierungsverluste der Speicherdrossel und angestrahlte Energie (EMV).

es entstehen Schaltverluste. Die mittlere Schaltverlustleistung kann allgemein mit Gleichung (2.33) ermittelt werden:

$$P_{VS} = \frac{1}{T_s} \int_{\text{Schaltvorgänge}} U_S(t) \cdot I_S(t) dt \quad (2.33)$$

Die Schaltverluste sind direkt proportional zur Schaltfrequenz. Die Schaltzeit und das Strom-Spannungsprodukt verursachen die Verlustenergie eines Schaltvorgangs. Die Strom- und Spannungsverläufe werden typischerweise durch lineare Abschnitte genähert, um die Berechnung der Schaltverluste zu vereinfachen.

Der Synchrongleichrichter wird in der Verlustleistungsbetrachtung meist vernachlässigt, weil dieser bei einer Spannung in Höhe der Diodendurchlassspannung (näherungsweise bei Nullspannung) schaltet. Am Steuerschalter entsteht die wesentliche Schaltverlustleistung. Exemplarisch wird die Berechnung der Schaltverlustleistung an der Boost-Buck-Wandlertopologie mit LS als Steuerschalter beschrieben.

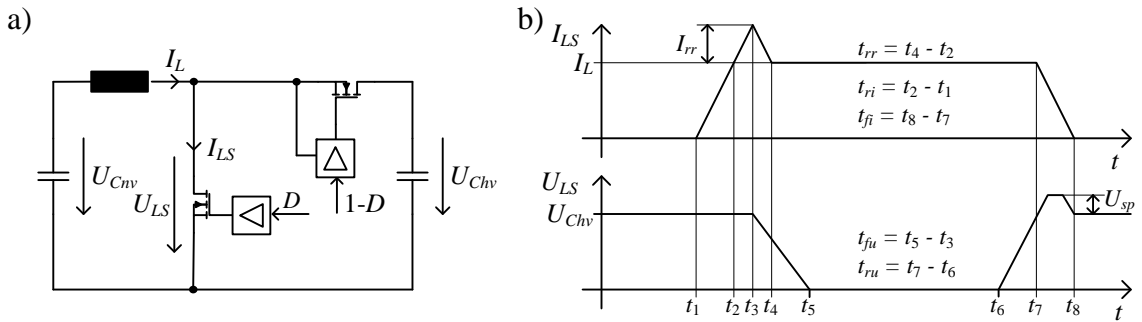


Abbildung 2.24: Ersatzschaltbild eines Boost-Wandlers mit elektrischen Größen des Steuerschalters (a). Strom-Spannungsverläufe beim Ein- und Ausschalten zur Berechnung der Schaltverlustleistung nach [32] (b).

Abbildung 2.24 zeigt schematisch die Strom-/Spannungsverläufe des Steuerschalters (LS) der Boost-Wandlertopologie. Mit den Anstiegs- und Abfallzeiten ($t_{fi}, t_{ri}, t_{rv}, t_{fv}$), der Rückstromspitze (I_{rr}) sowie der Spannungsüberhöhung (U_{sp}) kann die Verlustleistung beim Ein bzw. Ausschalten mit Gleichungen (2.34) bis (2.36) ermittelt werden [32].

$$P_{VS,ein} = (t_{ri} + t_{fu}) \cdot \frac{1}{2} \cdot U_{HV} \cdot I_L \cdot \frac{1}{T_s} + P_{VS,rr} \quad (2.34)$$

$$P_{VS,rr} = \left(\frac{1}{2} \cdot t_{ri} + \frac{1}{4} \cdot t_{fu} \right) \cdot U_{HV} \cdot I_{rr} \cdot \frac{1}{T_s} \quad (2.35)$$

$$P_{VS,aus} = (t_{rv} + U_{sp} \cdot t_{fi}) \cdot \frac{1}{2} \cdot I_L \cdot U_{HV} \cdot \frac{1}{T_s} \quad (2.36)$$

2.3.1.3 Verluste durch gespeicherte Energie in parasitären Elementen

Gespeicherte Energie in parasitären Kapazitäten sowie in Entlastungsnetzwerken (Snubber Netzwerken) wird beim Einschalten parallel angeordneter Schalter durch parasitäre Widerstände in Wärme umgewandelt und erzeugt damit Verlustleistung. Entsprechend verursachen parasitäre Induktivitäten, die in Serie zu einem Schalter angeordnet sind, Verlustleistung. Diese kann nach [20, Kap. 4.3.3] durch die Summe der gespeicherten Energien in parasitären Kapazitäten und Induktivitäten ermittelt werden (siehe Gleichung (2.37) und (2.38)).

$$P_{L_{par}} = \frac{1}{T} \cdot \sum \frac{1}{2} \cdot L_{par} \cdot I^2 \quad (2.37)$$

$$P_{C_{par}} = \frac{1}{T} \cdot \sum \frac{1}{2} \cdot C_{par} \cdot U^2 \quad (2.38)$$

Mit Gleichung (2.38) kann beispielsweise auch die Ansteuerungsverlustleistung der MOSFETs berechnet werden. Der MOSFET-Treiber lädt beim Einschalten das Gate auf die Treiberversorgungsspannung U_{tr} . Beim Ausschalten entlädt ein Schalter, der parallel zu Gate-Source liegt, die Gate-Kapazität¹² (C_g) des MOSFETs. Die in der Gate-Kapazität gespeicherte Energie kann deshalb mit Gleichung (2.39) ermittelt werden.

$$E_{C_g} = \frac{1}{2} \cdot C_g \cdot U_{tr}^2 \quad (2.39)$$

Diese Energie geht bei jedem Schaltvorgang eines MOSFETs verloren.

2.3.2 Erstellung von Modellen für die Komponentenebene

In der Reglerauslegung wurde der DC/DC-Wandler als zeitinvariantes DGL-System betrachtet. Durch den taktenden Betrieb liegt jedoch ein zeitvariantes DGL-System zu Grunde. Die Modellierung erfolgt hier über gemittelte Modelle, d.h. ohne explizite Analyse der Schaltvorgänge (siehe Schritt 2 in Abbildung 2.23). Die Gültigkeit der Modelle wird anhand experimenteller Untersuchungen bestätigt.

¹²Die Gatekapazität kann aus der Summe der Gate-Source und Gate-Drain (Miller-Kap.) Kapazität ermittelt werden

2.3.2.1 Ideales gemittelttes Schaltermodell

Abbildung 2.25a zeigt ein Ersatzschaltbild des idealisierten Boost-/Buck-Wandlers. Die passiven Bauelemente bilden ein zeitinvariantes System. Das Schalternetzwerk ist aber zeitvariant und wird deshalb in Abbildung 2.25b durch steuerbare Quellen ersetzt, die das Verhalten gemittelt über eine Schaltperiode nachbilden sollen.

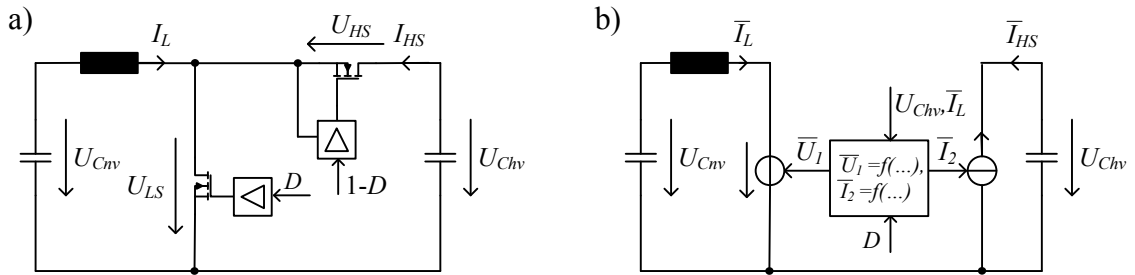


Abbildung 2.25: Ersatzschaltbild des Boost-/Buck-Wandlers mit MOSFETs als Leistungsschalter (a) und gesteuerten Quellen zur Implementierung eines gemittelten Schaltermodells (b).

Der Wandler wird durch diese Maßnahme in zwei getrennte elektrische Netzwerke zerlegt. Die Speicherdrossel wird durch eine in Serie geschaltete Spannungsquelle, der Kondensator C_{HV} analog durch eine parallel geschaltete Stromquelle, geladen bzw. entladen. Die Ansteuerung der Quellen wird aus den Strom-/ Spannungsverläufen nach Abbildung 2.26 abgeleitet.

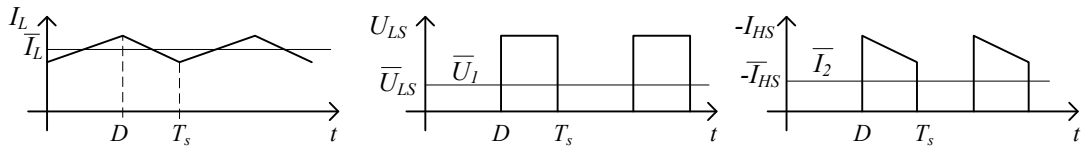


Abbildung 2.26: Strom-/Spannungsverläufe der Halbbrücke zur Ableitung der Ansteuerfunktionen des idealen gemittelten Schaltermodells.

Der Bus-Kondensator C_{HV} wird während der Ausschaltphase des Steuerschalters mit dem Drosselstrom geladen. In der restlichen Zeit sperrt der Synchrongleichrichter und es fließt kein Strom zum Bus-Kondensator. Über eine Schaltperiode gemittelt kann der Strom mit Gleichung (2.40) berechnet werden:

$$\bar{I}_2 = (1 - D) \cdot \bar{I}_L \quad (2.40)$$

Die Spannung in Serie zur Speicherdrossel ist Null, wenn der Steuerschalter leitet. In der restlichen Zeit liegt die Ausgangsspannung an. Gemittelt ergibt sich deshalb der

Zusammenhang aus Gleichung (2.41):

$$\bar{U}_1 = (1 - D) \cdot U_{Chv} \quad (2.41)$$

Die Spannung an der Drossel sowie die Kondensatorströme enthalten durch diese Mittelung keine Schaltvorgänge mehr. Die Schaltvorgänge sind nun also „nichtmodelliert“ und der Schritt 2 aus Abbildung 2.23 ist vollzogen.

Die Gültigkeit der Modellierung wird nun experimentell an einer Sprungantwort eines realen Wandlers geprüft.

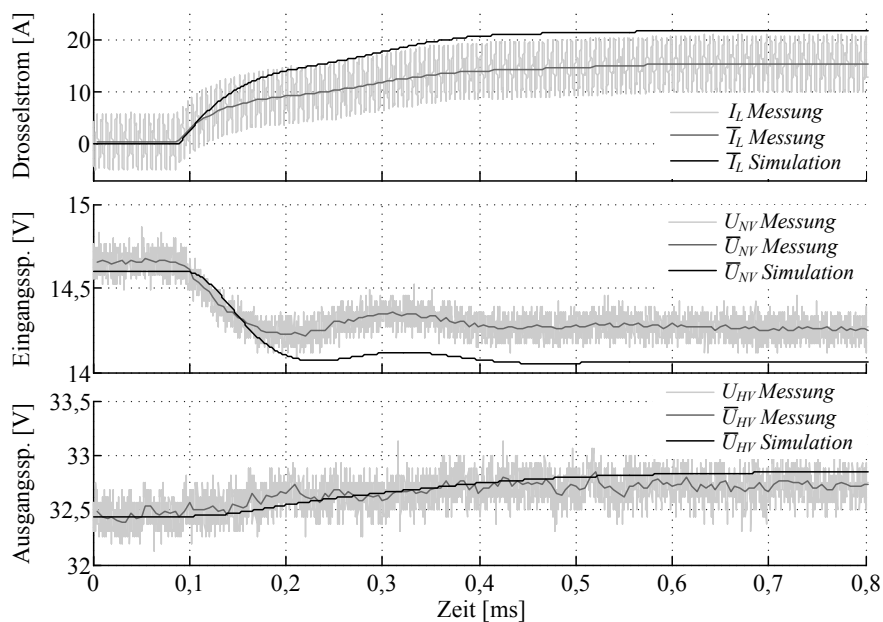


Abbildung 2.27: Die Strom-/Spannungswelligkeiten der Messung wurden nachträglich durch Mittelung der Größen über eine Schaltperiode entfernt. Das ideale gemittelte Schaltermodell liefert eine zu hohe Sprungantwort im Vergleich zur Messung. Ersatzschaltbild des Wandlers und Prüfstand siehe Anhang C.2.

Abbildung 2.27 zeigt einen Vergleich des gemessenen und simulierten Drosselstroms sowie der Ein- und Ausgangsspannung bei einem Tastverhältnissprung. Aus den gemessenen Verläufen wurde durch gleitende Mittelwertbildung nachträglich die Schaltfrequenz entfernt, um eine Vergleichbarkeit mit der Simulation zu erreichen. Die simulierten und gemessenen Verläufe zeigen deutliche Abweichungen. Die charakteristischen Zeitkonstanten sind aber nicht der Grund dafür, weil die Anstiegsgeschwindigkeit der Drosselströme sowie die überlagerte Welligkeit gut übereinstimmen. Die Ursache der beobachteten Abweichung liegt deshalb an unterschiedlichen Verstärkungsfaktoren.

Durch den höheren Drosselstrom wird das NV-BN (hier Laborquelle) in der Simulation stärker belastet und die Spannung am Eingang sinkt entsprechend auch stärker ab. Der Doppelschichtkondensator wird mit höheren Strömen geladen, wobei die Spannung am Ausgangskondensator bedingt durch die relativ hohe Kapazität des Doppelschichtkondensators von ca. 17 F näherungsweise konstant bleibt.

Das ideale gemittelte Schaltermodell bildet das Verhalten mit zu hohen Verstärkungsfaktoren in den Übertragungsfunktionen ab. Zur besseren Abbildung des realen Verhaltens muss das ideale gemittelte Schaltermodell um Verlustfaktoren erweitert werden.

2.3.2.2 Integration von Verlustmodellen

In das ideale gemittelte Schaltermodell (siehe Abbildung 2.25) werden Verluste des Schalernetzwerks aus Kapitel 2.3.1 integriert, was dem Schritt 3 des Modellierungsvorgehens (siehe Abbildung 2.23) entspricht. Die Verlustleistungsintegration wird am Beispiel von Durchlassverlusten diskutiert, woraus eine Methode zur Integration der gesamten Verlustleistung des Schalernetzwerks abgeleitet wird.

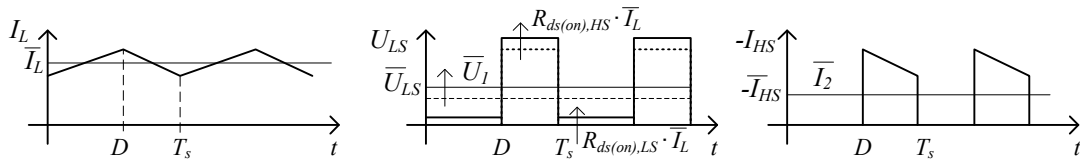


Abbildung 2.28: Strom-/Spannungsverläufe der Halbbrücke bei Berücksichtigung der Durchlassverluste zur Ableitung der Ansteuerfunktionen des gemittelten Schaltermodells mit Verlustmodellen.

Abbildung 2.28 zeigt die Strom-/Spannungsverläufe des Boost-/Buck-Wandlers mit Berücksichtigung der Einschaltwiderstände der MOSFETS. Durch die ohmschen Spannungsabfälle liegt am halbbrückenseitigen Anschluss der Drossel eine höhere Spannung an (siehe Abbildung 2.25). Dies kann in den Ansteuerfunktionen des gemittelten Schaltermodells berücksichtigt werden:

$$\bar{I}_2 = (1 - D) \cdot \bar{I}_L \quad (2.42)$$

$$\bar{U}_1 = (1 - D) \cdot U_{Chv} + D \cdot R_{ds(on),LS} \cdot \bar{I}_L + (1 - D) \cdot R_{ds(on),HS} \cdot \bar{I}_L \quad (2.43)$$

Die additiven Terme können unter Vernachlässigung der Strom-/Spannungsrippel aus

Gleichung (2.32) abgeleitet werden:

$$\frac{P_{VRds(on),LS}}{\bar{I}_L} = D \cdot R_{ds(on),LS} \cdot \bar{I}_L \quad (2.44)$$

$$\frac{P_{VRds(on),HS}}{\bar{I}_L} = (1 - D) \cdot R_{ds(on),HS} \cdot \bar{I}_L \quad (2.45)$$

Die Verlustleistungen in der Halbbrücke können deshalb in dem gemittelten Schaltermodell mit Gleichungen (2.46) und (2.47) integriert werden, wobei P_{VHB} die Summe der Verlustleistungen (z.B. $P_{VHB} = P_{VRds(on),LS} + P_{VRds(on),HS}$) darstellt.

$$\bar{I}_2 = (1 - D) \cdot \bar{I}_L \quad (2.46)$$

$$\bar{U}_1 = (1 - D) \cdot U_{Chv} + \frac{P_{VHB}}{\bar{I}_L} \quad (2.47)$$

Mit den in Anhang C.4 berücksichtigten Verlustleistungen (Schaltverluste, Durchlassverluste) wurde die Sprungantwort des gemittelten Schaltermodells nach Gleichung (2.46) und (2.47) erneut simuliert.

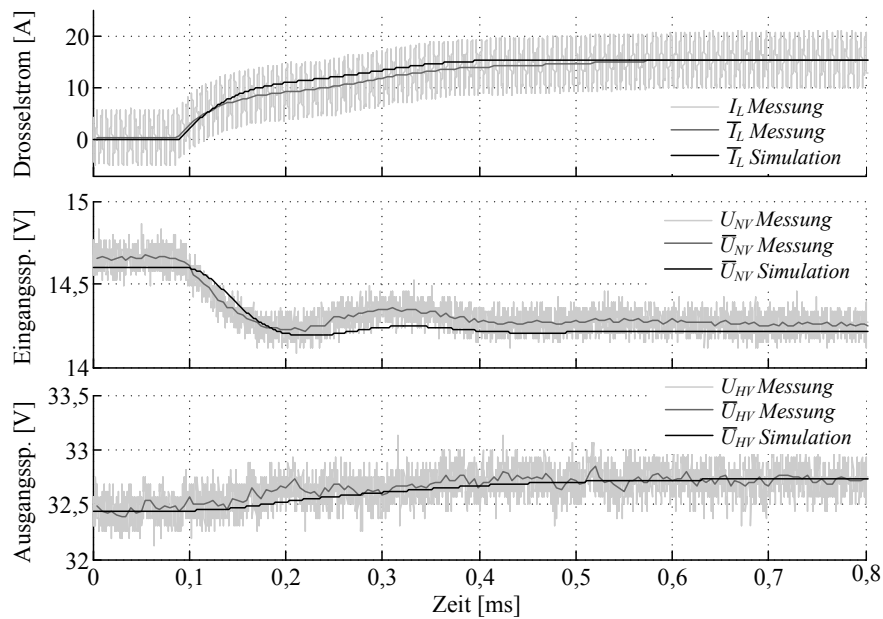


Abbildung 2.29: Mit Berücksichtigung von Verlusten der Halbbrücke (siehe Anhang C.4) zeigen die gemessenen und simulierten Größen eine sehr gute Übereinstimmung im Einschwingverhalten.

Abbildung 2.29 zeigt nun eine gute Übereinstimmung des simulierten und realen Wandlerverhaltens. Die noch vorhandenen geringen Abweichungen sind vor allem auf die vereinfachte Modellierung des Labornetzteils im Experiment zurückzuführen.

2.3.2.3 Fazit

Das dynamische Verhalten des Wandlers lässt sich unter Vernachlässigung der Schaltvorgänge darstellen. Verluste im Schalternetzwerk müssen für genauere Untersuchungen des dynamischen Verhaltens des Wandlers mit berücksichtigt werden. Die Schaltverluste können verhaltensbasiert, d.h. ohne Berechnung der elektrischen Größen während eines Schaltvorgangs, in die gemittelten Modelle integriert werden. Mit experimentellen Untersuchungen konnte die Gültigkeit der Modellierungsmethode bestätigt werden.

2.3.3 Erstellung von Modellen für die Systemebene

Das prinzipielle Vorgehen zur Modellierung für unterschiedliche Abstraktionsebenen nach Abbildung 2.2 wird nun auch zur Erstellung des Simulationsmodells für die Systemebene angewendet. Die Wandlerdynamik wird dabei nicht modelliert (Schritt 2 aus Abbildung 2.23) und somit ein quasi-stationäres Modell generiert, das sich zur Simulation der Betriebsstrategie eignet. Die Genauigkeit des stationären Übertragungsverhaltens wird durch Integration eines Wirkungsgradmodells erzielt, das aus den Verlusten der Schaltungsebene bzw. aus Messungen abgeleitet wird (Schritt 3 aus Abbildung 2.23).

2.3.3.1 Quasi-stationäres Wandlermodell

Die Wandlerdynamik ist in der Systemebene nicht mehr von Interesse, weil sie im Vergleich zur Systemdynamik (Energiespeicher und Verbraucher) ideal ist. Die reaktiven Elemente des Wandlers werden deshalb aus dem Modell entfernt. Die Wandlerklemmen werden wie in Abbildung 2.30 dargestellt mit gesteuerten Quellen verbunden. In der betrachteten Anwendung wird der Drosselstrom (Eingangsklemmenstrom) geregelt. Deshalb wird eine gesteuerte Stromquelle mit der NV-BN seitigen Wandlerklemme verbunden wodurch Stromwert-Sollvorgaben ideal eingestellt werden. Eine Gradientenlimitierungsfunktion (GL), kann zur Nachbildung der maximalen Stromänderungen von kleiner als 200 A/s (siehe Tabelle 2.2) verwendet werden.

Der Wert für die HV-BN seitige Quelle kann mit dem Kirchhoffschen Gesetz aus Gleichung (2.48) berechnet werden,

$$U_{NV} \cdot I_{NV} \pm P_V = U_{HV} \cdot I_{HV}, \quad (2.48)$$

d.h. die Ausgangsleistung ist gleich der Eingangsleistung abzüglich der Verlustleistung.

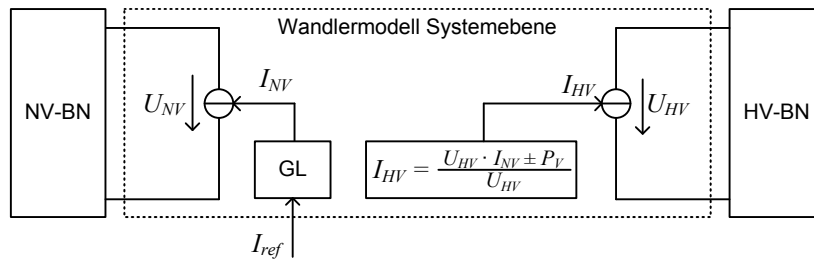


Abbildung 2.30: Quasi-stationäres Wandlermodell für die Systemebene. Die Dynamik des Wandlers ist vernachlässigt.

2.3.3.2 Integration von Verlustmodellen

Die unterschiedlichen Ursachen der Verlustleistung werden in einem stark vereinfachten Modell zusammengefasst: Durchlassverluste steigen näherungsweise quadratisch, Schaltverluste bei Annahme einer konstanten Schaltzeit linear mit der Wandlerleistung an und Ansteuerungsverluste können als konstant angenommen werden [19]. Folglich können Verluste eines DC/DC-Wandlers mit einem Polynom 2. Ordnung in Abhängigkeit der übertragenen Leistung approximiert werden:

$$P_V \approx x_2 \cdot P^2 + x_1 \cdot P + x_0 \tag{2.49}$$

$$\eta \approx \frac{P}{P + P_V} \tag{2.50}$$

Ein gemessenes Wirkungsgradkennfeld ermöglicht damit die Anpassung der Polynomkoeffizienten mittels Parameterfitting.

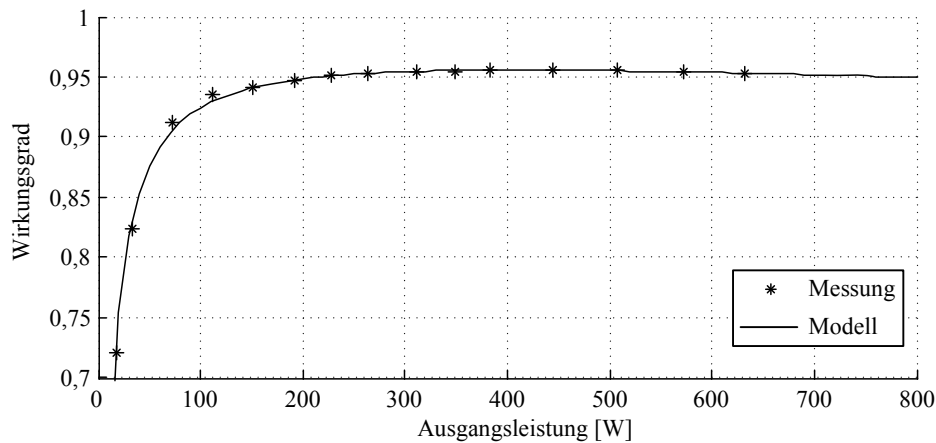


Abbildung 2.31: Gemessener und mit dem Polynom 2. Ordnung angenäherter Wirkungsgradverlauf eines realen Zweiphasenwandlers (Ersatzschaltbild siehe Anhang C.3).

Abbildung 2.31 zeigt den gemessenen Wirkungsgradverlauf eines Zweiphasenwandlers in Abhängigkeit der Wandlerausgangsleistung sowie den angenäherten Verlauf mit dem Verlustpolynom. Das Polynom 2. Ordnung ermöglicht eine sehr gute Nachbildung des quasi-stationären Übertragungsverhaltens.

Mit Kenntnis der Zusammenhänge zwischen der Schaltungsauslegung und den Koeffizienten in Gleichung (2.49) können von einem Verlustmodell ausgehend unterschiedliche Wandlerausführungen in der Systemebene betrachtet werden. In einem Mehrphasenwandler werden beispielsweise Durchlassverluste sowie Schaltverluste reduziert, die Ansteuerungsverluste steigen dagegen an. Wenn die Anzahl der Wandlerphasen (n) variiert wird, was zu einer Steigerung bzw. Reduktion der Wandlerleistungsfähigkeit führt, kann näherungsweise der Zusammenhang aus Gleichung (2.51) für das Verlustmodell angenommen werden:

$$P_V \approx \frac{x_2}{n} \cdot P^2 + \frac{x_1}{n} \cdot P + x_0 \cdot n \quad (2.51)$$

Als Beispiel wird ausgehend von dem Modell des Zweiphasenwandlers nach Abbildung 2.31 das Verlustmodell für einen Wandler in einphasiger, dreiphasiger sowie vierphasiger Ausführung abgeleitet.

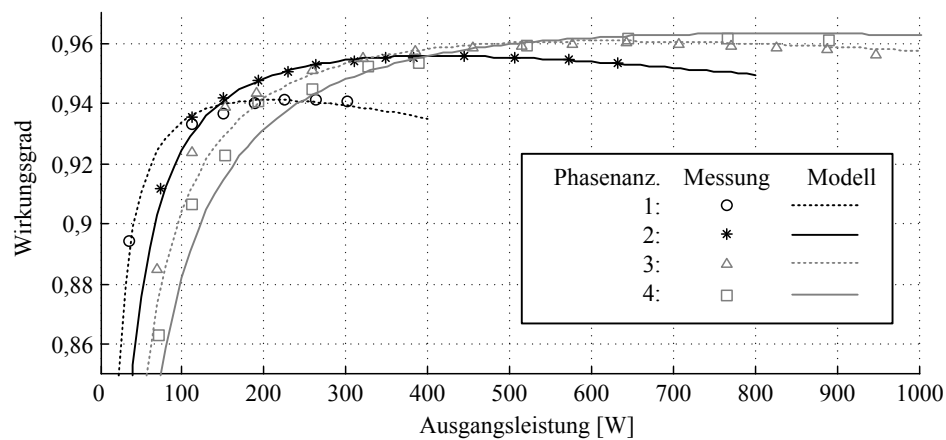


Abbildung 2.32: Gemessene Wirkungsgrade eines Ein- bis Vierphasenwandlers. Angenäherter Wirkungsgradverlauf des Zweiphasenwandlers mit dem Polynom 2. Ordnung. Berechnete Wirkungsgradverläufe des Ein-, Drei- und Vierphasenwandlers aus dem angenäherten Verlauf des Zweiphasenwandlers entsprechend Gleichung (2.51).

Abbildung 2.32 zeigt die gemessenen Wirkungsgradkennfelder in Abhängigkeit der Wandlerleistung für unterschiedliche Phasenanzahl sowie den angenäherten Verlauf mit dem Zusammenhang aus Gleichung (2.51). Die gemessenen und angenäherten Verläufe zeigen für unterschiedliche Anzahl an Wandlerphasen eine gute Übereinstimmung. Mit

steigender Anzahl von Wandlerphasen und der zunehmenden Leistungsfähigkeit des Wandlers wird das Wirkungsgradmaximum zu höheren Leistungen hin verschoben, was auch in in [60, 62] beobachtet werden kann.

2.3.3.3 Fazit

Das vorgeschlagene Polynom 2. Ordnung eignet sich zur Modellierung der Wandlerverlustleistung. Bei Kenntnis der Zusammenhänge zwischen Schaltungsauslegung und Koeffizienten kann in der Systemebene die Auswirkung unterschiedlicher Wandlerausführungen aus energetischer Sicht betrachtet werden. Die daraus resultierenden Erkenntnisse können auch für die Auslegung der Leistungsstufe als Anforderungen zur Reduktion von Durchlass-, Schalt- oder Ansteuerungsverlusten herangezogen werden.

2.4 Ableitung einer hierarchischen Regelungsstruktur

Mit dem Entwurfsprozess in Kapitel 2.2 wurde eine Herangehensweise für einen separaten Entwurf von Leistungsteil, Regelung sowie Betriebsstrategie gezeigt. Dieses Vorgehen war möglich, weil der Entwurfsprozess auf Basis der Betrachtung unterschiedlicher Frequenzbereiche (Abstraktionsebenen) durchgeführt wurde. Die Ebenen sind in sich abgeschlossen und stabil, benötigen aber jeweils weitere Vorgaben bzw. Sollwerte. Eine hierarchische Reglerstruktur auf Basis der eingeführten Abstraktionsebenen kann diese Aufgaben erfüllen.

2.4.1 Aufgabenteilung und Schnittstellen der Reglerstruktur

Abbildung 2.33 zeigt die hierarchische Reglerstruktur mit zugehörigen Schnittstellenfunktionen. Entsprechend den Abstraktionsebenen nimmt die Verarbeitungs- und Signalbandbreite mit zunehmender Tiefe in der hierarchischen Struktur zu. Eine Funktion, die als Schnittstelle zweier Ebenen dient, muss sich immer in der tieferen Ebene befinden, was am Beispiel der Gradientenlimitierungsfunktion und AD-Wandler erläutert wird:

Eine Betriebsstrategie, die sprunghaft Stromsollvorgaben verändert, darf nicht zu einer Verletzung der Anforderungen in der Komponentenebene (limitierte Stromgradienten) führen. Die Gradientenlimitierungsfunktion in der Komponentenebene muss deshalb digitale Sollwertvorgaben mit unzureichender Zeit- und Amplitudenaufösung glätten, um einen zulässigen Betrieb unabhängig von den Vorgaben der Betriebstrategie sicherstellen zu können.

Der Drosselstrom des Leistungsteils weist aufgrund des schaltenden Funktionsprinzips des Leistungsteils einen dreiecksförmigen Verlauf auf, der durch Tiefpasswirkung der Stromsensorik in ein sinusähnliches Signal mit der Grundharmonischen der Schaltfrequenz überführt wird. Die Abtastzeitpunkte haben deshalb Auswirkung auf die gemessenen Stromwerte. Die Regelung benötigt nur den Mittelwert. Deshalb muss das Stromsignal synchron zu den PWM Ansteuerpulsen, mit Berücksichtigung der zeitlichen Verzögerung durch den Sensor, abgetastet werden. Bei Synchronisation der Abtastung zu den periodisch auftretenden Zeitpunkten bei: $0, 5 \cdot D \cdot T_s - t_d$ sowie vernachlässigbarer Wandlerzeit, wird der Mittelwert erfasst. Der Wert t_d entspricht dabei der zeitlichen Verzögerung des Sensors bei der Schaltfrequenz.

Ein Vorteil der hierarchischen Reglerstruktur ist zudem eine hohe Wiederverwertbarkeit der Funktionen in den unterschiedlichen Abstraktionsebenen. Weil ein Ebenen übergrei-

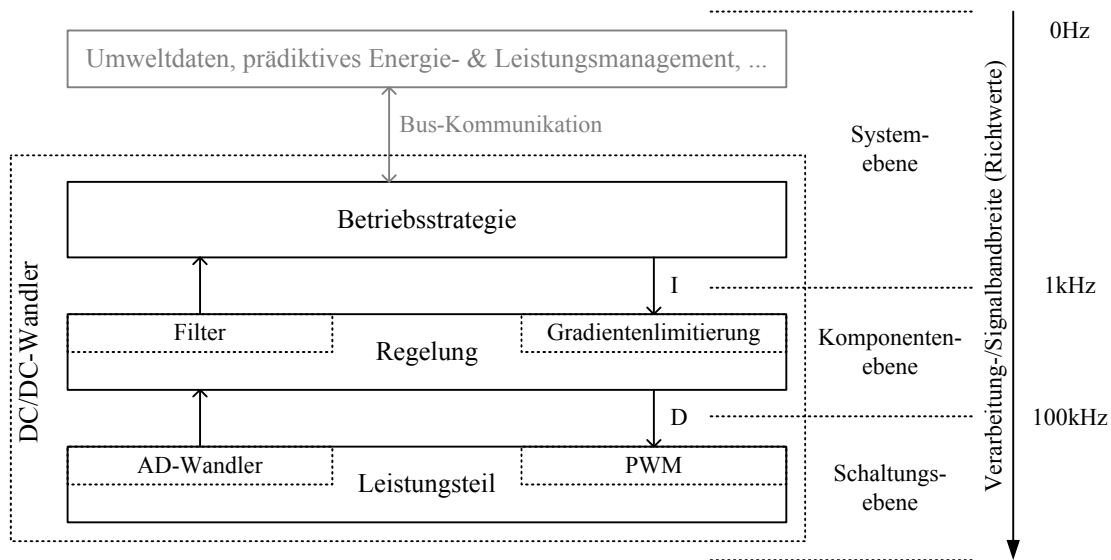


Abbildung 2.33: Hierarchische Reglerstruktur zur Implementierung der entwickelten Funktionen in den unterschiedlichen Abstraktionsebenen.

fender Durchgriff (z.B. von der Betriebsstrategie auf die Ansteuerung des Leistungsteils) nicht existiert, wirken sich nämlich Änderungen in einer Ebene höchstens auf die nächst angrenzende Ebene aus.

Die hierarchische Reglerstruktur kann mit dem eingeführten Prinzip bei Bedarf nach oben hin erweitert werden, um beispielsweise Umweltdaten (z.B. Steigungsprofile der Fahrstrecke) in die Betriebsstrategie einfließen zu lassen [73].

2.4.2 Funktionsbeispiele

Zum Test der Anwendbarkeit der hierarchischen Reglerstruktur wurde diese in den DSP des Wandlerprototypen implementiert. Ohne Veränderungen an Leistungsteil oder Komponentenregelung wurden zwei unterschiedliche Betriebsstrategien integriert. Die Parametrierung der Betriebsstrategien und die Ergebnisse der experimentellen Untersuchung werden im Folgenden diskutiert.

2.4.2.1 Exemplarische Parametrierung der Betriebsstrategie

Die erste Betriebsstrategie ist an eine konventionelle Spannungsregelung angelehnt. Bei einer Spannung unterhalb einer Sollspannung wird der Komponentenregelung der

Wandlereingangsnennstrom als Sollwert vorgegeben. Bei Überschreiten der Sollspannung wird dieser Wert negiert. Da die Gradientenlimitierungsfunktion einen stetigen Verlauf der Regelgröße sicherstellt, ist keine Hysterese notwendig, wie sie bei typischen Zweipunktreglern meist eingesetzt wird [66, Kap. 14.5.2]. In Abbildung 2.34a ist der implementierte Zweipunkt-Spannungsregler für die Einstellung einer quasi-konstanten Spannung von 36 V dargestellt.

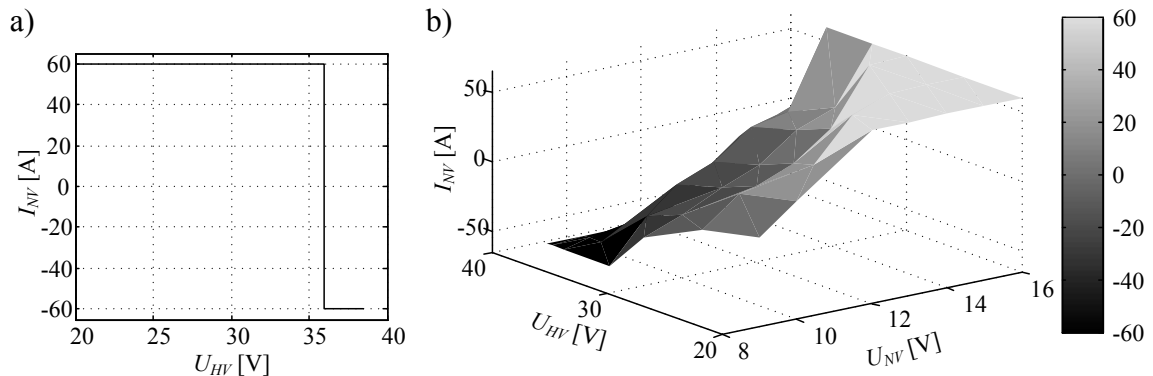


Abbildung 2.34: Implementierte Betriebsstrategie als Zweipunkt-Spannungsregelung (a) und Mehrgrößen-Spannungsregelung (b).

Die zweite Betriebsstrategie ist eine Mehrgrößenregelung. Bei niedriger Ausgangsspannung sowie hoher Eingangsspannung wird ein hoher Wandlerstrom eingestellt, um den Doppelschichtkondensator zu laden. Bei hoher Ausgangsspannung sowie niedriger Eingangsspannung wird ein Teil der gespeicherten Energie im Doppelschichtkondensator genutzt, um das NV-BN zu versorgen. Es handelt sich also um einen Regler, der vorzugsweise dann Energie aus dem NV-BN entnimmt, wenn dessen Energieverfügbarkeit hoch ist. Dies ist beispielsweise in Abbremsphasen des Fahrzeugs der Fall, weil durch die „Intelligente Generatorregelung“ (IGR) die Generatorsollspannung angehoben wird [74]. Bei niedriger Energieverfügbarkeit im NV-BN (z.B. bei Beschleunigungs- oder Standphasen des Fahrzeugs) wird das Bordnetz unterstützt oder nur gering belastet. Diese Art Mehrgrößenregelung kann auch als Fuzzy Logic implementiert werden, was den Vorteil hat, dass die Regeln zur Steuerung des Wandlerklemmenstromes auf Basis von Expertenwissen aufgestellt werden können [75]. Abbildung 2.34b zeigt die beispielhaften Zuordnungen der Eingangs- und Ausgangsspannungen auf den Wandlereingangsstrom. Die implementierte Zuordnungstabelle ist im Anhang C.5 aufgeführt.

2.4.2.2 Experimentelle Untersuchung

Abbildung 2.35 zeigt den Aufbau und die Messstellen des Zweispannungsbordnetzprüfstands im Ersatzschaltbild. Informationen über die Energiespeicher und den Wandlerprototypen können aus Anhang C.6 entnommen werden. Die Verbraucher und Quellen (Generator) in den beiden Bordnetzen sind als elektronisch geregelte Leistungsquellen/-senken ausgeführt, die über einen Messrechner angesteuert werden. Unabhängig von den Sollvorgaben begrenzt die Gradientenlimitierung in der Komponentenebene den Wandlereingangsstrom auf maximal 200 A/s.

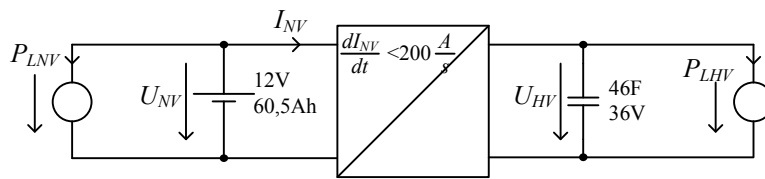


Abbildung 2.35: Ersatzschaltbild des Zweispannungsbordnetzprüfstands mit Messstellen zur experimentellen Untersuchung der Betriebsstrategien.

Abbildung 2.36a zeigt das verwendete synthetische Leistungsprofil des NV-BN. Das Profil bildet den Leistungsverbrauch eines Mittelklassefahrzeugs mit der Funktion der „Intelligenten Generatorregelung“ (IGR) nach. In bestimmten Fahrzuständen, wie Abbremsen des Fahrzeugs, speist der Generator die Verbraucher im NV-BN und lädt mit überschüssiger Energie die Batterie. In den anderen Fahrzuständen, wie Beschleunigungsphasen, wird der Generator vorzugsweise abgeschaltet, wodurch die Verbraucher aus der in der Batterie gespeicherten Energie versorgt werden.

Abbildung 2.36b zeigt ein synthetisches Leistungsprofil eines transienten Hochleistungsverbrauchers. Der mittlere Leistungsbedarf (ca. 100 W) entspricht in etwa dem Leistungsüberschuss des P_{LNV} Profils. Da der DC/DC-Wandler den mittleren Leistungsbedarf aus dem NV-BN entnimmt ist für die Dauer des Zyklus eine näherungsweise ausgeglichene Ladebilanz für das NV-BN gegeben. Die Leistungsspitzen der Hochleistungsverbraucher reichen bis 5 kW. Der Betrieb solcher Verbraucher wäre nach [6, 13, 76] in einem konventionellen 12 V Bordnetz nicht möglich.

Die gemessenen Verläufe der Bordnetzspannungen im NV-BN sowie HV-BN und der Wandlereingangsstrom sind in Abbildung 2.36c bis 2.36e für beide Reglerparametrisierungen aus Abbildung 2.34 dargestellt.

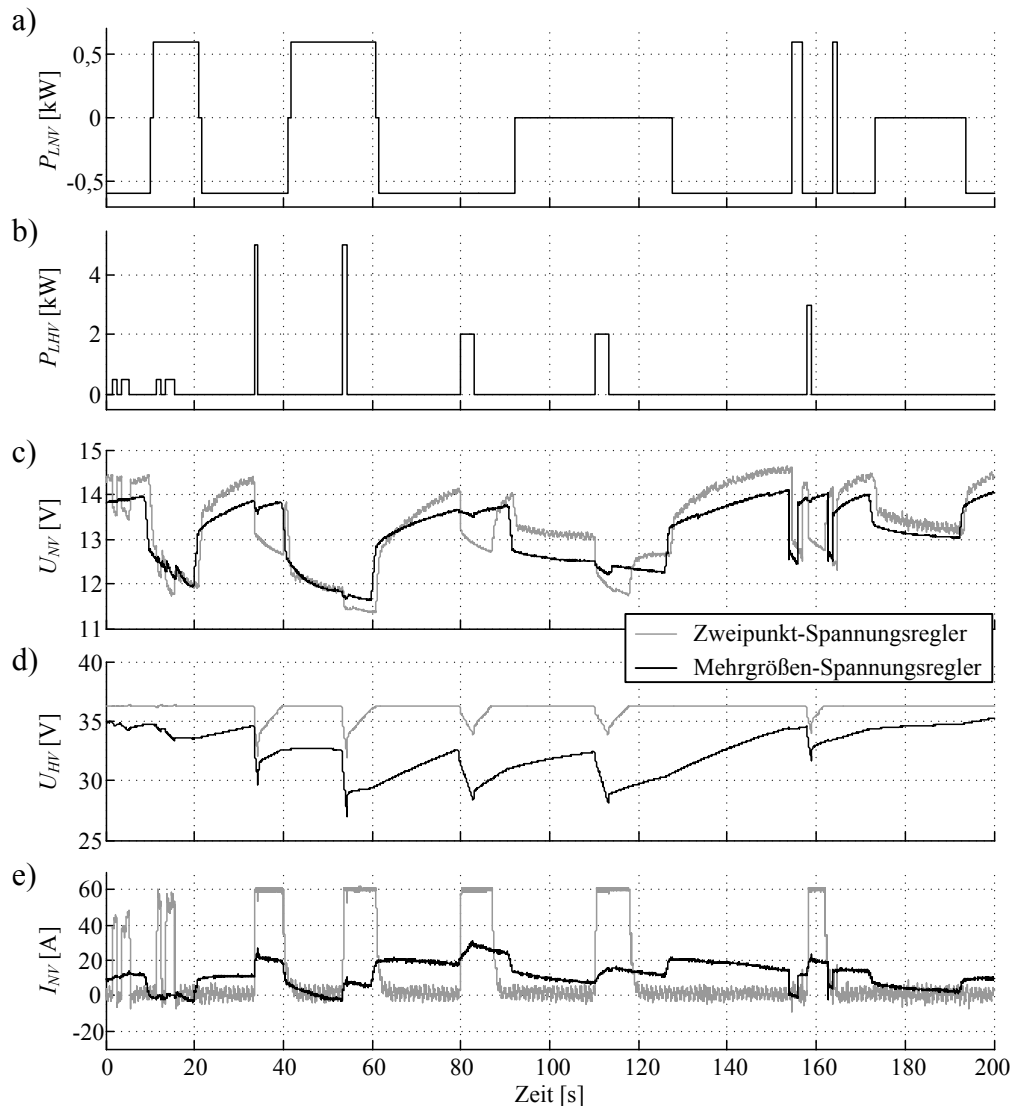


Abbildung 2.36: Synthetische Leistungsprofile zur Ansteuerung der elektronischen Lasten im NV-BN (a) und HV-BN (b). Gemessene Verläufe der Spannungen im NV-BN (c) und HV-BN (d) sowie des Wandlereingangsstroms (e). Prüfstands Aufbau siehe: Abbildung 2.35 sowie Anhang C.6.

Der Zweipunkt-Spannungsregler hält die Spannung am Doppelschichtkondensator konstant, solange die Leistungsfähigkeit und der Stromanstieg von maximal 200 A/s des DC/DC-Wandlers zur Versorgung der Hochleistungsverbraucher ausreichend sind (siehe $t = [0..20 \text{ s}]$). Bei Überschreiten der Wandlerleistungsfähigkeit (siehe beispielsweise $t = [36..40 \text{ s}]$) deckt der Doppelschichtkondensator den Leistungsbedarf. Dieser wird dadurch kurzfristig entladen wodurch die Spannung absinkt (auf ca. 32 V). Der Wandler

kann innerhalb weniger Sekunden das Energiedefizit ausgleichen und eine Spannung von 36 V am Doppelschichtkondensator wiederherstellen. Das NV-BN wird in diesen Zeiten durch den Wandler mit 60 A belastet. In Zeiten hoher Energieverfügbarkeit bzw. hoher Spannung im NV-BN (z.B. innerhalb $t = [26..40 \text{ s}]$) ist diese Belastung unkritisch und führt zu einem Absinken der Bordnetzspannung auf ca. 12,8 V (entspricht in etwa der Leerlaufspannung der Batterie). In den Phasen in denen das NV-BN aufgrund einer Generatorabschaltung und hoher Lasten bereits eine geringe Energieverfügbarkeit bzw. niedrige Spannungen aufweist ist die zusätzliche Belastung durch den Wandler kritischer (beispielsweise bei $t = [46..61 \text{ s}]$). Die Spannung sinkt in diesem Beispiel auf 11,2 V ab. Bei niedrigen Temperaturen oder gealterter Batterie würde die Spannung auf tiefere Werte sinken, wodurch es zu Funktionseinschränkungen oder -ausfällen kommen kann.

Der Mehrgrößen-Spannungsregler hält die Spannung im HV-BN während des Zyklus auch im zulässigen Bereich, vermeidet aber eine Belastung des NV-BN bei geringen Spannungen. Beispielsweise wird im Bereich bei $t = [10..20 \text{ s}]$ das NV-BN gar nicht durch den Wandler belastet und im Bereich bei $t = [56..60 \text{ s}]$ lediglich mit Strömen kleiner als 10 A. Die Bordnetzspannung U_{NV} sinkt deshalb im Vergleich zum Zweipunkt-Spannungsregler nicht so weit ab. Bei hohen Spannungen im NV-BN, z.B. im Bereich $t = [61..90 \text{ s}]$, wird der Wandlereingangsstrom erhöht, um den Doppelschichtkondensator wieder zu laden.

Da die elektronischen Lasten keine rekuperierende Hochleistungsverbraucher abbildeten wurden in den beiden Beispielen keine bzw. bei der Mehrgrößen-Spannungsregelung aufgrund der noch ausreichend hohen NV-BN Spannung nur geringfügige negative Stromwerte (bei $t \approx 20 \text{ s}$ und $t \approx 50 \text{ s}$) erreicht.

2.4.2.3 Vergleich und Ableitung von Optimierungspotentialen

Zum Vergleich der beiden Betriebsstrategien sind die im Kapitel 2.2.4.3 eingeführten Kriterien in Tabelle 2.7 für die gemessenen Verläufe zusammengefasst.

Die beiden Regler haben unterschiedliche Vorteile. Der Mehrgrößen-Spannungsregler mit seinen U_{NV} abhängigen Stromvorgaben entlastet das NV-BN und erhöht dessen Stabilität, was sich auch an dem deutlich niedrigeren Wert des Korrelationskoeffizienten widerspiegelt, der ein Maß für die leistungsmäßige Kopplung der Hochleistungsverbraucher an das NV-BN darstellt. Im Gegenzug wird aber die Stabilität im HV-BN reduziert, da der Doppelschichtkondensator kurzzeitig mehr Energie zur Verfügung stellen muss. Die Folge ist eine deutliche Reduktion der Verbrauchs-Energiereserve.

Tabelle 2.7: Vergleich der Betriebsstrategien anhand der Bewertungskriterien aus Tabelle 2.6.

Kriterium	Zweipunkt-Sp.regler (ZP)	Mehrgrößen-Sp.regler (MG)	Verbesserung ZP → MP
Stabilität $BN_{stab,NV}$	3,28 V	2,48 V	32%
Stabilität $BN_{stab,HV}$	4,41 V	8,29 V	-47%
Korrelationskoeffizient R	40,1%	10,6%	
Verbrauchs-Energiereserve $E_{Vres,HV}$	14,3 kWs	7,5 kWs	-91%
Rekuperations-Energiereserve $E_{Rres,HV}$	6,3 kWs	8,2 kWs	23%

Wenn bei bereits geringen Spannungen im HV-BN hohe Leistungsbedarfe auftreten würden, wäre die Gefahr sehr hoch, dass die minimal zulässige Spannung $U_{HV,min}$ unterschritten würde. Im Gegensatz dazu ist der Zweipunkt-Spannungsregler besonders geeignet, wenn eine hohe Funktionsverfügbarkeit und geringe Speicherbelastung auf der HV-BN Seite erforderlich ist.

Zur Ermittlung des gewichteten Wirkungsgrades wird eine Häufigkeitsverteilung der Wandlerausgangsleistung erstellt, die in Abbildung 2.37 für die gemessenen Verläufe dargestellt ist.

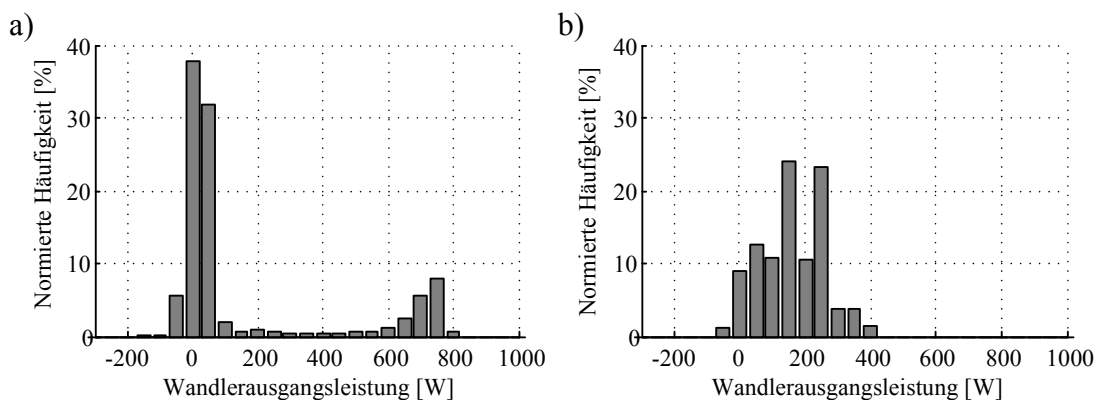


Abbildung 2.37: Histogramm der Wandlerausgangsleistung für den Zweipunkt-Spannungsregler (a) und den Mehrgrößen-Spannungsregler (b).

Bei Einsatz des Zweipunkt-Spannungsreglers zeigt sich deutlich, dass der Wandler entweder bei hohen Leistungen im Bereich von ca. 750 W oder bei Leistungen kleiner als 50 W arbeitet. Besonders in den Bereichen, die einen geringen Wandlerwirkungsgrad zur Folge haben (siehe Abbildung 2.32), wird der Wandler also häufig betrieben.

Der Mehrgrößen-Spannungsregler zeigt eine häufige Wandlerleistung im Bereich 0 bis 400 W im Histogramm. Aufgrund der geringen mittleren Leistung im HV-BN wurde der Wandlernennstrom und damit hohe Wandlerleistungen hier nicht erreicht. Der Wandler arbeitet im Vergleich zu dem Zweipunkt-Spannungsregler nun in Leistungsbereichen, die deutlich höhere Wirkungsgrade zur Folge haben.

Mit dem modellierten Wirkungsgrad des Wandlers in Abhängigkeit der Wandlerleistung nach Gleichung (2.52) und der normierten Häufigkeit der Leistung aus Abbildung 2.37 kann mit Gleichung (2.53) ein gewichteter Wirkungsgrad ermittelt werden.

$$\eta(P) = \frac{P}{P + (x_2 \cdot P^2 + x_1 \cdot P + x_0)} \quad \text{mit: } \eta(0) = 0 \quad (2.52)$$

$$\eta_g = \sum_P \eta(P) \cdot N(P) \quad (2.53)$$

Die Tabelle 2.8 zeigt die berechneten Wirkungsgrade nach Gleichung (2.53). Die Berechnungen wurden für eine unterschiedliche Anzahl an Wandlerphasen ausgeführt, die auf Basis der Wirkungsgraduntersuchungen aus Abbildung 2.32 durchgeführt wurden.

Tabelle 2.8: Gewichtete Wirkungsgrade und Verlustenergie des Wandlers bei Verwendung des Zweipunkt-Spannungsreglers (ZP) sowie Mehrgrößen-Spannungsregler (MG) in Abhängigkeit der Wandlerdimensionierung

Wandler	ZP: η_g	MG: η_g	ZP: $E_{V,DCDC}$	MG: $E_{V,DCDC}$
Einphasenwandler	57,3%	84,7%	2,59 kW _s	2,18 kW _s
Zweiphasenwandler	55,8%	84,6%	2,47 kW _s	2,02 kW _s
Dreiphasenwandler	54,6%	83,7%	2,50 kW _s	2,21 kW _s
Vierphasenwandler	52,7%	82,2%	2,87 kW _s	2,59 kW _s

Der Zweipunkt-Spannungsregler führt trotz der hohen Wandlerwirkungsgrade im Nennbetrieb von ca. 95% aufgrund der ungünstigen Leistungsverteilung zu geringen gewichteten Wirkungsgraden von unter 60%. Mit dem Mehrgrößen-Spannungsregler wird ein um fast 30% höherer gewichteter Wirkungsgrad erreicht. Der gewichtete Wirkungsgrad nimmt in beiden Fällen für eine geringe Anzahl an Wandlerphasen zu. Dies liegt daran, dass die mittlere übertragene Leistung aufgrund des geringen Energiebedarfs der transienten Hochleistungsverbraucher und damit der Nutzungsgrad des Wandlers gering ist.

Die Verlustenergie des gesamten Energiebordnetzes konnte mit der verwendeten Messtechnik nicht erfasst werden und detaillierte Simulationsmodelle zur Ermittlung der Verlustleistung in den Energiespeichern und Verbrauchern ist nicht Bestandteil dieser Arbeit. Stellvertretend wurde deshalb auf Basis der Wirkungsgradmodellierung die Verlustenergie des DC/DC-Wandlers für beide Betriebsstrategien und unterschiedliche Wandlerausführungen ermittelt. Die minimale Verlustenergie wird in diesem Betriebszenario mit einem Zweiphasenwandler erreicht. Der Mehrgrößen-Spannungsregler (MG) verursacht dabei eine um ca. 20% niedrigere Verlustenergie $E_{V,DCDC}$ und einen entsprechend geringeren Wärmeeintrag im Bauraum des DC/DC-Wandlers.

Mit dem Vergleich der beiden Betriebsstrategien konnte anschaulich gezeigt werden, dass eine Steigerung der Bordnetzstabilität und Energieverfügbarkeit in einem Teilbordnetz zu einer Verschlechterung der gleichen Kriterien in dem anderen Teilbordnetz führt. Aufgrund der Energiespeicher in den Teilbordnetzen muss der Wandler nicht direkt auf Leistungsbedarfe reagieren, was einen Freiheitsgrad für die Betriebsstrategie darstellt. Dieser Freiheitsgrad kann genutzt werden, um z.B. auf Kosten der Energieverfügbarkeit, den gewichteten Wirkungsgrad des Wandlers zu steigern sowie die Verlustenergie zu reduzieren. Ein prädiktives Energie- und Leistungsmanagement kann somit Informationen an die Betriebsstrategie geben, welche Ziele in der aktuellen und in der zukünftigen Fahrsituation priorisiert werden sollen. In die hierarchische Reglerstruktur sollte eine derartige Priorisierungsfunktion in einer der Betriebsstrategie übergeordneten Ebene eingebunden werden, da eine langsamere Verarbeitung im Vergleich zur Betriebsstrategie des Wandlers erwartet werden kann.

2.4.3 Fazit der hierarchischen Reglerstruktur

Die hierarchische Reglerstruktur ist geeignet, um die in den unterschiedlichen Abstraktionsebenen separat entworfenen Funktionen geeignet integrieren zu können. Aufgrund der definierten unterschiedlichen Verarbeitungsgeschwindigkeiten existieren keine ebenen-übergreifenden Funktionen. Eine Änderung in einer Ebene wirkt sich entsprechend maximal auf benachbarte Ebenen aus. Optimierungen können somit schnell und einfach entworfen, implementiert und getestet werden.

2.5 Zusammenfassung der Reglerentwicklung

Mit der Einführung von drei Abstraktionsebenen, in denen jeweils ein eingeschränkter Frequenzbereich betrachtet wird, kann die Komplexität in der Modellierung und Simulation deutlich reduziert werden. Die Reduktion der Simulationszeiten ist bei

der Verwendung moderner Rechnersysteme nur ein geringer Vorteil. Der wesentliche Vorteil der gezielten „Nichtmodellierung“ sind deutlich übersichtlichere Modelle, die weniger fehleranfällig sind und bei denen Zusammenhänge, z.B. die Wechselwirkung der Schaltungsauslegung auf das dynamische Verhalten, einfacher ersichtlich sind.

Der Entwurfsprozess mit seinen definierten Schnittstellen ermöglicht auf der Basis der Simulationen in den unterschiedlichen Abstraktionsebenen ein systematisches Entwicklungsvorgehen. Die Aufgaben der einzelnen Ebenen sind durch die unterschiedlichen Frequenzbereiche klar getrennt, weshalb sich der Entwurfsprozess in vielen Abschnitten parallelisieren lässt. Beispielsweise können Modelle für die Systemebene bereits nach Festlegung und Dimensionierung der Topologie erstellt werden, auf deren Basis unterschiedliche Betriebsstrategien entwickelt und getestet werden.

Die in den unterschiedlichen Abstraktionsebenen entwickelten Regelungs- und Steuerungsfunktionen können in der hierarchischen Reglerstruktur geeignet implementiert werden. Da keine Abstraktionsebenen übergreifenden Funktionen existieren wirken sich Änderungen in einer Ebene stets nur auf benachbarte Ebenen aus, was ein Vorteil für die Wiederverwertbarkeit von Funktionen sowie für Erweiterungen der DC/DC-Wandler Funktionalität darstellt.

Die Reglerentwicklung wurde mit Hilfe einer bestimmten Mehrspannungsbordnetzarchitektur exemplarisch erläutert. Die Methoden zur Entwicklung des Wandlers, der Regelung sowie der Modelle können aber auch für andere Anwendungen eingesetzt werden. Besonders wenn Teilsysteme mit unterschiedlichen Trägheiten gekoppelt sind kann der auf Abstraktionsebenen basierte Entwurf sinnvoll angewendet werden.

3 Optimierung der Phasenstromaufteilung in Mehrphasenwandlern

Bei der Reglerentwicklung wurde verhaltenmäßig ein Einphasenwandler betrachtet, der durch parallel geschaltete Speicherdrosseln einen mehrphasigen Wandler im dynamischen Verhalten nachbildete. Hierbei wurde vereinfacht von einer symmetrischen Phasenstromaufteilung ausgegangen. Toleranzen in den Bauelementen des Leistungsteils sowie der Ansteuerung führen jedoch zu ungleicher Phasenstromaufteilung und damit zu ungleichen sowie erhöhten Bauelementebelastungen. Deshalb wird die Stromaufteilung typischerweise geregelt, was unter dem Begriff „Symmetrierungsregelung“ bekannt ist [77, 78]. Diese Symmetrierungsregler wurden aber nicht für Anwendungen im Automobilbereich entwickelt, sondern meist für Anwendung in denen maximal schnelles Einschwingen der Ausgangsspannung gefordert ist. Die wesentlichen Ziele typischer Symmetrierungsregler sind:

- Optimierung des Einschwingverhaltens des Spannungsreglers [79]
- Reduktion des thermischen Bauelementestress [80, 81]
- Reduktion von Verlustleistungen [81, 82]

Für die betrachtete Anwendung im Mehrspannungsbordnetz ist das Einschwingverhalten der Ausgangsspannung als unkritisch zu betrachten. Die anderen zwei Ziele sowie zusätzlich die Limitierung leitungsgebundener EMV-Störungen an beiden Wandlerklemmen [10, 52] sind auch für mehrphasige DC/DC-Wandler in Mehrspannungsbordnetzen relevant.

In diesem Teil der Arbeit werden zunächst die Ursachen für unsymmetrische Phasenströme am Beispiel eines Zweiphasenwandlers untersucht. Anschließend wird ein Konzept einer Symmetrierungsregelung entworfen und mit einem typischen Symmetrierungsregler (parallel geschaltete Regler [24, Kap.7]) verglichen. Um auch bei Toleranzen der Sensorik und damit der Regelung möglichst ein optimales EMV-Verhalten zu erreichen, wird anschließend in diese Symmetrierungsregelung eine weitere Regelschleife integriert, welche die 1. Harmonische im Störspannungsspektrum der Wandlerklemmen minimiert.

3.1 Ursachen unsymmetrischer Phasenströme

Die Stromaufteilung auf die Wandlerphasen kann im eingeschwungenen Zustand mit dem in Abbildung 3.1 dargestellten Ersatzschaltbild eines Zweiphasenwandlers untersucht werden.

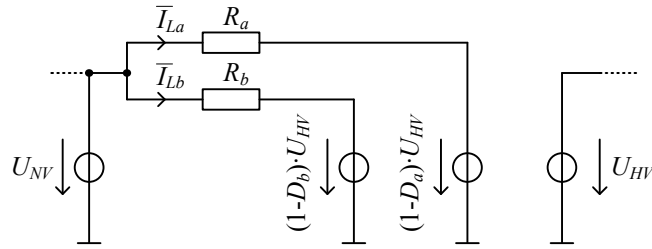


Abbildung 3.1: Ersatzschaltbild eines Zweiphasenwandlers zur Untersuchung der stationären Phasenstromaufteilung.

Jede Wandlerphase ist mit einem Widerstand und einer gesteuerten Spannungsquelle modelliert. Die Wandlerklemmen sind ebenfalls als Spannungsquellen nachgebildet. Der Zusammenhang zwischen dem Wirkungsgrad und dem Ersatzserienwiderstand einer Wandlerphase x ist in Gleichung (3.1) dargestellt.

$$\eta_x = 1 - \frac{R_x \cdot \bar{I}_{Lx}}{U_{NV}} \quad (3.1)$$

Das Spannungsübersetzungsverhältnis jeder Wandlerphase kann abhängig von den Tastverhältnissen und dem Spannungsabfall am Ersatzwiderstand ermittelt werden:

$$U_{NV} = (1 - D_a) \cdot U_{HV} + R_a \cdot \bar{I}_{La} \quad (3.2)$$

$$U_{NV} = (1 - D_b) \cdot U_{HV} + R_b \cdot \bar{I}_{Lb} \quad (3.3)$$

Da die Spannung am Wandlereingang für beide Phasen identisch ist, können die Gleichungen (3.2) und (3.3) gleichgesetzt werden:

$$(1 - D_a) \cdot U_{HV} + R_a \cdot \bar{I}_{La} = (1 - D_b) \cdot U_{HV} + R_b \cdot \bar{I}_{Lb} \quad (3.4)$$

In Gleichung (3.4) werden die Differenzen der Phasenströme, Tastverhältnisse und Ersatzserienwiderstände durch Gleichung (3.5) bis (3.7) ersetzt und nach der Phasen-

stromdifferenz in Gleichung 3.8 aufgelöst.

$$\bar{I}_{diff} = \bar{I}_{La} - \bar{I}_{Lb} \quad (3.5)$$

$$D_{diff} = D_a - D_b \quad (3.6)$$

$$R_{diff} = R_a - R_b \quad (3.7)$$

$$\bar{I}_{diff} = \frac{D_{diff} \cdot U_{HV} - R_{diff} \cdot \bar{I}_{La}}{R_a - R_{diff}} \quad (3.8)$$

Die Phasenstromdifferenz ist abhängig von der Tastverhältnis- und Widerstandsdifferenz sowie dem Absolutwert der Ersatzserienwiderstände und der Ausgangsspannung. Je höher also der Wirkungsgrad ist, desto höher ist die Phasenstromdifferenz bei ungleichen Bauelementewerten in den Wandlerphasen. Deshalb führt die Integration zusätzlicher Leistungswiderstände in Serie zu den Wandlerphasen, wie beispielsweise in [78, 83] diskutiert, zu besserer Stromaufteilung, allerdings auf Kosten höherer Verlustleistung.

Mit der Vereinfachung: $U_{HV} \approx \frac{U_{NV}}{1-D}$ kann die Phasenstromdifferenz bei ungleicher Ansteuerung in Abhängigkeit des Tastverhältnisses mit Gleichung (3.9) abgeschätzt werden:

$$\bar{I}_{diff} \approx \frac{D_{diff} \cdot U_{NV}}{(1-D) R_a} \Bigg|_{R_{diff}=0} \quad (3.9)$$

Abbildung 3.2a zeigt die berechnete Phasenstromdifferenz abhängig vom Arbeitspunkt bei unterschiedlichen Tastverhältnisdifferenzen. Der Ersatzwiderstand R_a wurde entsprechend Gleichung (3.1) für ca. 95% Wandlerwirkungsgrad festgelegt. Bereits bei einem Tastverhältnisunterschied von 0,25%, was bei einer Schaltfrequenz von 100 kHz lediglich einer Abweichung in der Einschaltzeit des Steuerschalters von 25 ns entspricht, erreicht die Phasenstromdifferenz fast 10 A.

Unter Annahme einer idealen Ansteuerung kann Gleichung (3.8) zu Gleichung (3.10) vereinfacht werden und die Auswirkung unterschiedlicher Widerstandsdifferenzen untersucht werden.

$$\bar{I}_{diff} = \frac{-R_{diff} \cdot \bar{I}_{La}}{R_a - R_{diff}} \Bigg|_{D_{diff}=0} \quad (3.10)$$

Die Abbildung 3.2b zeigt, dass ungleiche Ersatzwiderstände zu einer linear ansteigenden Phasenstromdifferenz in Abhängigkeit des Phasenstroms führen. Bei Bauelementetoleranzen von $\pm 10\%$ wird bei Nennstrombelastung einer Phase bereits eine Phasenstromdifferenz von 7,5 A erreicht.

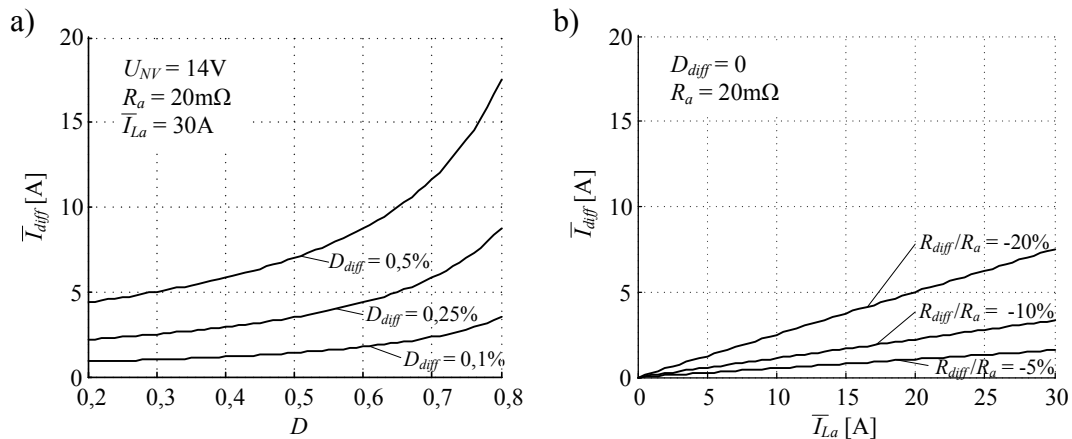


Abbildung 3.2: Phasenstromdifferenz aufgrund unterschiedlicher Tastverhältnisse (a) und Ersatzserienwiderstände (b) für einen Wandlernennwirkungsgrad von ca. 95%.

Die Ursachen für ungleiche Tastverhältnisse und Widerstände der Wandlerphasen sind unabhängig voneinander. Tastverhältnisse weichen vor allem aufgrund von Toleranzen bei den MOSFET Treibern ab. Widerstandsdifferenzen sind bedingt durch Toleranzen bei den Drosseln, MOSFETs und Leiterplatten. Diese beiden Effekte können sich deshalb sowohl destruktiv als auch konstruktiv überlagern. Dies kann zu Überschreitung der zulässigen Strombelastung in einer Wandlerphase führen und verursacht höhere Verluste.

3.2 Entwurf einer Regelung zur Symmetrierung der Phasenströme

In diesem Kapitel wird eine Symmetrierungsregelung entworfen, mit der das Summen- und Phaseneinschwingverhalten separat eingestellt werden kann. Dadurch bleibt das Entwurfsvorgehen aus Kapitel 2.2, mit der verhaltenmäßigen Betrachtung des Wandlers als Einphasenwandler, weiterhin anwendbar. Dieses Reglerkonzept wird mit einem typischen Konzept verglichen, welches auf parallel geschaltene Regler basiert (z.B. in [24, Kap. 7.1] vorgeschlagen).

3.2.1 Analyse des Regelstreckenverhaltens

Das dynamische Verhalten des Zweiphasenwandlers wird nun unter Berücksichtigung der gegenseitigen Wirkung der Wandlerphasen analysiert, um eine geeignete Reglerstruktur ableiten zu können. Die phasenversetzte Ansteuerung von $\varphi=180^\circ$ wird vernachlässigt. In Abbildung 3.3 ist das Kleinsignalmodell in Blockstruktur dargestellt.

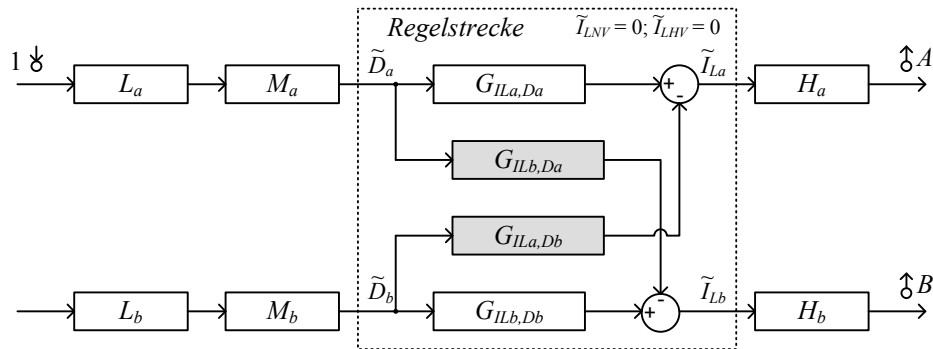


Abbildung 3.3: Kleinsignalmodell zur Untersuchung des dynamischen Verhaltens der zwei Wandlerphasen.

Eine Erhöhung des Tastverhältnisses in der Phase a führt zu einer Erhöhung des Stromes in der Phase a. Durch die gegenseitige Kopplung wird allerdings der Strom in der Phase b reduziert. Die Übertragungsfunktionen $G_{ILa, Da}$ bzw. $G_{ILb, Db}$ werden aufgrund dieser Wirkung im Folgenden als Steuerübertragungsfunktionen und $G_{ILb, Da}$ bzw. $G_{ILa, Db}$ als Koppelübertragungsfunktionen bezeichnet.

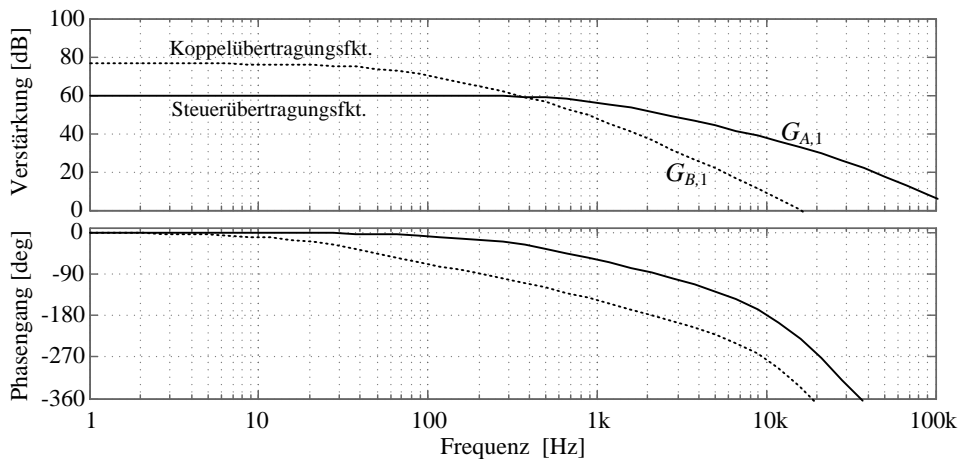


Abbildung 3.4: Bodediagramm der Steuer- und Koppelübertragungsfunktionen mit Linearisierungsfunktion (1-D) sowie Stromsensoren mit 25 kHz Bandbreite.

In Abbildung 3.4 ist die Steuer- und Koppelübertragungsfunktion im Bodediagramm dargestellt. Die Koppelübertragungsfunktion erreicht für niedrige Frequenzen (kleiner als 100 Hz) eine um fast 20 dB höhere Verstärkung als die Steuerübertragungsfunktion. Dies ist dadurch bedingt, dass bei der Steuerübertragungsfunktion die Ersatzwiderstände der Energiespeicher, Kabelbaumanbindungen, EMV-Filter und des Wandlers eine dämpfende Wirkung auf die Verstärkung zur Folge haben, wohingegen bei der Koppelübertragungsfunktion lediglich die Ersatzwiderstände der Wandlerphasen eine dämpfende Wirkung haben. Eine Besonderheit der Koppelübertragungsfunktion ist, dass der kritische Phasengang von -180° im Vergleich zur Steuerübertragungsfunktion um fast eine Dekade früher erreicht wird.

Zur Abschätzung der Zeitkonstante für Einschwingvorgänge der Koppelübertragungsfunktion kann das Modell aus Abbildung 3.1 mit dem Induktivitätswert der Speicherdrossel in Serie zu den Ersatzserienwiderständen verwendet werden. Die Zeitkonstante kann mit Gleichung (3.11) ermittelt werden.

$$\tau_K = \frac{L_a + L_b}{R_a + R_b} \quad (3.11)$$

Aus der Analyse der Steuer- und Koppelübertragungsfunktion können folgende Aspekte zusammengefasst werden:

- Wegen der Kopplung von Wandlerphasen kann jede Wandlerphase als eine Störquelle für andere Wandlerphasen betrachtet werden.
- Die quasi-stationäre Verstärkung ist bei der Koppelübertragungsfunktion signifikant höher als bei der Steuerübertragungsfunktion.
- Der kritische Phasengang von -180° wird zuerst von der Koppelübertragungsfunktion erreicht.

3.2.2 Ableitung einer Symmetrierungsreglerstruktur

Für jede Wandlerphase kann ein separater Stromregler verwendet werden. Die daraus resultierende Parallel-Reglerstruktur ist in Abbildung 3.5a für einen Zweiphasenwandler dargestellt. Jede Phase wird auf den halben Summensollstrom geregelt. Der wesentliche Nachteil dieser Struktur ist, dass bei der Parametrierung sowohl die Steuer- als auch Koppelübertragungsfunktionen berücksichtigt werden müssen. Eine Betrachtung als Einphasenwandler, wie sie im Kapitel 2.2.3 angewendet wurde, ist deshalb bei dieser Reglerstruktur nicht geeignet.

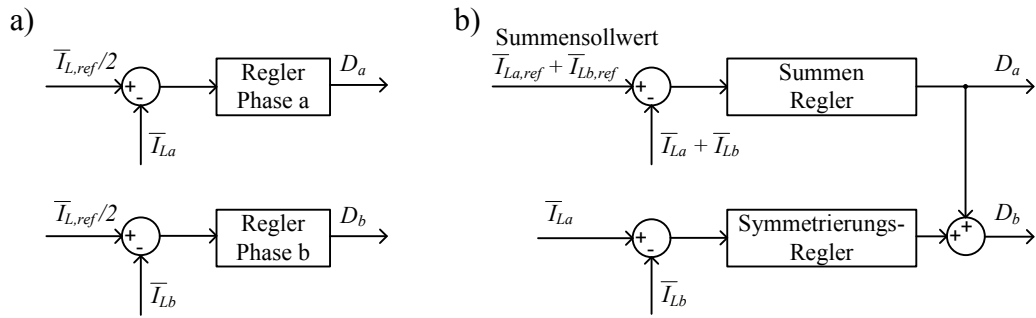


Abbildung 3.5: Blockschaltbild der Parallel-Reglerstruktur (a) und der „Task-Shared-Reglerstruktur“ (b) zur Regelung der Phasenströme.

In Abbildung 3.5b ist eine Reglerstruktur dargestellt, die in [46] unter dem Begriff „Task-Shared-Control“ eingeführt wurde. Der Summenregler stellt zeitgleich für beide Wandlerphasen ein Tastverhältnis ein, um den Summensollstrom zu erreichen. Durch die zeitgleiche Beeinflussung der Tastverhältnisse hebt sich die Wirkung der beiden Koppelübertragungsfunktionen $G_{ILb,Da}$ und $G_{ILa,Db}$ gegenseitig auf. Deshalb können die Koppelübertragungsfunktionen bei Parametrierung des Summenreglers vernachlässigt werden. Der Symmetrierungsregler kompensiert durch einen additiven Wert des Tastverhältnisses der Phase b Abweichungen der Phasenströme. Dieser Symmetrierungsregler wird unter Berücksichtigung der Charakteristik der Koppelübertragungsfunktionen parametrierung und kann unabhängig vom Summenregler eingestellt werden. Damit wird eine unabhängige Optimierung des Summen- (siehe Kapitel 2.2.3) und Symmetrierungsverhaltens ermöglicht.

Die Task-Shared-Reglerstruktur kann auch für mehr als zwei Phasen erweitert werden. Ein Summenregler regelt hierbei alle n Phasen und $n - 1$ Symmetrierungsregler kompensieren Abweichungen der Phasenströme.

3.2.3 Experimentelle Untersuchungen

Zur Bestätigung der Vorteile der Task-Shared-Reglerstruktur gegenüber der Parallel-Reglerstruktur wurden beide Konzepte experimentell in einem Wandlerprototypen untersucht. Beide Regler wurden mit dem Ziel einer gleich schnellen Summenstromregelung mit gleichem Einschwingverhalten parametrierung. Bei der Parallel-Reglerstruktur ist das Einschwingverhalten der Phasen durch die Parametrierung des Summenverhaltens festgelegt. Im Gegensatz dazu kann bei der Task-Shared-Reglerstruktur das Einschwingverhalten des Symmetrierungsreglers unabhängig vom Summenverhalten eingestellt werden. In diesem Fall wurde ein Symmetrierungsregler mit einer 10-fach

geringeren Bandbreite als der Summenregler implementiert.

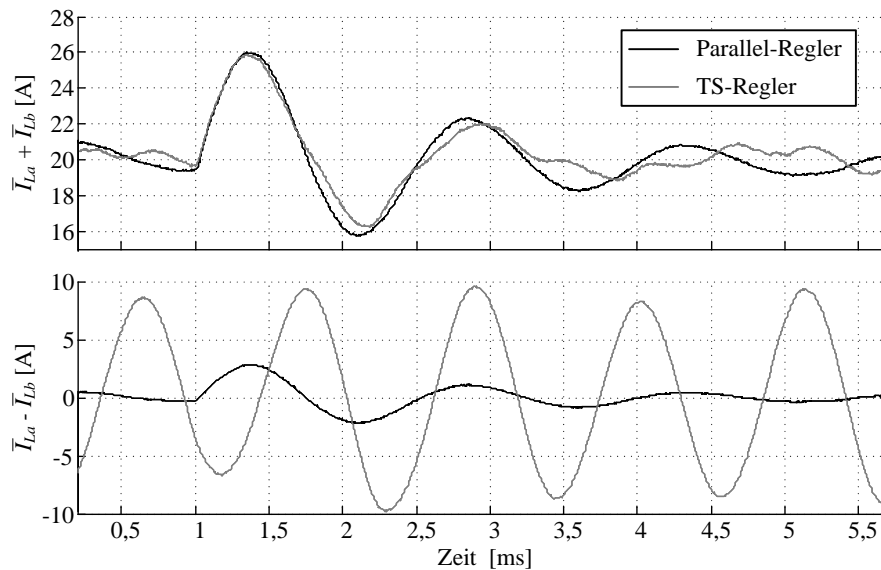


Abbildung 3.6: Messung des Summeneinschwingverhaltens und der Phasenstromdifferenz mit der Parallel-Reglerstruktur und der Task-Shared-Reglerstruktur bei einer sprungförmigen Reduktion der Ausgangsspannung um 2 V als Störgröße bei $t=1$ ms.

Die Ergebnisse der messtechnischen Untersuchung sind in Abbildung 3.6 dargestellt. Zum Zeitpunkt $t=1$ ms wurde die ausgangsseitige Klemmenspannung um 2 V durch eine elektronische Last reduziert. Die Stromregler gleichen diese Störung mit einem in erster Näherung gleichen und noch stabilen Summenverhalten aus. Wenn lediglich die elektrischen Größen an den Wandlerklemmen betrachtet werden, würde ein identisches Verhalten für beide Regler diagnostiziert werden.

Bei der Betrachtung der Phasenstromdifferenz wird aber deutlich, dass die Charakteristik der Kopplungsübertragungsfunktionen bereits zu einer destabilisierenden Wirkung des Phasenstromverhaltens bei Verwendung der Parallel-Reglerstruktur führt. Mit der Task-Shared-Reglerstruktur konnte, durch die getrennte Parametrierung der Phasenstromsymmetrierung, bei gleichem Summenverhalten ein stabiles Phasenstromverhalten erreicht werden.

Die Task-Shared-Reglerstruktur bietet die Möglichkeit das Einschwingverhalten des Summenstroms und der Phasenströme getrennt zu optimieren, was die Stromreglerparametrierung mehrphasiger Wandler erleichtert. Ungleiche Phasenströme können symmetriert werden. Zu berücksichtigen ist aber, dass Messungenauigkeiten bei der Strommessung nach wie vor zu Abweichungen in den Phasenströmen führt. Eine Möglichkeit die Ströme trotz Sensortoleranzen zu symmetrieren wird im Folgenden

diskutiert (siehe Kapitel 3.3).

3.3 Reduktion der Spannungswelligkeit an den Bus-Kondensatoren

Ein wesentlicher Vorteil von mehrphasigen Wandlern, mit phasenversetzter Ansteuerung und symmetrierten Phasenströmen ist die geringere Bus-Kondensatorbelastung sowie besseres EMV-Verhalten. Weil aber Stromsensortoleranzen nach wie vor zu ungleichen Phasenströmen führt, wird die Diskussion der Symmetrierungsregelung in diesem Kapitel um den Aspekt der Störspannungsspektren an den Wandlerklemmen erweitert. Der Fokus liegt auf der 1. Harmonischen, die theoretisch bei einem zweiphasigen Boost-/Buck-Wandler mit Symmetrierungsregler und phasenversetzter Ansteuerung von $\varphi=180^\circ$ ausgelöscht sein sollte. Es wird gezeigt, dass diese Auslöschung bei einem realen Wandler aufgrund von Bauelementetoleranzen nicht erreicht wird. Deshalb wird eine Maßnahme zur Reduktion der 1. Harmonischen entwickelt, die optional in konventionelle Symmetrierungsreglerstrukturen (z.B. Parallel- oder Task-Shared-Regler) integriert werden kann.

In Abbildung 3.7 sind die Stromverläufe der Drosseln, Synchrongleichrichter, Bus-Kondensatoren sowie das Störspannungsspektrum am Bus-Kondensator C_{HV} für einen Wandler mit idealer Stromaufteilung und für unsymmetrische Phasenstromaufteilung schematisch dargestellt. Die Strombelastung und damit das Störspannungsspektrum ist am Bus-Kondensator C_{NV} für beide Fälle gleich. Deutliche Unterschiede können am Bus-Kondensator C_{HV} beobachtet werden. Bei einem idealen Wandler wird die 1. Harmonische (bei f_s) ausgelöscht (siehe Abbildung 3.7a). Die EMV-Filter werden deshalb typischerweise zur Dämpfung der 2. Harmonischen ausgelegt. Bei ungleichen Phasenströmen, die beispielsweise trotz Symmetrierungsregelung aufgrund von Sensortoleranzen auftreten, wird die 1. Harmonische nicht ideal kompensiert. Deshalb muss überprüft werden, ob die Dämpfung der EMV-Filter auch für die 1. Harmonische ausreichend ist.

Bei einer gegebenen Filterdimensionierung kann die zulässige Amplitude der 1. Harmonischen bei Annahme eines konstanten Grenzwerts am Messwiderstand der Bordnetznachbildung (siehe Anhang C.7) sowie einem idealen Filter n-ter Ordnung mit Gleichung (3.12) abgeschätzt werden.

$$|U_{Chv}(f_s)| \leq \frac{|U_{Chv}(2 \cdot f_s)|}{2 \cdot n_{filter}} \quad (3.12)$$

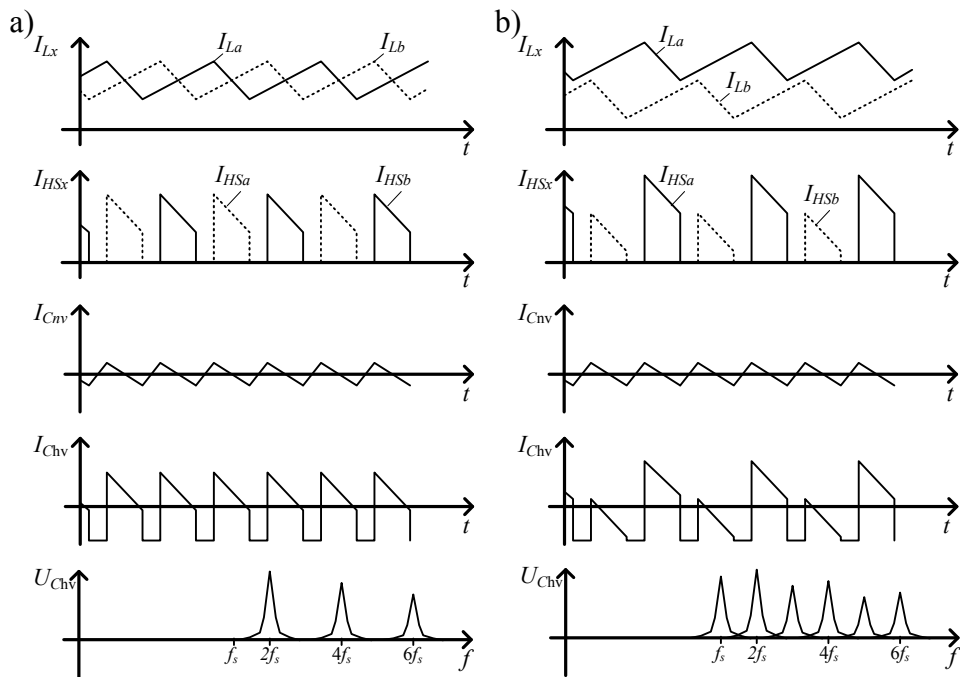


Abbildung 3.7: Schematische Stromverläufe in den Speicherdrosseln, Synchrongleichrichter und Bus-Kondensatoren sowie das Störspannungsspektrum für ideale Stromaufteilung (a) und für unsymmetrische Phasenströme (b).

Bei Verwendung eines konventionellen LC-Filters (2. Ordnung) darf die 1. Harmonische maximal 25% der Amplitude der 2. Harmonischen betragen, wenn der EMV-Filter für die Dämpfung der 2. Harmonischen ausgelegt wurde. Andernfalls muss die Dämpfung des Filters erhöht werden, was zu höheren Bauelementewerten und damit höherem Gewicht und Volumen der Komponente führt.

3.3.1 Analyse der Spannungswelligkeit in Abhängigkeit von Ansteuer- und Bauelementetoleranzen

Die Amplituden der Harmonischen am Bus-Kondensator C_{HV} werden mit dem folgenden Vorgehen berechnet: Die Bus-Kondensator Lade- und Entladeströme werden aus den Stromverläufen der Synchrongleichrichter ermittelt. Aus dieser Strombelastung wird ein zeitlicher Verlauf der Spannungswelligkeit berechnet, der mit einer FFT (Fast Fourier Transformation) in den Frequenzbereich transformiert wird.

Der Bus-Kondensator wird mit den überlagerten Synchrongleichrichterströmen und

dem Ausgangsstrom des Wandlers belastet:

$$I_{Chv}(t) = \left[\sum_{x=a}^n I_{HSx}(t) \right] - I_{HV}(t) \quad (3.13)$$

Im eingeschwungenen Zustand muss der mittlere Bus-Kondensatorstrom null sein (Capacitor Charge Balance [20, Kap. 2.1]). Der Wandler Ausgangsstrom muss deshalb im Mittel der Summe der Synchrongleichrichterströme entsprechen. Die Synchrongleichrichterströme, wie in Abbildung 3.7 dargestellt, können mit abschnittweise linearen Funktionen ermittelt werden:

$$I_{HSx}(t) = \begin{cases} \hat{I}_{Lx} - \frac{(U_{Chv} - U_{Cnv}) \cdot [(t + t_{\varphi x}) \bmod T_s - D_x \cdot T_s]}{L_x} & \text{für HS ein} \\ 0 & \text{für HS aus} \end{cases} \quad (3.14)$$

$$\text{mit dem Spitzenwert } \hat{I}_{Lx} = \bar{I}_{Lx} + \frac{\frac{1}{2} \cdot D_x \cdot T_s \cdot (U_{Chv} - U_{Cnv})}{L_x} \quad (3.15)$$

Die Synchrongleichrichterströme jeder Phase sind periodische Funktionen, die abhängig vom Spannungsübersetzungsverhältnis, zeitlichen Phasenversatz der Ansteuerung, mittleren Drosselstrom sowie von der Induktivität der Speicherdrosseln sind. Die Schaltzustände der Synchrongleichrichter (HS ein and HS aus) können aus dem Tastverhältnis, der Periodendauer sowie dem zeitlichen Phasenversatz ($t_{\varphi x}$) ermittelt werden:

$$\text{HS}_x \text{ ein : } (D_x \cdot T_s) < [(t + t_{\varphi x}) \bmod T_s] < T_s \quad (3.16)$$

$$\text{HS}_x \text{ aus : } (D_x \cdot T_s) \geq [(t + t_{\varphi x}) \bmod T_s] \geq T_s \quad (3.17)$$

Mit einem RC-Modell für den Ausgangskondensator können die Spannungsverläufe mit Gleichung (3.18) oder im zeitdiskreten Bereich mit (3.19) (Rechtecknäherung erster Ordnung) berechnet werden.

$$U_{Chv}(t) = U_{R_{Chv}}(t) + \frac{1}{C_{Hv}} \int I_{Chv}(t) dt \quad (3.18)$$

$$U_{Chv}(t_k) = R_{Chv} \cdot I_{Chv}(t_k) + U_{Chv}(t_{k-1}) + \frac{I_{Chv}(t_k)(t_k - t_{k-1})}{C_{HV}} \quad (3.19)$$

$$\text{mit } U_{Chv}(t_0) = U_{HV}$$

Schließlich wird ein Spannungsverlauf mit einer FFT in den Frequenzbereich transfor-

miert. Für folgende Werte wurden Abweichungen vom Idealwert eingesetzt:

- Induktivität der Speicherdrossel: L_x
- Phasenversatz: $t_{\varphi x}$
- Mittlerer Drosselstrom: \bar{I}_{Lx}

Die resultierenden Quotienten der 1. und 2. Harmonischen im Spannungsspektrum des Bus-Kondensators sind in Abbildung 3.8 dargestellt. Der Offset der Kurven bei Nullabweichung ist auf numerische Fehler aufgrund der diskreten Zeitschritte zur Berechnung der Bus-Kondensator Spannungsverläufe und der FFT zurückzuführen. Besonders bei Arbeitspunkten, die geringe Effektivstrombelastungen in den Bus-Kondensatoren zur Folge haben (z.B. bei $D=0,5$) führen geringe Abweichungen von den Idealwerten zu hohen Amplituden der 1. Harmonischen im Vergleich zur 2. Harmonischen. Für die zulässige Amplitude der 1. Harmonischen (siehe Gleichung (3.12)) ist das Tastverhältnis mit der höchsten Stromwelligkeit relevant, weil für diesen Arbeitspunkt die EMV-Filterdämpfung ausgelegt wird (in dieser Anwendung im Bereich bei $D \approx 0,7$).

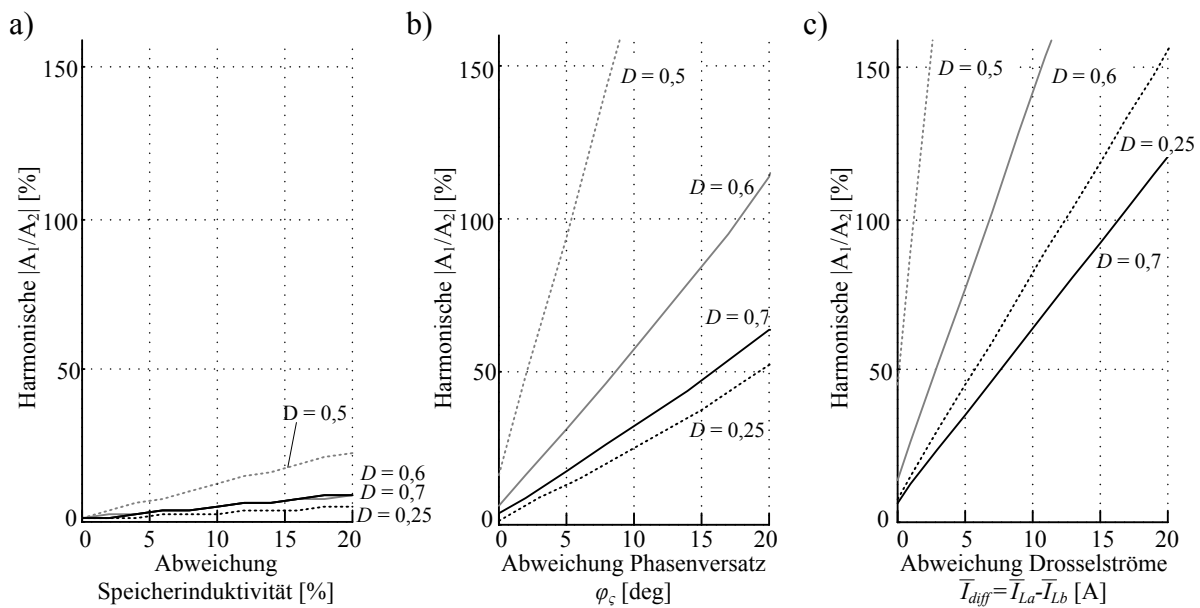


Abbildung 3.8: Quotient der 1. und 2. Harmonischen in Abhängigkeit von Abweichungen bei den Speicherdrosseln (a), dem Phasenversatz (b) und der Phasenstromaufteilung (c) für unterschiedliche Tastverhältnisse.

Abbildung 3.8a zeigt, dass Induktivitätsabweichungen bei den Speicherdrosseln geringe Auswirkungen auf die 1. Harmonische zur Folge hat. Für die betrachteten Abweichungen von bis zu 20% bleibt die 1. Harmonische unterhalb 25% der 2. Harmonischen.

Schlussfolgernd stellen typische Drosseltoleranzen kein Problem im Sinne der Bedingung nach Gleichung (3.12) dar.

Abbildung 3.8b zeigt, dass geringe Abweichungen vom idealen Phasenversatz hohe Amplituden der 1. Harmonischen zur Folge haben. Eine hohe Synchronisationsgenauigkeit der PWM-Module ist deshalb notwendig, wird aber häufig nicht charakterisiert und als ideal angenommen. Bei der Betrachtung gemessener Treiberausgangssignale, die in [84] für einen analogen Regler IC dargestellt sind, können Abweichungen im Bereich von bis zu $\pm 10^\circ$ beobachtet werden. Wie die Analysen zeigen, müssen diese Abweichungen berücksichtigt werden.

Wie aus Abbildung 3.8c hervorgeht ist auch die Sensitivität der 1. Harmonischen in Abhängigkeit der Phasenstromdifferenz sehr hoch. Wenn ein EMV-Filter 2. Ordnung beispielsweise bei einem Tastverhältnis von 0,7 zur Dämpfung der 2. Harmonischen ausgelegt wurde, dürfen die Phasenströme in diesem Arbeitspunkt um lediglich $\pm 3\%$ abweichen. Toleranzen im Bereich $\pm 10\%$ sind aber üblich [85, 86], weshalb auch dieser Effekt nicht vernachlässigt werden darf.

Um die berechneten Ergebnisse zu bestätigen, wurde das Spannungsspektrum des Bus-Kondensators für unterschiedliche Phasenströme in einem Wandlerprototypen gemessen. Die Phasenstromsensoren wurden vor der Messung mit einer Genauigkeit von besser als $\pm 1\%$ kalibriert.

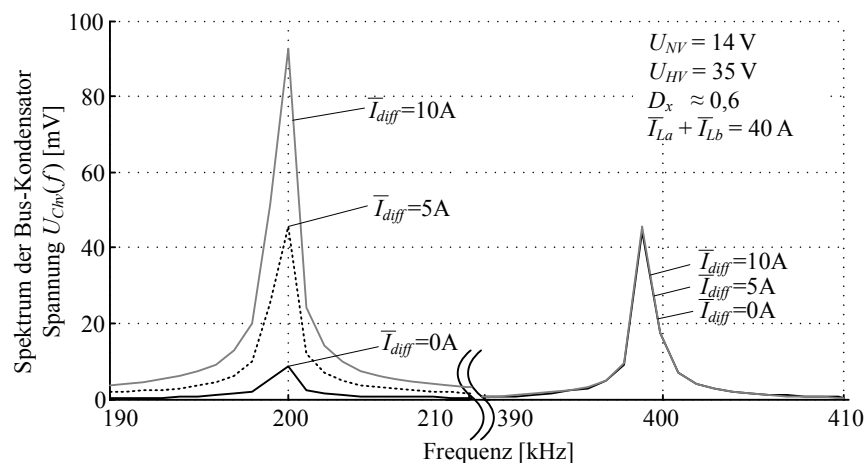


Abbildung 3.9: Gemessene Amplituden der 1. und 2. Harmonischen in einem Wandlerprototypen bei unterschiedlichen Phasenstromdifferenzen.

Abbildung 3.9 zeigt die 1. und 2. Harmonische im Spannungsspektrum des Bus-Kondensators C_{HV} für unterschiedliche Phasenstromabweichungen. Die Amplitude der 2. Harmonischen hängt lediglich vom Arbeitspunkt des Wandlers ab und wird

nicht durch Abweichungen der Phasenströme beeinflusst. Im Gegensatz dazu steigt die Amplitude der 1. Harmonischen bei zunehmenden Phasenstromabweichungen stark an. Bei „idealer“ Stromaufteilung erreicht die 1. Harmonische bereits etwa 20% der 2. Harmonischen, was durch unzureichende Kalibrierung der Stromsensoren sowie einem nicht idealen Phasenversatz und Toleranzen bei den Induktivitäten des realen Wandlers zurückzuführen ist. Bei 5 A Stromdifferenz ist die Amplitude der 1. und 2. Harmonischen gleich groß. In der Berechnung wurden 80% bei einem Tastverhältnis von $D = 0,6$ ermittelt. Dies kann mit der Messung bestätigt werden, wenn der Offset bei „idealer“ Stromaufteilung von etwa 20% abgezogen wird.

Wie die Analysen zeigten, darf der EMV-Filter eines zweiphasigen Wandlers, bei typischen Stromsensortoleranzen von größer als $\pm 3\%$, nicht in der Annahme einer kompensierten 1. Harmonischen ausgelegt werden.

3.3.2 Entwurf eines Reglerkonzepts zur Reduktion der 1. Harmonischen im Störspannungsspektrum

Das Ziel ist es aufwändige präzise Stromsensoren oder erhöhte Dämpfungsanforderungen an die EMV-Filter zu vermeiden. Ansätze hierzu wurden bereits in [87, 88] entwickelt. Mit der in [87] vorgestellten Methode kann beispielsweise während des Wandlerbetriebs eine Information über die Stromaufteilung und 1. Harmonische generiert werden. Dies führt aber zu sehr hohen Rechenzeitanforderungen. Der Ansatz in [88], mit dem die Amplitude der 1. Harmonischen minimiert werden kann, benötigt sehr schnelle AD-Wandler, um die Bus-Kondensatorspannung während transientscher Schaltvorgänge messen zu können. Deshalb wird ein neues Reglerkonzept entwickelt, das trotz Sensortoleranzen in der Phasensymmetrierung die 1. Harmonische minimiert [52]. Der Schwerpunkt der folgenden Diskussion liegt auf der Funktionsweise dieser Regelung. Sie wird für einen Prototypen beispielhaft ausgelegt und experimentell untersucht. Ein Vergleich mit alternativen Lösungen, wie z.B. der Verwendung von präzisen Stromsensoren, findet nicht statt.

Die prinzipielle Idee der optimierten Symmetrierungsregelung basiert auf der Integration einer zusätzlichen Regelschleife, die durch Skalierung eines Stromsensorwerts relative Fehler der Symmetrierungsregelung kompensiert. Abbildung 3.10 zeigt dieses Konzept im Blockdiagramm, integriert in die hierarchische Reglerstruktur aus Kapitel 2.4. Die Wandlerregelung besteht aus einem Stromregler mit der Task-Shared-Reglerstruktur (siehe Kapitel 3.2). Die zusätzliche Regelschleife besteht aus einem aktiven Bandpassfilter (AF), einem Peak Detektor (PD) und einem Minimierungsalgorithmus (MIN). Der

AF und PD können als Sensor, der MIN als Kompensator und die bereits vorhandene Symmetrierungsregelung als Stellglied betrachtet werden.

Der AF ist ein Bandpassfilter, dessen Mittenfrequenz auf die Schaltfrequenz (1. Harmonische) ausgelegt ist. Andere Signale, z.B. die 2. Harmonische, sollten so gut wie möglich unterdrückt werden. Der PD wird verwendet, um die Information der 1. Harmonischen asynchron zur PWM verarbeiten zu können. Vorrichtungen nach dem PD können dadurch mit deutlich geringeren Bandbreiten ausgelegt werden, was im Vergleich zu dem Ansatz aus [88] zu reduzierter Komplexität führt. Der MIN passt den Sensorkorrekturfaktor c derart an, dass das Eingangssignal (1. Harmonische) minimal wird. Mit dem Sensorkorrekturfaktor kann der MIN relative Fehler zwischen den Phasenstromsensoren kompensieren. Falls keine Phasenstromsensoren vorhanden sind und beide Phasen mit dem gleichen Tastverhältnis angesteuert werden, kann der MIN alternativ auch die Tastverhältnisse anpassen, wodurch Phasenströme auch ohne Stromsensoren symmetriert werden können. Ohne Stromsensoren steht aber keine Information über den absoluten Wandlereingangstrom zur Verfügung, der in dieser Anwendung für die Regelungsaufgabe benötigt wird.

Für die Auslegung der Regelschleife sind unterschiedliche Ansätze denkbar. Allgemein kann ein höherer Aufwand zur Unterdrückung von Störsignalen (Signale ungleich der 1. Harmonischen) den Aufwand für den MIN reduzieren. Im Folgenden wird ein Beispiel einer Auslegung eingeführt sowie Dimensionierungsgrundlagen abgeleitet. Der AF und PD werden als analog Schaltungen in der Schaltungsebene implementiert. Der MIN wird mit geringerer Verarbeitungsbandbreite ausgeführt und entsprechend in der Komponentenebene in Software umgesetzt. Der PD Ausgang wird mit einem AD-Wandler erfasst und dient als Schnittstelle der beiden Ebenen.

Der aktive Filter hat die Aufgabe die Spannungswelligkeit des Bus-Kondensators für den Peak Detektor und den AD-Wandlers zu verstärken. Die gewünschte Verstärkung bei der Mittenfrequenz (entspricht der Schaltfrequenz f_s) kann in erster Näherung mit Gleichung (3.20) ermittelt werden.

$$|G_{AF}(f_s)| \approx \frac{U_{AD}}{\max[U_{Chv}(f_s)]} \quad (3.20)$$

Bei einer Phasensymmetrierungstoleranz von ± 2 A ist die maximale Spannungswelligkeit der 1. Harmonischen in etwa 50 mV, womit bei einem 3 V AD-Wandlerbereich eine Verstärkung $|G_{AF}(f_s)|$ von etwa 35 dB benötigt wird.

Aus dieser Verstärkung kann die Anforderung an das Verstärkungs-Bandbreiten-Produkt mit Gleichung (3.21) ermittelt werden, die bei $|G_{AF}(f_s)| = 35$ dB und

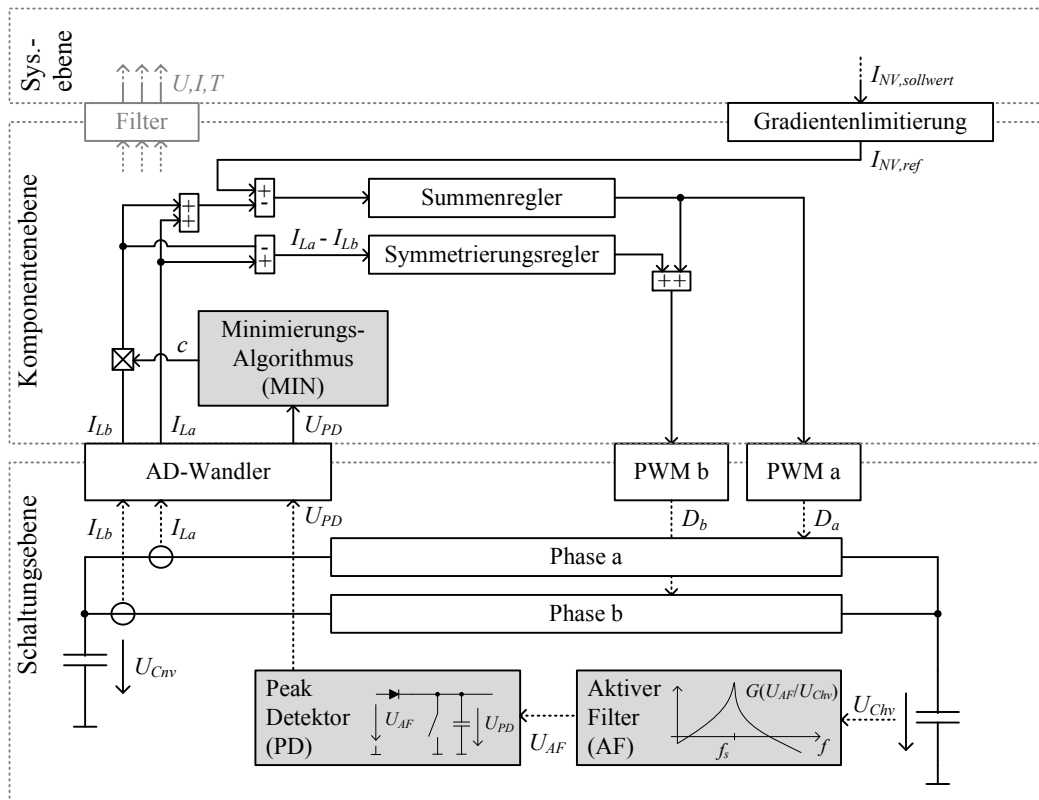


Abbildung 3.10: Blockdiagramm der Regelschleife zur Minimierung der 1. Harmonischen. Die zusätzliche Regelschleife ist in die hierarchische Reglerstruktur integriert und besteht aus einem aktiven Filter, Peak Detektor und einem Minimierungsalgorithmus. Die Stellgröße der zusätzlichen Regelschleife ist die Skalierung eines Stromsensorwerts.

$f_s = 200 \text{ kHz}$ bei 12 MHz liegt.

$$g_{bw} \geq |G_{AF}(f_s)| \cdot f_s \quad (3.21)$$

Höhere Schaltfrequenzen oder geringere Spannungswelligkeiten führen somit zu höheren Anforderungen an den aktiven Bandpassfilter.

Abbildung 3.11a zeigt das Ersatzschaltbild des beispielhaft implementierten aktiven Bandpassfilter mit 200 kHz Mittenfrequenz. Die Spannungswelligkeit wird mit dem Koppelkondensator C_{ac} in den Bandpass Filter eingespeist und dort verstärkt. In Abbildung 3.12 ist das aus Messungen extrahierte Bodediagramm des aktiven Filters dargestellt. Die 1. Harmonische wird mit ca. 32 dB verstärkt. Die Verstärkung fällt mit etwa 40 dB/Dekade für höhere Frequenzen ab, wodurch andere Signale als die 1. Harmonische gut unterdrückt werden.

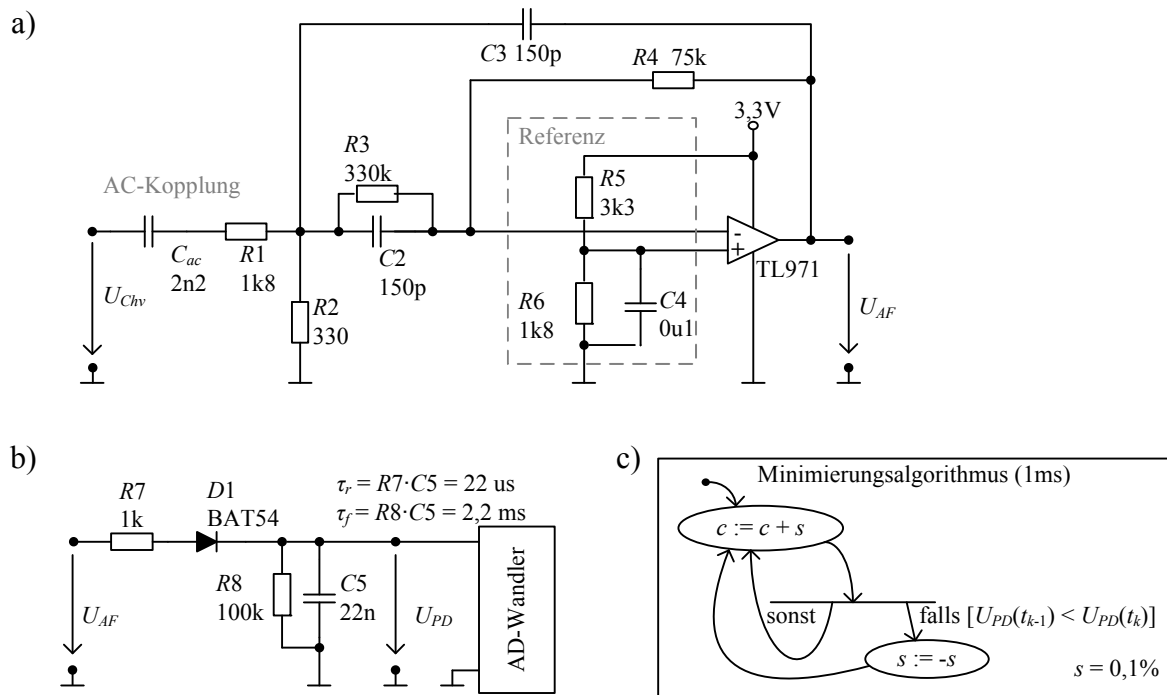


Abbildung 3.11: Beispielhafte Auslegung des aktiven Filters (a), des Peak-Detektors (b) und des Minimierungsalgorithmus (c).

Der PD ist als Halbwellengleichrichter mit Tiefpassfilter ausgeführt (siehe Abbildung 3.11b). Ein Spitzenwert wird mit einer Anstiegszeitkonstante von $\tau_r = R7 \cdot C5$ erfasst und gespeichert. Mit der Abfallzeitkonstante $\tau_f = R8 \cdot C5$ wird ein gespeicherter Spitzenwert wieder zurückgesetzt. Die Ausgangsspannung des Peak Detektors wird mit einem AD-Wandler jede Millisekunde abgetastet.

Abbildung 3.11c zeigt den Minimierungsalgorithmus. Der Sensorkorrekturfaktor wird mit einer Schrittweite von 0,1% inkrementell variiert. Wenn nach einer Veränderung das Ausgangssignal des Peak Detektors geringer wird, ist auch die 1. Harmonische geringer und der Sensorkorrekturfaktor wird in gleicher Richtung vergrößert bzw. verkleinert. Wenn das Signal des Peak Detektors zunimmt, wird die Suche nach dem Minimum in umgekehrter Richtung fortgesetzt.

3.3.3 Experimentelle Untersuchungen

Der reale Bandpassfilter verstärkt nicht nur die 1. Harmonische (Signalsensitivität) sondern auch unerwünschte Störgrößen (Störsensitivität), wie beispielsweise die 2. Harmonische. Der Minimierungsalgorithmus muss somit ein Minimum finden, dass

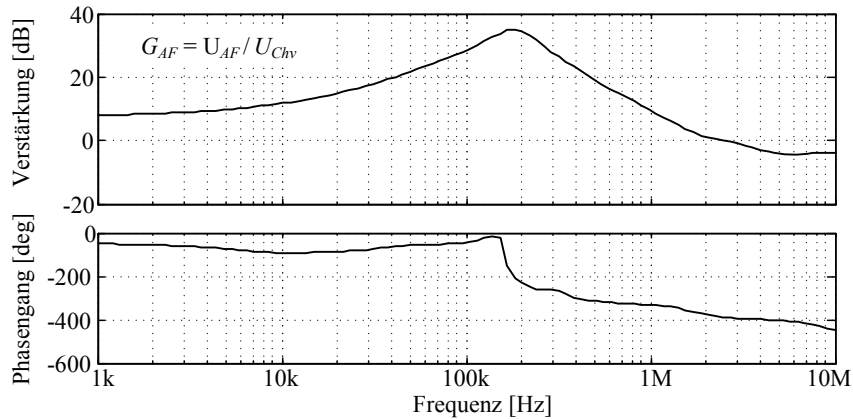


Abbildung 3.12: Bodediagramm des implementierten Bandpassfilter aus Abbildung 3.11a.

sich im Absolutwert aufgrund der Störungen stets verändert. Experimentell werden folgende Sensitivitäten untersucht:

- Sensitivität auf Phasenstromdifferenz (Signalsensitivität): $S_{\Delta I_{diff}} = \frac{\Delta U_{PD}}{\Delta I_{diff}}$
- Sensitivität auf Wandlereingangsstrom (Störsensitivität): $S_{I_{nv}} = \frac{\Delta U_{PD}}{\Delta I_{NV}}$
- Sensitivität auf Wandlerausgangsspannung (Störsensitivität): $S_{U_{hv}} = \frac{\Delta U_{PD}}{\Delta U_{HV}}$

Aus den Ergebnissen der Sensitivitätsanalysen lässt sich anschließend ableiten, wie schnell sich der Arbeitspunkt des Wandlers verändern darf, wenn der MIN durchgehend aktiv ist.

Abbildung 3.13 zeigt die Bus-Kondensator Spannungswelligkeit und die Filterantwort des AF und PD für zwei Betriebspunkte. Bei gleichen Phasenströmen oszilliert der Ausgang des Bandpassfilters bei 400 kHz (2. Harmonische) mit einer Amplitude von ca. 0,6 V (siehe Abbildung 3.13a). Bei einer Phasenstromdifferenz von 4 A (siehe Abbildung 3.13b) oszilliert der Ausgang dagegen bei der Schaltfrequenz (200 kHz) mit einer Amplitude von 3 V, was in etwa der Versorgungsspannung des Operationsverstärkers und damit der maximalen Amplitude entspricht.

Die Ausgangsspannung des Peak Detektors ist, aufgrund der Durchlassspannung der Diode D1, in beiden Betriebspunkten ca. 400 mV niedriger als die Spannungsspitzenwerte des aktiven Filters. Eine Änderung von 0 A auf 4 A Differenzstrom führt zu einem Ansteigen der PD Ausgangsspannung um ca. 1,2 V, was der Signalsensitivität entspricht. Diese Signalsensitivität ist in Abbildung 3.14 bei unterschiedlichen Wandlereingangsströmen und Wandlerausgangsspannungen dargestellt. Die Steigung der Kennlinien entspricht der Signalsensitivität $S_{\Delta I_{diff}}$. Die Signalsensitivität nimmt mit

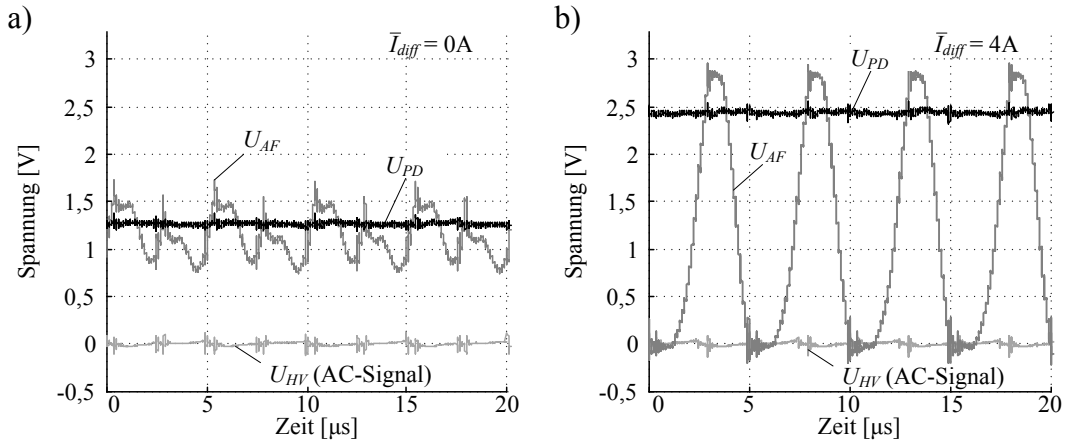


Abbildung 3.13: Gemessene Spannungswelligkeit des Bus-Kondensators C_{HV} und Filterantwort des aktiven Filters und Peak Detektors bei gleichen Phasenströmen (a) und bei einer Phasenstromdifferenz von 4 A (b).

höheren Differenzströmen ab. Dies liegt an der Sättigung des Operationsverstärker-Ausgangs. Linearisiert um den Arbeitspunkt bei $I_{NV}=20$ A; $U_{HV}=30$ V; $I_{diff} = 0$ A ist eine Signalsensitivität von etwa 350 mV/A zu beobachten.

Eine Analyse der Störsensitivitäten für unterschiedliche Arbeitspunkte ist in Abbildung 3.15 dargestellt. Im Vergleich zur Signalsensitivität (siehe Abbildung 3.14) sind die Störsensitivitäten geringer. Es ist eine Störsensitivität bezüglich Eingangsstromvariationen von ca. 7,5 mV/A (siehe Abbildung 3.15a) zu beobachten. Wie die Abbildung 3.15b zeigt steigt das Ausgangssignal des PD mit steigenden Wandlerausgangsspannungen an, weil die Belastung der Bus-Kondensatoren und damit die Spannungswelligkeit zunimmt. Die gemessene Störsensitivität bezüglich der Ausgangsspannungsänderungen liegt bei etwa 20 mV/V.

Der Minimierungsalgorithmus konvergiert dann gegen das Minimum der PD Ausgangsspannung, wenn die Veränderung im Sensorkorrekturfaktor eine höhere Veränderung in der PD Ausgangsspannung verursacht, als die Störungen aufgrund von Arbeitspunktverschiebungen:

$$S_{I_{diff}} \cdot \frac{d(c \cdot \bar{I}_{Lb})}{dt} > S_{U_{hv}} \cdot \frac{dU_{HV}}{dt} + S_{I_{nv}} \cdot \frac{dI_{NV}}{dt} \quad (3.22)$$

Wenn die Bedingung in Gleichung (3.22) nicht erfüllt wird, kann der Algorithmus zu schwingen beginnen.

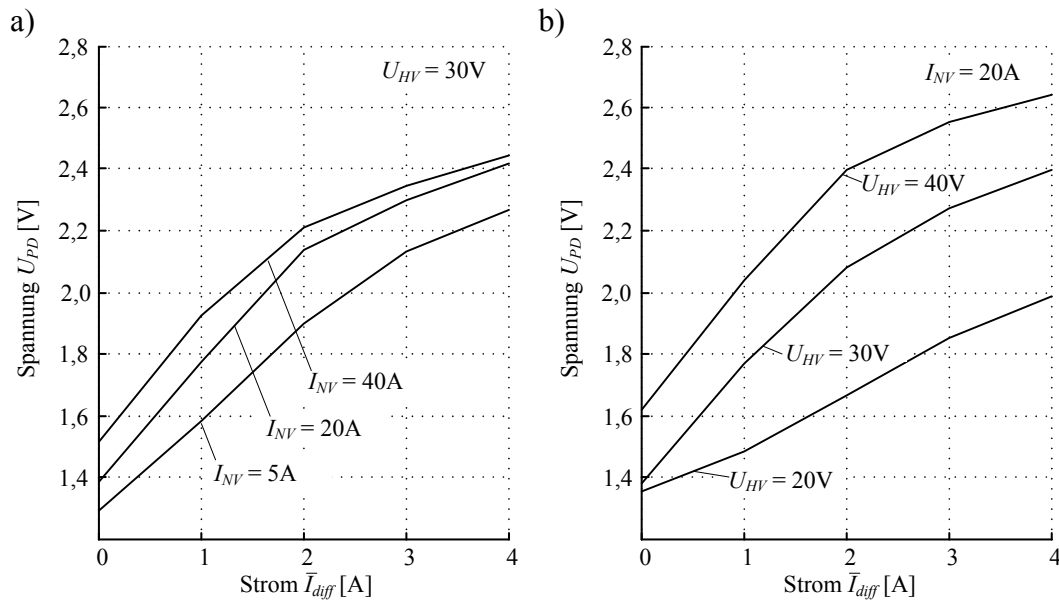


Abbildung 3.14: Gemessene Ausgangsspannung des Peak Detektors über den Differenzstrom bei unterschiedlichen Wandlereingangsströmen (a) und Wandlerausgangsspannungen (b). Die Steigung der Kennlinien entspricht der Signalsensitivität $S_{\Delta I_{diff}}$.

Die implementierte Regelschleife wird nun experimentell in einem typischen Wandlerbetrieb untersucht. Die kalibrierten Stromsensoren werden für den Symmetrierungsregler künstlich verstimmt, um eine Sensortoleranz von etwa $\pm 10\%$ zu simulieren. Der Minimierungsalgorithmus wird dauerhaft aktiviert.

Abbildung 3.16 zeigt gemessene Strom- und Spannungsverläufe während eines Wandlerbetriebs. Der Wandler regelt den Eingangsstrom I_{NV} und lädt dabei den Doppelschichtkondensator. Für das Experiment wurde keine besondere Betriebsstrategie hinterlegt. Die konstanten sowie sägezahnförmigen Stromsollwertvorgaben emulieren aber die Vorgaben einer möglichen Betriebsstrategie. Der MIN führt den Sensorkorrekturfaktor stetig nach, damit die Spannung am PD Ausgang minimal wird. Das Resultat ist eine nahezu ideale Phasenstromaufteilung mit einer Abweichung von maximal ± 1 A. Der Verlauf ohne die zusätzliche Regelschleife kann nicht gleichzeitig aufgenommen werden. Deshalb wurde der gemessene Stromverlauf mit einem konstanten Sensorkorrekturfaktor von $c=1$, zusätzlich dargestellt. Ohne den Sensorkorrekturfaktor weichen die beiden Ströme um bis zu 3 A ab. Im Folgenden werden für drei unterschiedliche Betriebsbedingungen ausgewählte Aspekte diskutiert:

Initiale Optimierungsphase; $t=[0..3s]$

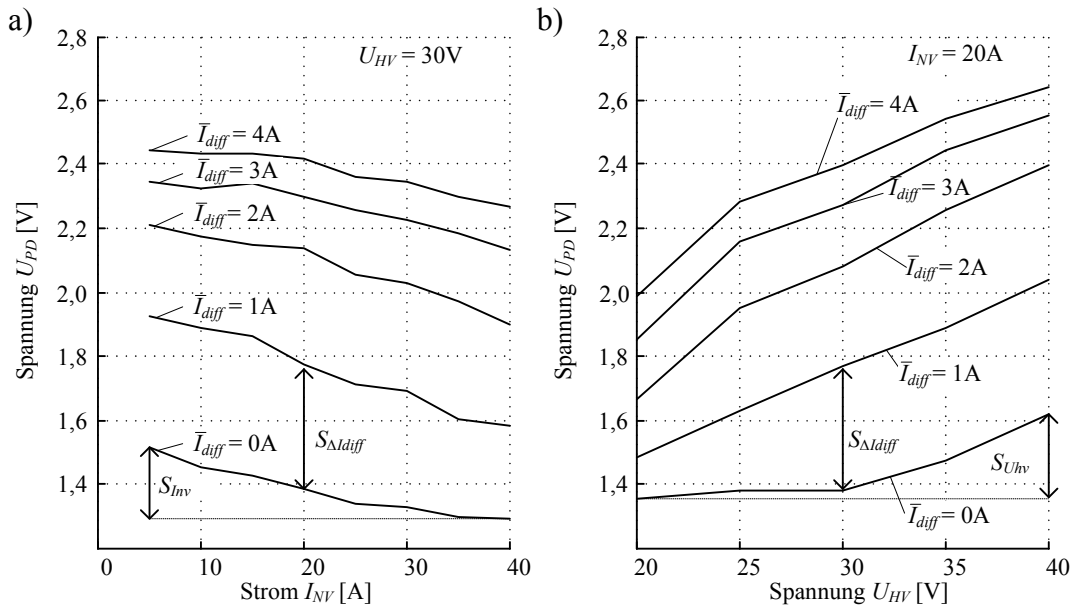


Abbildung 3.15: Gemessene Ausgangsspannung des Peak Detektors bei Variation der Wandlereingangsströme und der Phasenstromdifferenz (a) sowie Variation der Wandlerausgangsspannung und der Phasenstromdifferenz (b). Gekennzeichnet sind die linearisierten Signal- und Störsensitivitäten.

Zu Beginn beträgt die Phasenstromdifferenz ca. 2 A. Diese wird durch die Nachführung des Sensorkorrekturfaktors innerhalb einer Sekunde vollständig kompensiert. Wenn nichtlineare Sensorfehler gering sind, ist es vorteilhaft den eingestellten Sensorkorrekturfaktor zu speichern und anschließend den Minimierungsalgorithmus anzuhalten. Dann muss die Bedingung aus Gleichung (3.22) nicht mehr erfüllt werden. Wenn der Minimierungsalgorithmus dauerhaft aktiv ist, können aber auch nichtlineare Sensorfehler kompensiert werden.

Optimierung während Eingangsstromvariationen; $t = [3..10 s]$

Um eine Betriebsstrategie zu emulieren, wurde der Stromsollwert mit einem sägezahnförmigen Verlauf vorgegeben. Durch diese Variation im Arbeitspunkt verschiebt sich laufend das Minimum der PD Ausgangsspannung. Die Störsensitivität ist aber im Vergleich zur Signalsensitivität gering, wodurch der Algorithmus trotz dieser Verschiebung stets das Minimum findet. Die Variationen im Sensorkorrekturfaktor deuten auf nichtlineare Sensorfehler hin, die mit der Regelschleife kompensiert werden. Die vorgeschlagene Implementierung kann für die limitierten Eingangsstromvariationen von 200 A/s (siehe Kapitel 2.2.1) ohne Einschränkungen verwendet werden.

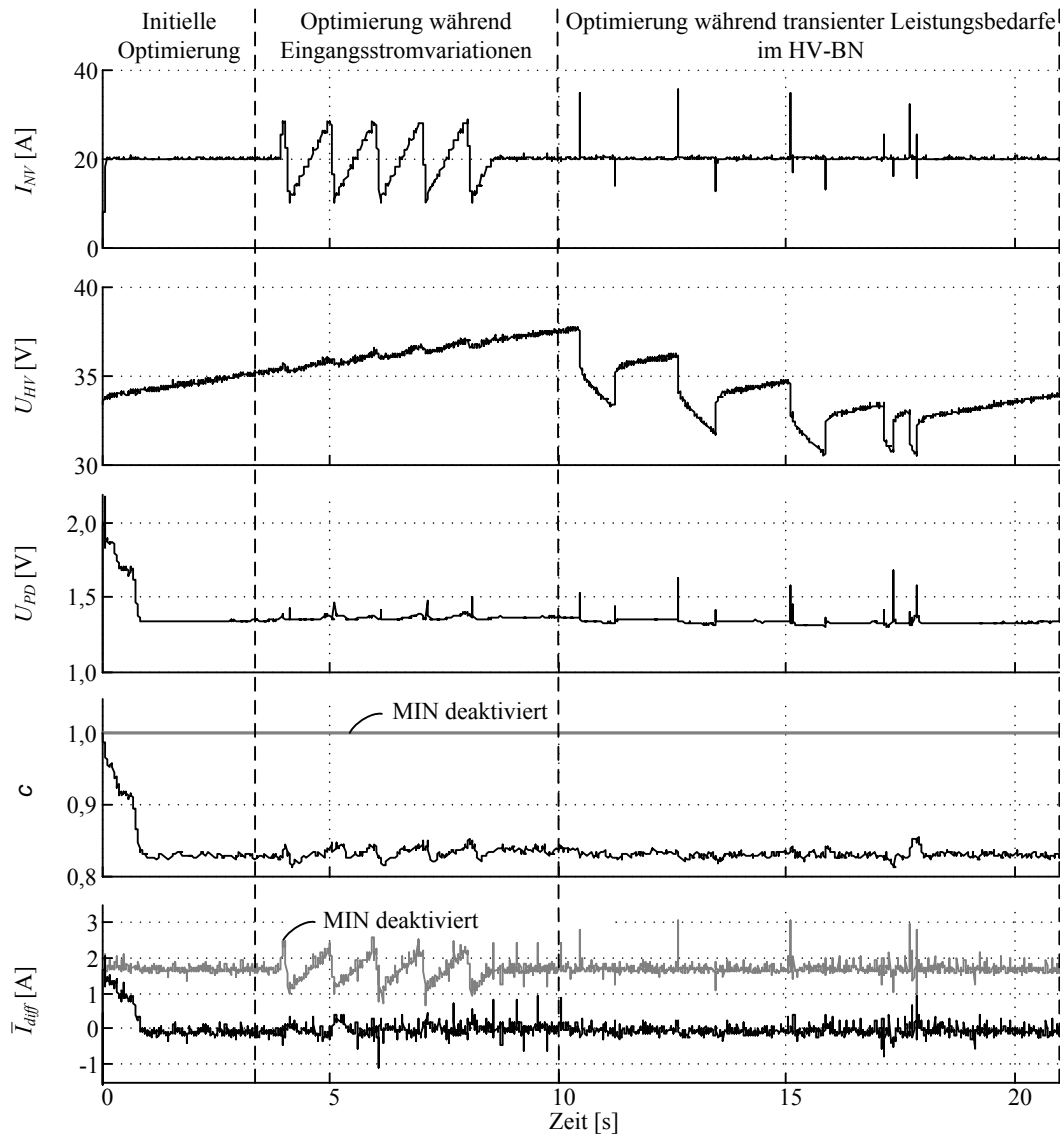


Abbildung 3.16: Gemessene Verläufe des Wandlereingangsstroms (I_{NV}), Wandlerausgangsspannung (U_{HV}), Peak Detektor Ausgangsspannung (U_{PD}), Sensorkorrekturfaktor (c) und Phasenstromdifferenz (\bar{I}_{diff}).

Optimierung während transientser Leistungsbedarfe im HV-BN; $t=[10..22s]$

Eine elektronische Last im HV-BN wurde mit 60 A puls förmigen Lastströmen programmiert (Leistungen bis ca. 2 kW). Diese transientser Leistungsbedarfe werden durch den Doppelschichtkondensator gedeckt, was zu Spannungsschwankungen im HV-BN führt. Wenn die Spannung im HV-BN fällt, sinkt auch die Ausgangsspannung am PD. Der Sensorkorrekturfaktor bleibt davon unbeeinflusst und die Phasenströme sind in

erster Näherung gleich hoch. Die Störunterdrückung des aktiven Filters sowie die Geschwindigkeit des Minimierungsalgorithmus sind für typische Hochleistungsverbraucher ausreichend.

3.4 Zusammenfassung der Phasenstrom-Symmetrierungsregelung

Mit der Analyse der quasi-stationären Stromaufteilung konnte gezeigt werden, dass die Problematik abweichender Phasenströme mit zunehmenden Wandlerwirkungsgraden ansteigt. Bei den hohen Wirkungsgraden von größer als 90% ist eine Symmetrierungsregelung erforderlich, um ungleiche Belastungen und Überschreitungen der zulässigen Phasenströme zu vermeiden. Bei Verwendung der Task-Shared-Reglerstruktur zur Symmetrierung der Phasenströme kann das Summenverhalten und Symmetrierungsverhalten getrennt optimiert werden, wodurch die Auslegung der Regelung erleichtert wird. Die Reglerstruktur wurde experimentell in einem Zweiphasenwandler untersucht kann aber theoretisch für eine beliebige Anzahl an Wandlerphasen erweitert werden.

Trotz der Symmetrierungsregelung führen vor allem Toleranzen in den Stromsensoren zu einer nichtidealen Auslöschung der 1. Harmonischen (bei der Boost-/Buck-Wandlertopologie im Bus-Kondensator C_{HV}). Wenn die 1. Harmonische beim EMV-Filterentwurf nicht berücksichtigt wird, kann dies zur Überschreitung zulässiger Grenzwerte für leistungsgebundene Störungen führen. Deshalb wurde eine Maßnahme entwickelt, die eine nahezu ideale Auslöschung der 1. Harmonischen trotz Sensortoleranzen ermöglicht. Mit der beispielhaften Auslegung und Implementierung wurde die Anwendbarkeit dieser Methode für Zweiphasenwandler in Mehrspannungsbordnetzen bestätigt. Bei mehr als zwei Wandlerphasen müssten $n - 1$ Harmonische berücksichtigt werden. Dies würde zu hoher Komplexität für den Minimierungsalgorithmus und der Signalaufbereitung (AF und PD) führen. Aus diesem Grund sollten weitere Untersuchungen für die Optimierung von Wandlerusername mit mehr als zwei Phasen durchgeführt werden.

4 Verbesserung des Synchrongleichrichterbetriebs durch Totzeitoptimierung

In halbbrückenbasierten Topologien wird ein MOSFET-Synchrongleichrichter mit einem quasi-komplementären Signal zum Steuerschalter angesteuert. Dadurch leitet der MOSFET-Kanal und Durchlassverluste der intrinsischen Diode werden vermieden. Ein zeitgleiches Leiten beider Schalter in der Halbbrücke muss aber verhindert werden, da sonst ein Halbbrückenkurzschluss entsteht, der zu einem Ausfall der Leistungsschalter führen kann. Um dies zu verhindern müssen Totzeiten in der Ansteuerung implementiert werden, in denen beide MOSFET-Kanäle nicht leiten, was schematisch in der Abbildung 4.2 mit dem Schaltzustand B dargestellt ist. Während dieser Zeit leitet jedoch die intrinsische Diode des Synchrongleichrichters den Strom und es entsteht zusätzliche Verlustleistung. In [89] wurden Verlustleistungsanteile in der Halbbrücke bezüglich ihrer Ursachen aufgeschlüsselt. In einer Spannungsversorgungsanwendung mit einem Buck-Wandler (12 V auf 1 V bei 20 A) sind über 20% der Verlustleistung auf die Diode des Synchrongleichrichters zurück zu führen und somit auf nicht ideale Totzeiten in der Ansteuerung (siehe Abbildung 4.1).

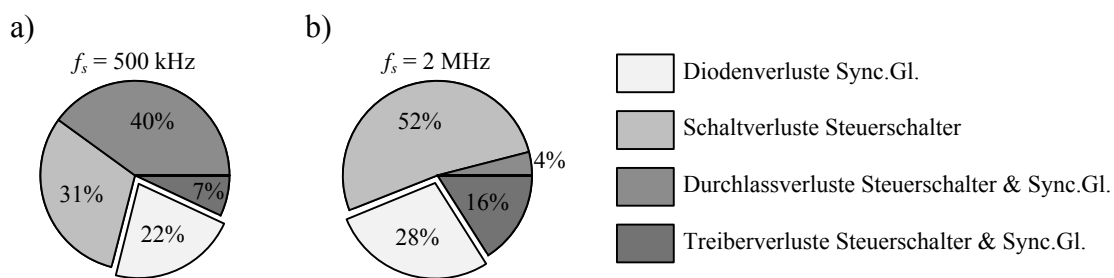


Abbildung 4.1: Anteil der Diodenverluste am Gesamtverlust eines Buck-Wandlers mit Synchrongleichrichtung bei 500 kHz (a) und 2 MHz Schaltfrequenz (b). Die Werte sind aus den Untersuchungsergebnissen in [89] entnommen.

Aus diesem Grund wurde eine Vielzahl an Maßnahmen entwickelt, um den Anteil der Diodenverluste zu reduzieren. Eine Optimierung der Schalter speziell für den

Steuerschalter- und Synchrongleichrichterbetrieb wurde in [90] diskutiert. Für eine Anwendung mit bidirektionalem Energietransfer ist diese Methode jedoch nicht geeignet, weil ein Schalter sowohl als Steuerschalter und als Synchrongleichrichter verwendet wird. Eine weitere bekannte Methode zur Optimierung des Synchrongleichrichterbetriebs sind Schottky Dioden, die parallel zu den MOSFETs geschaltet sind. Diese reduzieren die Ströme und Verluste der intrinsischen Diode aber wegen parasitärer Induktivitäten der Bauelementegehäuse nicht effektiv [91, 92]. Durch eine monolithische Integration von Schottky Dioden in den Schaltern kann der Einfluss parasitärer Induktivitäten vermieden werden [93, 94]. Allerdings führt diese Maßnahme zur Verschlechterung anderer Eigenschaften der Schalter, wie beispielsweise dem Durchlasswiderstand $R_{ds(on)}$. Deshalb wurden alternative Methoden entwickelt, die Ansteuertotzeiten reduzieren und Halbbrückenkurzschlüsse vermeiden [51, 53, 95–109]. Diese Methoden können wie folgt klassifiziert werden:

- Emulation eines idealen Gleichrichters [95].
- Totzeitoptimierung auf Basis von Schalterstrommessungen [96–98].
- Totzeitoptimierung auf Basis von Schalterspannungsmessungen [99–103].
- Sensorlose Totzeitoptimierungsmethoden [51, 53, 104–109].

Die Emulation des idealen Gleichrichters, wie es in [95] vorgeschlagen wurde, ist ein theoretischer Ansatz, der in der Praxis aufgrund von Verzögerungen in der Ansteuerung nicht zu einem optimalen Ansteuertiming führt. Optimierungsmethoden auf Basis von Schalterstrom- sowie Schalterspannungsmessungen [96–103] benötigen Sensoren mit hoher Bandbreite. Diese Sensoren müssen zudem häufig direkt im MOSFET Treiber implementiert werden [98, 102]. Um spezielle Bauelemente für die MOSFET Treiber oder Sensorik zu vermeiden, wurden sensorlose Methoden entwickelt. In diesem Zusammenhang wird eine Optimierungsmethode als sensorlos bezeichnet, wenn lediglich eine Sensorik verwendet wird, die bereits für die Wandlerregelung erforderlich ist. Das bedeutet, dass Schalterstrom- und Schalterspannungsverläufe nicht erfasst werden. Bei den sensorlosen Methoden variiert typischerweise ein digitaler Regler die Totzeiten und beobachtet die Verlustleistung des Wandlers. Die in [104–107] beschriebenen Optimierungsmethoden sind aber nur für Einphasenwandler oder konstanten Eingangs- und Ausgangsspannungen geeignet.

Im Folgenden wird eine sensorlose Optimierungsmethode für mehrphasige DC/DC-Wandler in Mehrspannungsbordnetzen vorgestellt. Als Ausgangssituation für die Optimierung ist die Parametrierung statischer Totzeiten zu betrachten. Diese berechneten statischen Totzeiten werden mit experimentellen Untersuchungen zum Schaltverhalten

in Abhängigkeit der Totzeit verglichen. Auf Basis dieser Untersuchungen wird zudem ein verhaltensmäßiges Verlustmodell erstellt, das für die Auslegung der sog. „beobachter basierten Totzeitoptimierung“ verwendet wird. Die vorgeschlagene Methode wird ohne Verwendung zusätzlicher Hardware in einem Wandlerprototypen implementiert. Der Einfluss optimierter Totzeiten auf den Wandlerwirkungsgrad, Spannungssoszillationen an den Leistungsschaltern sowie das EMV-Verhalten wird experimentell untersucht.

4.1 Ermittlung erforderlicher Totzeiten

In Abbildung 4.2 sind die quasi-komplementären PWM Signale, die Strom- und Spannungsverläufe des Steuerschalters sowie die zugehörigen Schaltzustände schematisch dargestellt. Aufgrund von Verzögerungen der MOSFET-Treiber und MOSFETs sind die Signal- und effektiven Totzeiten unterschiedlich. Ein Halbbrückenkurzschluss liegt dann vor, wenn die Dauer der effektiven Totzeiten negativ werden. Das bedeutet, es leiten kurzzeitig beide MOSFET-Kanäle gleichzeitig.

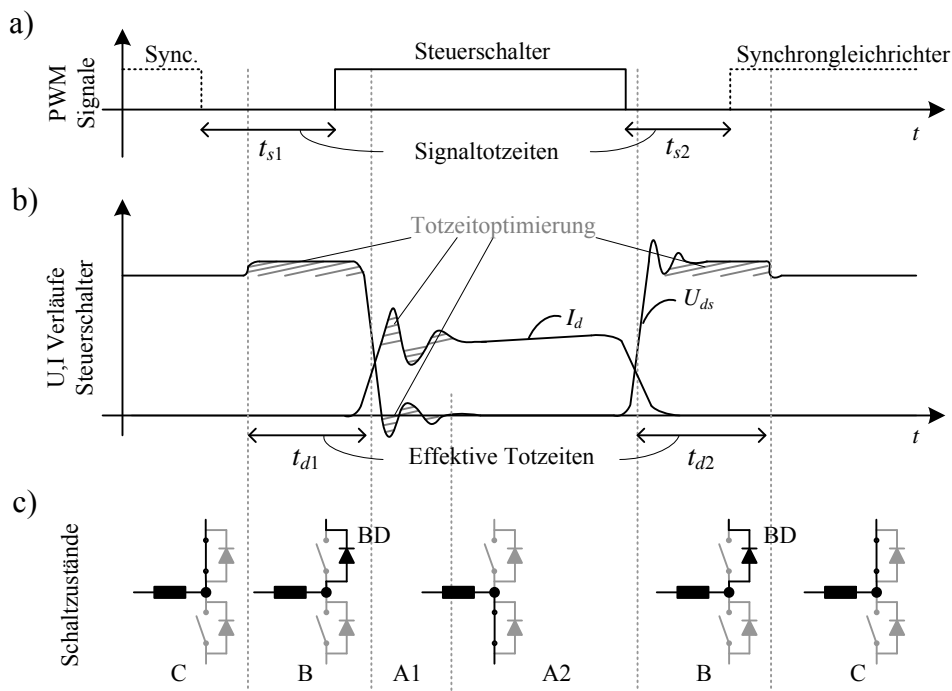


Abbildung 4.2: Quasi-komplementäre PWM Signale mit Totzeiten (a). Schematischer Strom- und Spannungsverlauf des Steuerschalters (b) sowie die zugehörigen Schaltzustände der Halbbrücke.

Bei ausreichend langen Totzeiten, die einen Halbbrückenkurzschluss vermeiden, können

folgende Schaltzustände beobachtet werden (siehe Abbildung 4.2c):

- A1 Kanal des Steuerschalters schaltet ein, wobei das nichtideale Ausschaltverhalten der Synchrongleichrichterdiode zu einer Stromüberhöhung führt.
- A2 Kanal des Steuerschalters leitet.
- B Die intrinsische Diode des Synchrongleichrichters leitet.
- C Der Kanal des Synchrongleichrichters leitet.

Ideal wäre eine Kommutierung von MOSFET-Kanal zu MOSFET-Kanal, um das Einschalten der Synchrongleichrichterdiode sowie Verlustleistung in den Zuständen B und A1 zu vermeiden. Aufgrund unbekannter Verzögerungen muss aber eine Totzeit eingefügt werden, um einen Halbbrückenkurzschluss sicher zu vermeiden.

Die erforderlichen Totzeiten in der Ansteuerung können mit folgenden Annahmen ermittelt werden:

t_{s1} : Das Ausschalten des Synchrongleichrichters muss abgeschlossen sein, wenn der Steuerschalter einschaltet (Zustandsübergang C nach A1/A2).

t_{s2} : Das Ausschalten des Steuerschalters muss abgeschlossen sein, wenn der Synchrongleichrichter einschaltet (Zustandsübergang A2 nach C).

Wie Abbildung 4.3 zeigt findet der Schaltvorgang eines Steuerschalters sowie eines Synchrongleichrichters in erster Näherung bei einer Gate-Source Spannung in Höhe der Millerplateau-Spannung (U_{pl}) statt [31, Kap. 6.16]. Die Schaltzeit des Steuerschalters im Wesentlichen durch die Ladung Q_{gd} limitiert. Da der Synchrongleichrichter bei einer geringen Drain-Source Spannung von etwa einem Volt schaltet, ist die Ladung Q_{gd} und damit die Schaltzeit im Synchrongleichrichterbetrieb vernachlässigbar [110]. Bevor jeweils die Millerplateau-Spannung erreicht wird, muss das Gate durch den MOSFET Treiber auf diese Spannung geladen bzw. entladen werden. Durch diese Lade bzw. Entladevorgänge entstehen Verzögerungen, die eine Abweichung der Signaltotzeit und der effektiven Totzeit zur Folge haben. Die effektiven Totzeiten werden im Folgenden definiert als die Zeitdauer, in der beide MOSFET-Kanäle nicht leiten. Im optimalen Fall ist die effektive Totzeit somit null.

Entsprechend der Schaltvorgänge in Abbildung 4.3 sollten die Signaltotzeiten entsprechend den Gleichungen (4.1) und (4.2) eingestellt werden.

$$t_{s1,opt}^* = t_{AG,1} - t_{ES,1} \quad (4.1)$$

$$t_{s2,opt}^* = t_{AS,1} + t_{AS,2} - t_{EG,1} \quad (4.2)$$

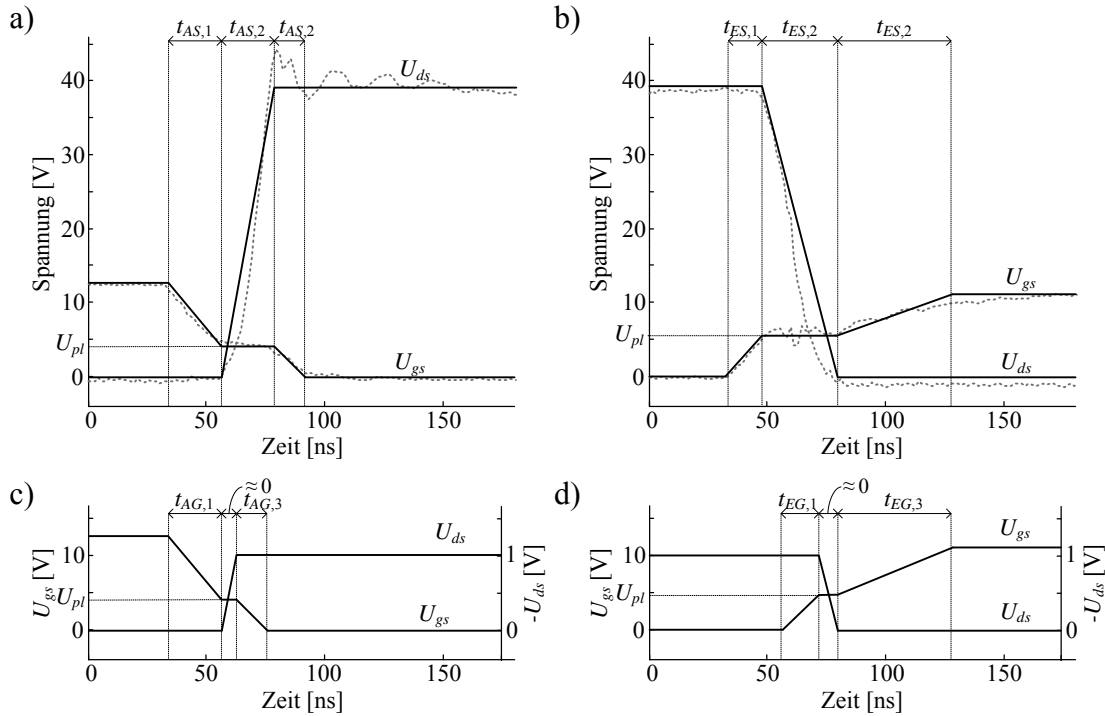


Abbildung 4.3: Ausschalt- (a) und Einschaltverhalten (b) sowie Verzögerungszeiten eines Steuerschalters abgeleitet aus gemessenen Verläufen. Der Synchrongleichrichter schaltet in erster Näherung bei einer vernachlässigbaren Millerladung und somit vernachlässigbarer Ausschalt- (c) sowie Einschaltzeit (d) [110].

Unter Annahme einer konstanten Treiberspannung U_{tr} und eines konstanten Treiberstroms I_{tr} während eines Schaltvorgangs können die Zeitdauern mit den Gleichungen (4.3) bis (4.7) ermittelt werden.

$$t_{AG,1} = \frac{C_{gs} \cdot (U_{tr} - U_{pl})}{I_{tr}} \quad (4.3)$$

$$t_{ES,1} = \frac{C_{gs} \cdot U_{pl}}{I_{tr}} \quad (4.4)$$

$$t_{AS,1} = \frac{C_{gs} \cdot (U_{tr} - U_{pl})}{I_{tr}} \quad (4.5)$$

$$t_{AS,2} = \frac{Q_{gd}}{I_{tr}} \quad (4.6)$$

$$t_{EG,1} = \frac{C_{gs} \cdot U_{pl}}{I_{tr}} \quad (4.7)$$

Die erforderlichen Signaltotzeiten lassen sich dann entsprechend der Gleichung (4.8)

und (4.9) berechnen.

$$t_{s1}^* = \frac{C_{gs} \cdot (U_{tr} - 2 \cdot U_{pl})}{I_{tr}} \quad (4.8)$$

$$t_{s2}^* = \frac{C_{gs} \cdot (U_{tr} - 2 \cdot U_{pl}) + Q_{gd}}{I_{tr}} \quad (4.9)$$

Wie der spätere Vergleich der berechneten und experimentell ermittelten idealen Signaltotzeiten in Tabelle 4.1 zeigt, liefert die Abschätzung mit Gleichung (4.8) und (4.9) lediglich einen Anhaltspunkt zur Einstellung der Totzeiten.

4.2 Untersuchung des MOSFET-Schaltverhaltens in Abhängigkeit der Totzeit

In diesem Kapitel wird der Einschalt- und Ausschaltstromverlauf des Steuerschalters in Abhängigkeit der Totzeit experimentell untersucht. Diese Untersuchungen werden mit unterschiedlichen MOSFET Technologien durchgeführt, wodurch ein einfaches Verhaltensmodell zur Abschätzung der Verluste in Abhängigkeit der Totzeit abgeleitet werden kann. Ein Vergleich berechneter und gemessener Signaltotzeiten zeigt, dass eine Optimierung notwendig ist, um Diodenverluste des Synchrongleichrichters sowie Halbbrückenkurzschlüsse zu vermeiden.

4.2.1 Einschaltverhalten des Steuerschalters

Abbildung 4.4a zeigt die Strömverläufe des Steuerschalters bei ausreichend langen Signaltotzeiten t_{s1} (kein Halbbrückenkurzschluss). Die Stromüberhöhung beim Einschalten wird durch die nichtidealen Eigenschaften der Synchrongleichrichterdiode verursacht (Reverse Recovery). Kurz vor dem Einschalten war die intrinsische Diode des Synchrongleichrichters im leitenden Zustand, wodurch sich beim Ausschalten der Diode noch freie Ladungsträger in der Driftzone befinden. Diese müssen zunächst ausgeräumt werden bevor die Diode sperren kann. Dadurch entsteht eine Rückstromspitze, die als Stromüberhöhung beim Steuerschalter Einschaltvorgang beobachtbar ist. Sobald die Totzeiten in einen Bereich unterhalb ca. 100 ns eingestellt werden nimmt die Rückstromspitze (I_{rr}) ab. Die in der Diode gespeicherte Ladung (Q_{rr}) kann mit einer Dreiecksnäherung, siehe Gleichung (4.10), ermittelt werden. Die Zeit t_{rr} entspricht

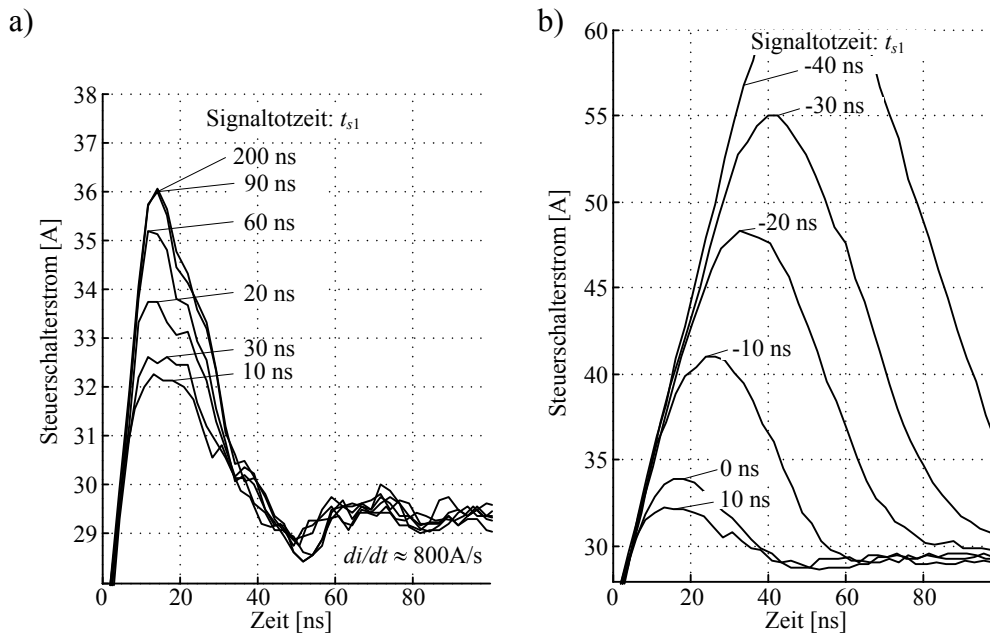


Abbildung 4.4: Gemessener Einschaltstromverlauf des Steuerschalters bei unterschiedlichen Signaltotzeiten. Eine Reduktion der Signaltotzeiten führt bei positiven effektiven Totzeiten zu einer Reduktion der Stromüberhöhung (a). Bei negativen effektiven Totzeiten steigt die Stromüberhöhung durch einen Halbbrückenkurzschluss an (b). Verwendeter MOSFET: IRF3505.

dabei der Zeitdauer der Stromüberhöhung.

$$Q_{rr} = \frac{1}{2} \cdot I_{rr} \cdot t_{rr} \quad (4.10)$$

Abbildung 4.4b zeigt eine Zunahme der Stromüberhöhungen für kürzere t_{s1} . Nach Überschreiten der optimalen Signaltotzeit (hier 10 ns) steigt die Stromüberhöhung mit über 5 A je 10 ns Totzeitreduktion an. Wegen des limitierten Stromanstiegs führt ein kurzer Halbbrückenkurzschluss jedoch nicht unmittelbar zu einem Ausfall, weil je nach Auslegung kurzzeitig höhere Schalterströme zulässig sind. Mit Gleichung (4.11) kann die zulässige negative Totzeit ermittelt werden.

Die Höhe der Einschaltstromspitze und der Verlauf der Speicherladung sind in Abbildung 4.5 für unterschiedliche Signaltotzeiten sowie MOSFET Technologien dargestellt. Für alle untersuchten MOSFET Technologien ist der gleiche charakteristische Verlauf der Rückstromspitze zu beobachten. Bei langen effektiven Totzeitwerten, d.h. größer als ca. 100 ns sind, erreicht die Rückstromspitze einen gesättigten Wert. Die Rückstromspitze kann durch Reduktion der Totzeiten um etwa 50% bei aktuellen Trench MOSFET

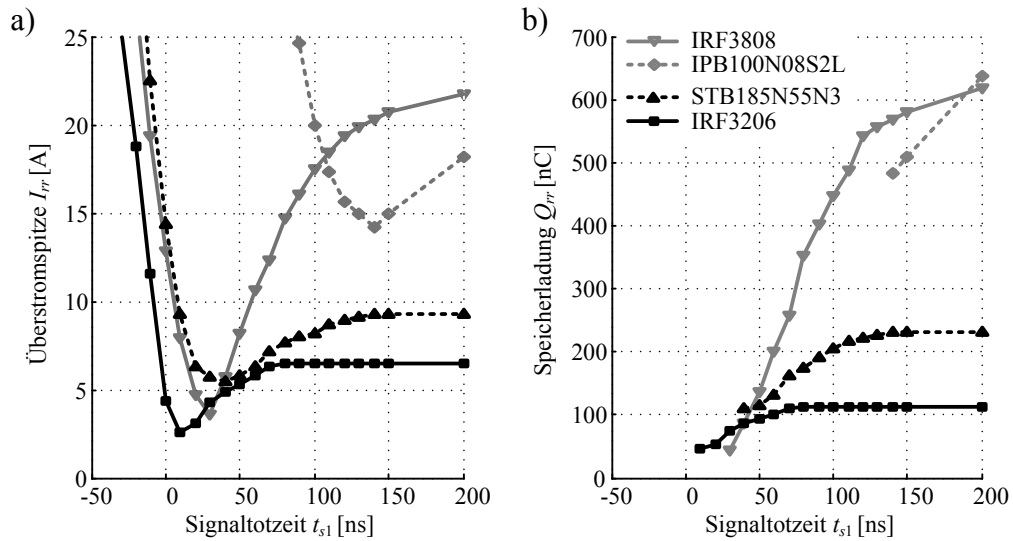


Abbildung 4.5: Gemessene Einschaltstromüberhöhung (Rückstromspitze) (a) und Speicherladung der Synchrongleichrichterdiode in Abhängigkeit der Totzeit für unterschiedliche MOSFET Technologien (b). IRF3808 sowie IPB100N08S2L sind Planar-Technologien und STB185N55F3 sowie IRFS3206 Trench-Technologien.

Technologien und um über 80% bei einer älteren Planar MOSFET Technologie reduziert werden. Bei überlappender Ansteuerung ist das Verhalten der betrachteten MOSFETs näherungsweise gleich, weil diese aufgrund des gleichen Gehäusetyps (D2Pak) ähnliche parasitäre Induktivitäten besitzen und somit die Stromgradienten der Schaltvorgänge in erster Näherung identisch sind.

In Abbildung 4.5b ist der Verlauf der Speicherladung in Abhängigkeit der Totzeit dargestellt. Wie mit einer MOSFET Simulation auf Halbleiterebene in [111] bestätigt wurde, dauert das Einschalten der intrinsischen Diode in solchen Anwendungen einige 10 ns. Wenn das Einschalten der Diode zum Ausschaltzeitpunkt noch nicht abgeschlossen ist, befinden sich weniger freie Ladungsträger in der Driftzone. Somit wird die gespeicherte Ladung in der Diode durch Reduktion der Ansteuertotzeiten minimiert. In [108] wurde experimentell gezeigt, dass die bleibende Speicherladung bei optimalen Ansteuertotzeiten durch die Sperrschichtkapazität (bzw. Ausgangskapazität) des Bauelements verursacht wird.

4.2.2 Ausschaltverhalten des Steuerschalters

Abbildung 4.4 zeigt die Messung von Ausschaltströmen des Steuerschalters in Abhängigkeit der Signaltotzeit t_{s2} . Ausgehend von langen Totzeiten verändern sich die

Stromverläufe bis zum Erreichen der idealen Signaltotzeit nicht. Ab einer Signaltotzeit von kleiner als 30 ns leiten kurzzeitig beide MOSFET-Kanäle (Halbbrückenkurzschluss).

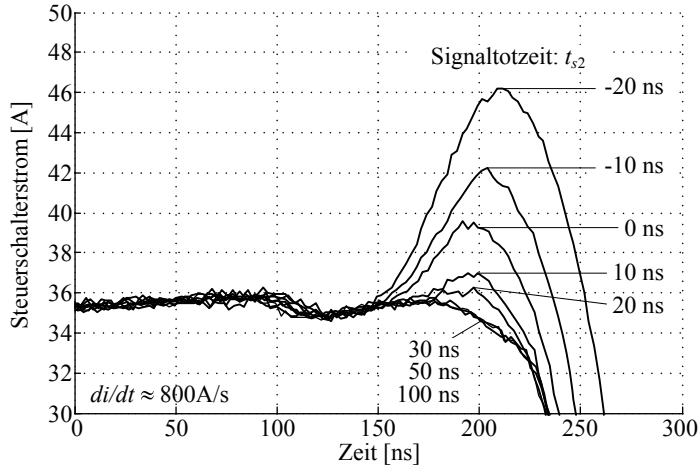


Abbildung 4.6: Gemessener Ausschaltstromverlauf bei unterschiedlichen Totzeiten. Verwendeter MOSFET: IRF3505

Analog zu den Einschaltvorgängen wird auch hier der Stromanstieg durch parasitäre Induktivitäten in der Halbbrücke limitiert. Mit Gleichung (4.11) kann die zulässige negative effektive Totzeit beim Ein- und Ausschalten in Abhängigkeit des zulässigen Schalterstroms (I_{max}) sowie der Ausgangsspannung und parasitärer Induktivitäten der Leistungsschalter ($L_{par,LS}$ und $L_{par,HS}$) abgeschätzt werden.

$$t_d = - \frac{(I_{max} - \bar{I}_L) \cdot (L_{par,LS} + L_{par,HS})}{U_{HV}} \quad (4.11)$$

Ein kurzzeitiger Halbbrückenkurzschluss ist somit zulässig, sollte aber wegen erhöhter Verlustleistung vermieden werden.

4.2.3 Verhaltensmodell der Verlustleistung in Abhängigkeit der Totzeit

In Abbildung 4.7 sind die Verlustleistungen über den Signaltotzeiten schematisch aufgetragen. Die Ein- und Ausschalttotzeiten werden jeweils einzeln betrachtet. Für die nicht betrachtete Totzeit wird jeweils der optimale Wert angenommen. Wie die experimentellen Untersuchungen in [108] zeigten, kann der Einfluss parasitärer Kapazitäten in der Halbbrücke bei modernen MOSFET Technologien mit niedriger Ausgangskapazität vernachlässigt werden.

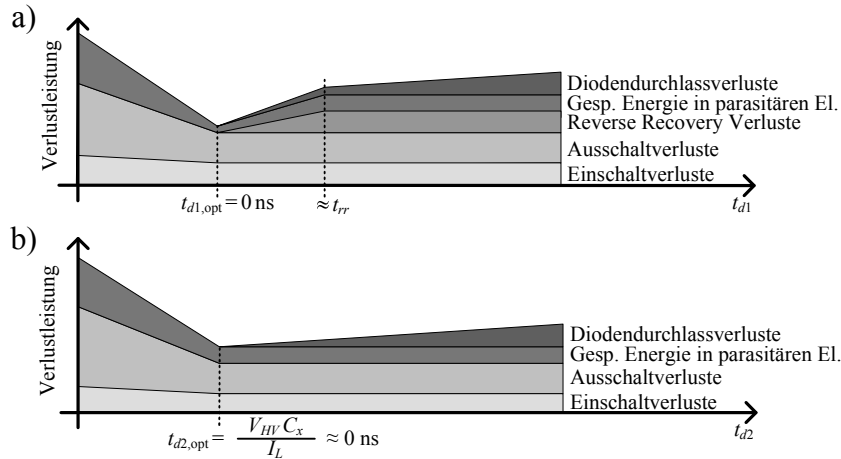


Abbildung 4.7: Schematischer Verlauf der Verlustleistung in der Halbbrücke in Abhängigkeit der Totzeiten t_{d1} (a) und t_{d2} (b).

Mit fallender Totzeit nimmt die Leitdauer der intrinsischen Diode ab. Die mittlere Verlustleistung aufgrund der Diodendurchlassspannung U_f nimmt deshalb linear mit der Reduktion der Totzeiten ab ($U_f \cdot I \gg R_{ds(on)} \cdot I^2$). In erster Näherung kann der mittlere Drosselstrom als Gleichrichterstrom während des Ein- und Ausschaltens verwendet werden:

$$\begin{aligned} P_{V,BD}|_{t_{d1}>0; t_{d2}>0} &= U_f \cdot (I_{L,ein} \cdot t_{d1} + I_{L,aus} \cdot t_{d2}) \cdot f_s \\ &\approx U_f \cdot \bar{I}_L \cdot (t_{d1} + t_{d2}) \cdot f_s \end{aligned} \quad (4.12)$$

Wie die experimentellen Untersuchungen in [108] sowie die Halbleitersimulation aus [111] zeigte, ist die gespeicherte Ladung in der Diode abhängig von dessen Leitdauer. Die Ausschaltverluste der Diode (Reverse Recovery Verluste) können deshalb mit Gleichung (4.13) ermittelt werden, wobei die Speicherladung Q_{rr} eine Funktion der effektiven Totzeit (Leitdauer der Diode) ist.

$$P_{V,rr}|_{t_{d1}>0} = \frac{1}{2} \cdot Q_{rr}(t_{d1}) \cdot U_{HV} \cdot f_s \quad (4.13)$$

Die Funktion der Speicherladung kann, wie in [108] erläutert, verhaltensmäßig mit Gleichung (4.14) ermittelt werden:

$$Q_{rr}(t_{d1}) = \begin{cases} Q_{rr,s} & \text{für } t_{d1} \geq t_{BD,ein} \\ Q_{oss} + (Q_{rr,s} - Q_{oss}) \cdot \frac{t_{d1}}{t_{BD,ein}} & \text{für } t_{BD,ein} > t_{d1} \geq 0 \end{cases} \quad (4.14)$$

Für lange Totzeitwerte ist der Einschaltvorgang der Diode vollständig abgeschlossen und die gespeicherte Ladung kann als konstant angenommen werden. Wenn der Einschaltvorgang der Diode noch nicht abgeschlossen ist, wird die Speicherladung in erster Näherung linear mit der Totzeit reduziert (siehe Abbildung 4.5). Bei einer idealen Totzeit verursacht lediglich noch die Sperrschichtkapazität des Bauelements eine gespeicherte Ladung [108]. Bei den untersuchten MOSFETs konnte für die Einschaltdauer der Diode in etwa die typische Rückstromzeit beobachtet werden ($t_{BD, ein} \approx t_{rr}$).

Bei Totzeiten, die zu einem Halbbrückenkurzschluss führen, werden neben Einschaltverlusten und Verlusten durch gespeicherte Energien in parasitären Elementen vor allem die Ausschaltverluste erhöht. Bei negativen Werten für die Totzeit t_{d1} können die Ausschaltverluste des Synchrongleichrichters nicht mehr vernachlässigt werden. Der Synchrongleichrichter schaltet in diesem Fall wie ein Steuerschalter, wobei die Schaltverluste vereinfacht aus der Kommutierungssteilheit, der Totzeit, sowie der Wandlerausgangsspannung ermittelt werden können (siehe Gleichung (4.15)).

$$P_{V, HK} |_{t_{d1} < 0} = \frac{1}{2} \cdot U_{HV} \cdot \frac{di}{dt} \cdot t_{d1}^2 \cdot f_s \quad (4.15)$$

$$P_{V, HK} |_{t_{d2} < 0} = \frac{1}{2} \cdot U_{HV} \cdot \frac{di}{dt} \cdot t_{d2}^2 \cdot f_s \quad (4.16)$$

Bei negativen Werten der Totzeit t_{d2} muss der Steuerschalter einen höheren Strom abschalten. Diese zusätzlichen Verluste können analog zu den Abschaltverlusten des Synchrongleichrichters bei negativen Totzeiten t_{d1} mit Gleichung (4.16) ermittelt werden.

4.2.4 Vergleich berechneter und experimentell ermittelter Signaltotzeiten

Die in Kapitel 4.1 berechneten und in Kapitel 4.2 experimentell ermittelten Signaltotzeiten werden in diesem Kapitel verglichen, um reale Abweichungen in der Anwendung abzuschätzen. Daraus kann eine Parametrierung statischer Totzeiten abgeleitet werden. Diese dienen als Startwert vor einem Optimierungsvorgang als sogenannte „sichere“ Totzeiten.

Die experimentell ermittelten Totzeiten beinhalten keine Toleranzen der Ansteuerung, weil lediglich die MOSFETs in der Halbbrücke getauscht wurden. Die Verzugszeiten des MOSFET Treibers für den Steuerschalter und Synchrongleichrichter sind im Herstellerdatenblatt als symmetrisch mit einer Abweichung von kleiner als 10 ns

spezifiziert.

Tabelle 4.1: Vergleich berechneter und gemessener Signaltotzeiten für unterschiedliche MOSFETs. Die Bauelementeparameter der MOSFETs sind im Anhang C.8 aufgeführt.

MOSFET	Berechnete Totzeiten		Gemessene Totzeiten		Abweichung	
	t_{s1}^*	t_{s2}^*	t_{s1}	t_{s2}	ςt_{s1}	ςt_{s2}
IPB025N08N3	13 ns	43 ns	70 ns	40 ns	-57 ns	3 ns
IPB037N06N3	6 ns	15 ns	10 ns	-10 ns	-4 ns	25 ns
IPB100N08S2L	9 ns	79 ns	140 ns	150 ns	-131 ns	-71 ns
IRF2907z	2 ns	67 ns	10 ns	20 ns	-8 ns	47 ns
IRF3805	2 ns	74 ns	10 ns	30 ns	-2 ns	44 ns
IRF3808	11 ns	61 ns	30 ns	30 ns	-19 ns	31 ns
IRFS3206	10 ns	45 ns	10 ns	0 ns	0 ns	45 ns
IRFS3207	0 ns	68 ns	10 ns	-10 ns	-10 ns	78 ns
NEC110N055PUJ	7 ns	52 ns	40 ns	50 ns	-33 ns	2 ns
STB160N75F3	0 ns	26 ns	30 ns	50 ns	-30 ns	-24 ns
STB185N55F3	5 ns	31 ns	40 ns	60 ns	-35 ns	-29 ns
Minimum					-131 ns	-71 ns
Maximum					0 ns	78 ns
Differenz					131 ns	149 ns

Die Totzeiten t_{s1} wurden mit einer Ausnahme zu klein berechnet. Die maximale Abweichung lag bei 131 ns. Bei Verwendung der berechneten Totzeiten würde somit stets ein Halbbrückenkurzschluss entstehen, der hohe Verlustleistungen zur Folge hätte. Die Totzeiten t_{s2} wurden hingegen sowohl zu groß als auch zu klein berechnet. Die maximale Abweichung lag bei 149 ns. Folgende Ursachen können für diese Abweichungen in Betracht gezogen werden:

- Bei der Charakterisierung dynamischer Eigenschaften moderner MOSFETs spielt der Messaufbau eine wesentliche Rolle. Der Messaufbau ist aber nicht standardisiert, weshalb hohe Toleranzen die Folge sind.
- Die Betriebsparameter der Kommutierungsteilheit und Stromdichte in der Bauelementecharakterisierung unterscheidet sich erheblich von den Werten einer wirkungsgradoptimierten Anwendung, die hier betrachtet wurde.
- Der intrinsische Gatewiderstand ist meist nicht charakterisiert. Wie in [96] gezeigt, verändert sich aber bei Variation des Gatewiderstands die effektive Totzeit.
- Der Gatestrom ist während eines Schaltvorgangs nicht konstant wie bei der

Berechnung der Totzeiten angenommen wurde.

Wegen dieser Toleranzen und Unsicherheiten müssen in der Praxis nach wie vor Erfahrungswerte zur Parametrierung der Totzeiten verwendet werden. Totzeitwerte von etwa 200 ns, wie sie für ähnliche Anwendungen häufig eingesetzt werden, können aufgrund der durchgeführten Untersuchungen als „sichere“ Totzeiten bestätigt werden.

4.2.5 Fazit aus den Untersuchungen zum Schaltverhalten

Folgende Punkte lassen sich aus den Untersuchungen zum Schaltverhalten in Abhängigkeit der Totzeit zusammenfassen:

- Mit der Anpassung von Totzeiten kann der Synchrongleichrichterbetrieb optimiert werden.
- Kurze Überlappungszeiten (Halbbrückenkurzschluss) führen nicht zwangsläufig zu einem Ausfall von Bauelementen.
- Signaltotzeiten können mit Datenblattangaben nicht exakt berechnet werden.
- Signaltotzeiten von ca. 200 ns konnten in dieser Anwendung als „sichere“ Signaltotzeiten bestätigt werden.

4.3 Beobachter basierte Methode zur Optimierung der Totzeiten

Das Ziel der Methode ist es während des Wandlerbetriebs Signaltotzeiten einzustellen, die zu optimalen effektiven Totzeiten führen. Information über die spezifischen Verzögerungen in den MOSFET Treibern und MOSFETs werden hierfür nicht vorausgesetzt.

Die Methode basiert darauf, dass die Totzeiten in einer Wandlerphase variiert werden und die daraus resultierenden Änderungen im Übertragungsverhalten durch einen Vergleich mit den anderen Wandlerphasen (Beobachter) erkannt werden. Jede Wandlerphase emuliert bei Anwendung einer Phasensymmetrierungsregelung die Zustandsvariablen (gemittelte Größen) der anderen Wandlerphasen. Dieser intrinsische - in Hardware implementierte - Beobachter kann somit als ideales Echtzeitmodell mit minimalen Modellunsicherheiten betrachtet werden. Die Abweichungen im Übertragungsverhalten der Wandlerphasen können festgestellt werden, indem eine Tastverhältnisdifferenz zweier Wandlerphasen gemessen wird.

Eine Tastverhältnisdifferenz aufgrund unterschiedlicher Verlustleistungen in den Wandlerphasen kann mit einem Modell analog zu Abbildung 3.1 ermittelt werden. Wegen der Phasensymmetrierungsregelung können die mittleren Ströme in den Wandlerphasen in erster Näherung gleich angenommen werden:

$$\bar{I}_L = \bar{I}_{La} = \bar{I}_{Lb} = \dots = \bar{I}_{Lx} \quad (4.17)$$

Wie in Gleichung (4.18) gezeigt, lässt sich für jede Wandlerphase das Spannungsübersetzungsverhältnis in Abhängigkeit des Tastverhältnisses und der Verlustleistung $P_{V,x}$ darstellen.

$$\frac{U_{NV}}{U_{HV} + \frac{P_{V,x}}{\bar{I}_L}} = 1 - D_x \quad (4.18)$$

Da die Eingangs- und Ausgangsspannung sowie die Ströme der Wandlerphasen gleich sind, kann die Gleichung (4.18) für zwei unterschiedliche Wandlerphasen gleichgesetzt werden:

$$D_a \left(\frac{P_{V,a}}{\bar{I}_L \cdot U_{HV}} + 1 \right) - D_b \left(\frac{P_{V,b}}{\bar{I}_L \cdot U_{HV}} + 1 \right) = \frac{P_{V,a} - P_{V,b}}{\bar{I}_L \cdot U_{HV}} \quad (4.19)$$

Mit den Annahmen: $\frac{P_{V,a}}{\bar{I}_L \cdot U_{HV}} \ll 1$ und $\frac{P_{V,b}}{\bar{I}_L \cdot U_{HV}} \ll 1$ kann Gleichung (4.20) aus Gleichung (4.19) abgeleitet werden.

$$\begin{aligned} D_a - D_b &\approx \frac{P_{V,a} - P_{V,b}}{\bar{I}_L \cdot U_{HV}} \\ D_{\text{diff}} &\approx \frac{P_{V,\text{diff}}}{\bar{I}_L \cdot U_{HV}} \end{aligned} \quad (4.20)$$

Minimale Verluste in einer Wandlerphase führen also zu einem minimalen Tastverhältnis für einen Betriebspunkt. Wenn sich das Spannungsübersetzungsverhältnis oder der Strom in beiden Phasen gleichzeitig verändert hat dies aufgrund der relativen Betrachtung keine Auswirkung auf die Tastverhältnisdifferenz. Die Gleichung 4.20 kann auch bei mehr als zwei Phasen angewendet werden. Die Optimierungsmethode benötigt lediglich eine Differenz zwischen der Phase, die aktuell optimiert wird, und den anderen $n - 1$ Phasen. Die $n - 1$ Phasen können beispielsweise durch Mittelung der Größen zu

einer virtuellen Phase zusammengefasst werden:

$$D_1 - \frac{\sum_{x=2}^n D_x}{n-1} \approx \frac{P_{V,1} - \frac{\sum_{x=2}^n P_{V,x}}{n-1}}{\bar{I}_L \cdot U_{HV}} \quad (4.21)$$

Eine minimale Verlustleistung einer Phase kann somit entsprechend dem Zweiphasenwandler aus Gleichung (4.20) erkannt werden. Im Folgenden wird aus Gründen der Übersichtlichkeit nur die Optimierung eines Zweiphasenwandlers betrachtet.

In Abbildung 4.8 ist eine Wandlerregelung mit der Totzeitoptimierung in Blockstruktur dargestellt. Der Stromregler ist mit der in Kapitel 3.2 diskutierten Task-Shared-Reglerstruktur implementiert. Ein Optimierungsalgorithmus kann die Totzeiten in den PWM-Modulen verändern. Abweichungen der Tastverhältnisdifferenz, die nach einer Totzeitveränderung auftreten, sind ein Indikator für Veränderungen im Übertragungsverhalten einer Wandlerphase. Ein relativer Abfall der Tastverhältnisdifferenz ($D_a - D_b$) ist korreliert mit einer relativen Verbesserung der Wandlerphase a , bzw. ein Anstieg der Tastverhältnisdifferenz mit einer relativen Verbesserung der Wandlerphase b .

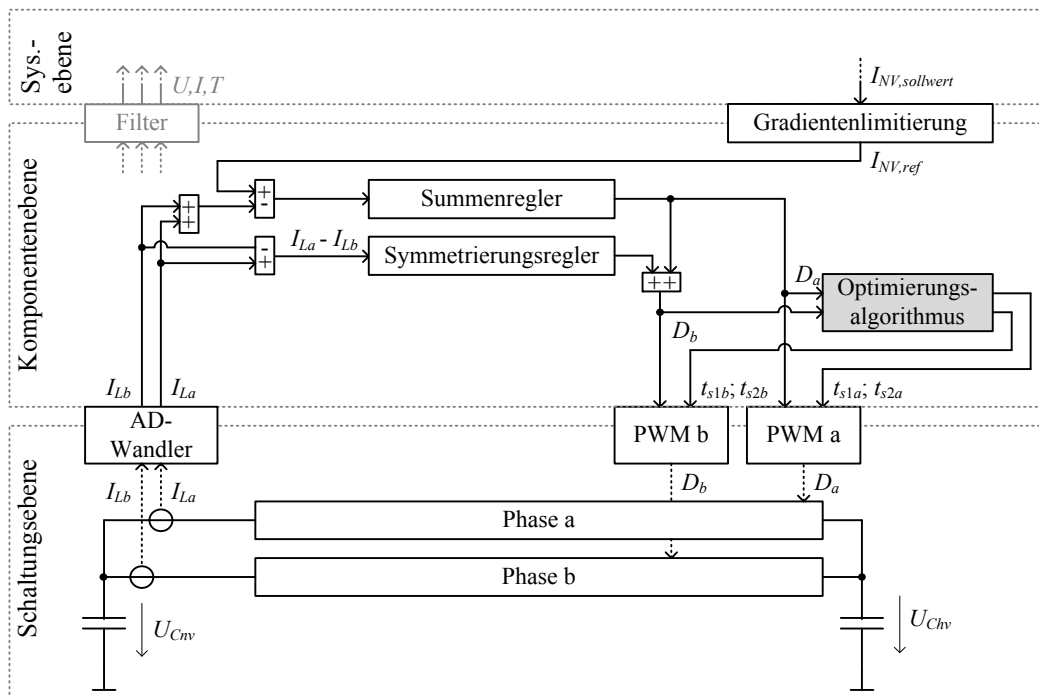


Abbildung 4.8: Einbindung der Totzeitoptimierung in die hierarchische Reglerstruktur. Der Optimierungsalgorithmus läuft parallel zur Regelung der Komponentenebene.

Die Optimierung ist unabhängig vom Stromregler und kann deshalb in der Komponentenebene unabhängig von der Wandlerregelung entwickelt und implementiert werden.

4.3.1 Optimierungsalgorithmus und Parametrierung

Ein geeigneter Algorithmus zur Optimierung der Totzeiten ist in Abbildung 4.9 gezeigt. Initiiell werden sichere Totzeiten eingestellt. Daraufhin werden in einer Wandlerphase die Totzeiten mit einer Schrittweite von Δt_s inkrementell reduziert. Wenn sich die Effizienz in dieser Wandlerphase im Vergleich zum Beobachter nach einem Reduktionsschritt verbessert, wird die Reduktion der Totzeiten fortgesetzt. Wenn hingegen aufgrund der Tastverhältnisdifferenz eine reduzierte Effizienz detektiert wird, ist die aktuelle Totzeit zu niedrig. Die optimale Totzeit wurde dann bereits überschritten und muss um einen Wert $t_{s,res}$ erhöht werden, um einen Halbbrückenkurzschluss zu vermeiden. Der Optimierungsvorgang einer Signaltotzeit ist damit abgeschlossen. Entsprechend der Anzahl der Signaltotzeiten wird dieses Vorgehen wiederholt (bei einem Zweiphasenwandler vier mal). Die Rolle des Beobachters und der zu optimierenden Wandlerphase werden hierbei getauscht, was für die Wandlerregelung ohne Bedeutung ist. Aufgrund des relativen Optimierungsverfahrens kann dieses asynchron zur PWM und parallel zur Wandlerregelung bei variablen Betriebspunkten ausgeführt werden.

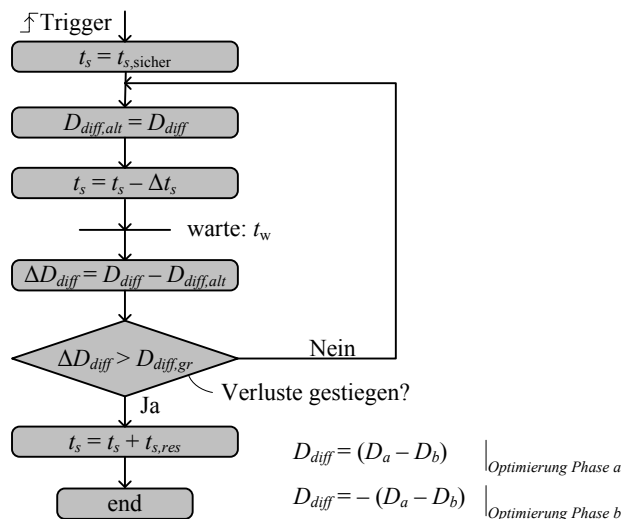


Abbildung 4.9: Algorithmus zur Optimierung der Totzeiten.

Die Basis für die Parametrierung des Optimierungsalgorithmus ist der Einfluss der Totzeiten auf die Verlustleistungen der Wandlerphasen und damit der Tastverhältnis-

differenz (siehe Gleichung (4.20)). Eine sehr kleine Schrittweite Δt_s führt entsprechend zu geringen Veränderungen der Tastverhältnisdifferenz, die evtl. nicht erkannt wird. Große Schrittweiten von Δt_s führen zu hohen Tastverhältnisdifferenzen, die einfach zu detektieren sind. Jedoch ist die Gefahr gegeben, dass bereits ein einziger Reduktionsschritt zur Überschreitung zulässiger Schalterströme führt. Aus diesem Grund ist eine Parametrierung zur sicheren sowie genauen Erkennung von optimalen Totzeiten wichtig. Das Vorgehen zur Parametrierung wurde bereits in [53] ausführlich diskutiert und wird im Folgenden in den wesentlichen Punkten zusammengefasst.

4.3.1.1 Dimensionierung von Δt_s und $\Delta D_{diff,gr}$

Für die Sicherstellung des Funktionsprinzips muss der Algorithmus den optimalen Totzeitwert unterschreiten. Der zulässige Bereich für Δt_s kann aus der Bedingung von Gleichung (4.11) mit Gleichung (4.22) ermittelt werden, wobei n die Anzahl der Reduktionsschritte beschreibt, bei der die optimale Totzeit bereits unterschritten wurde.

$$\Delta t_s = \frac{(I_{max} - \bar{I}_L) \cdot L_{par}}{U_{HV}} \cdot \frac{1}{n} \quad (4.22)$$

Der Parameter n sollte in Hinblick auf mögliche Fehlerkennungen mindestens 3 bis 4 betragen. Der maximale Wert wird durch das Auflösungsvermögen der Signaltotzeiten limitiert (typischerweise 1 bis 20 ns).

Nachdem ein geeigneter Wert für Δt_s ermittelt wurde kann der Grenzwert $\Delta D_{diff,gr}$ eingestellt werden. Dieser muss sicherstellen, dass m Reduktionsschritte nach Unterschreiten der optimalen Totzeit ein fallender Wirkungsgrad der Wandlerphase erkannt wird. Der Parameter m muss also größer Null und kleiner als n sein. Zur Bestimmung der resultierenden Tastverhältnisdifferenz nach einem Totzeitreduktionsschritt bei bereits negativen effektiven Totzeitwerten wird die zusätzliche Verlustleistung des Halbbrückenkurzschlusses benötigt (siehe Gleichung (4.15) bzw. (4.16)). Diese Verlustleistung kann nach der Totzeit abgeleitet werden:

$$\Delta P_{V,HK}|_{t_d < 0} = \frac{\partial P_{V,HK}}{\partial t_d} \cdot \Delta t_s \quad (4.23)$$

Durch Einsetzen von Gleichung (4.23) in die Gleichung (4.20) kann der Gradient $\frac{\Delta D_{diff}}{\Delta t_s}$

entsprechend Gleichung (4.24) bzw. (4.25) bestimmt werden.

$$\left. \frac{\Delta D_{diff}}{\Delta t_{s1}} \right|_{t_{d1} < 0} = \frac{\frac{di}{dt} \cdot f_s \cdot t_{d1}}{\bar{I}_L} \quad (4.24)$$

$$\left. \frac{\Delta D_{diff}}{\Delta t_{s2}} \right|_{t_{d2} < 0} = \frac{\frac{di}{dt} \cdot f_s \cdot t_{d2}}{\bar{I}_L} \quad (4.25)$$

Je weiter die optimale Totzeit unterschritten wird (höhere Werte für m), desto höher ist die Tastverhältnisdifferenz nach einem Reduktionsschritt und kann deshalb leichter detektiert werden. Auf dieser Basis kann der Grenzwert $\Delta D_{diff,gr}$ innerhalb folgender Grenzen eingestellt werden:

$$\Delta D_{diff}|_{t_d=(m-1) \cdot \Delta t_s} < \Delta D_{diff,gr} < \Delta D_{diff}|_{t_d=m \cdot \Delta t_s} \quad (4.26)$$

Typischerweise kann bei $m = 2$ eine zunehmende Verlustleistung aufgrund eines Halbbrückenkurzschluss sicher detektiert werden.

4.3.1.2 Dimensionierung von $t_{s,res}$

Zu dem Zeitpunkt zu dem der Algorithmus eine zunehmende Verlustleistung erkennt, wurde die optimale Totzeit bereits m mal unterschritten. Um die Verlustleistung aufgrund des Halbbrückenkurzschlusses zu vermeiden, muss die Totzeit wieder um $t_{s,res} > m \cdot \Delta t_s$ erhöht werden.

4.3.1.3 Dimensionierung der Wartezeit t_w

Nach einer Veränderung in einer Wandlerphase muss eine gewisse Zeit abgewartet werden, bis sich ein eingeschwungenener Zustand des Phasensymmetrierungsreglers einstellt. Die Wartezeit kann anhand der charakteristischen Zeitkonstante der Koppelübertragungsfunktionen sowie der Reglerbandbreite des Symmetrierungsreglers (G_{sym}) mit Gleichung (4.27) abgeschätzt werden.

$$t_w \gtrsim \frac{1}{f_{bw} \left[\frac{1}{\left(\frac{L_a + L_b}{R_a + R_b} \right) s + 1} \cdot G_{sym} \right]} \quad (4.27)$$

4.3.2 Experimentelle Untersuchungen

Mit den Experimenten wird der Verlauf der Verlustleistung sowie der Tastverhältnisdifferenz in Abhängigkeit der Totzeit bestätigt. Anschließend wird die Totzeitoptimierung während eines Wandlerbetriebs getestet. Zur Bestätigung der Vorteile von optimierten Totzeiten wird der Wandlerwirkungsgrad sowie Spannungssoszillationen an den Leistungsschaltern jeweils vor und nach einer Optimierung gemessen und verglichen.

4.3.2.1 Verluste in Abhängigkeit der Totzeit

In Abbildung 4.10 ist bei Nennbetriebsbedingung die gemessene Verlustleistungsdifferenz in Abhängigkeit der effektiven Totzeit dargestellt. Die Phase b wurde mit konstanten Totzeiten betrieben. Die minimal gemessenen Verluste des Wandlers wurden anschließend als Bezugsniveau verwendet. Dadurch ist in der Abbildung nur die relative Verlustleistung der Wandlerphase a dargestellt.

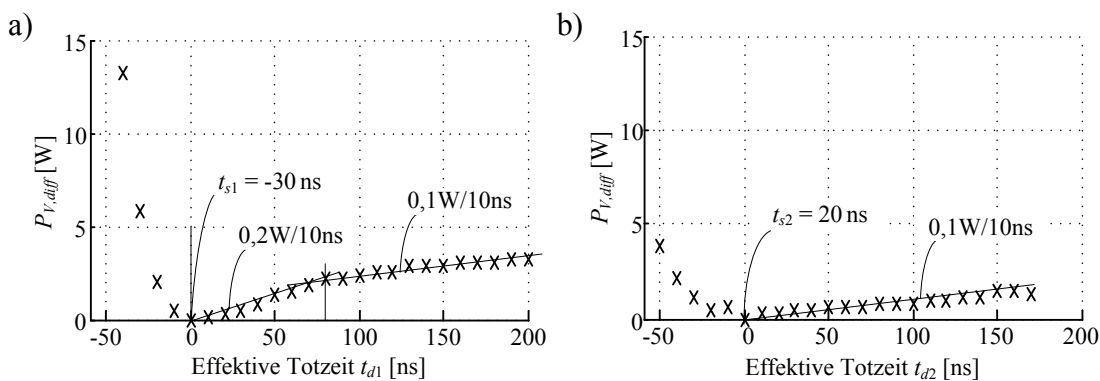


Abbildung 4.10: Gemessene relative Verlustleistung der Wandlerphase a in Abhängigkeit der Totzeit t_{d1} (a) und t_{d2} (b). MOSFET: IRF3805.

Für jede Totzeit existiert ein globales Minimum. Ausgehend von typischen „zu langen“ Totzeiten kann die Verlustleistung um ca. 0,1 W je 10 ns Totzeitreduktion verringert werden, was durch den geringeren Spannungsabfall am Kanal im Vergleich zur Diode verursacht ist (siehe Gleichung (4.12)). Für kleine Totzeitwerte von t_{d1} , im Bereich unter 80 ns, kann eine Verlustleistungsreduktion von 0,2 W je 10 ns beobachtet werden. Dies ist durch die abnehmende Speicherladung in der Diode bedingt (siehe Gleichung (4.13)). Wenn der Halbbrückenkurzschluss einsetzt steigen die Verluste mit zunehmender Totzeitreduktion näherungsweise parabelförmig an (siehe Gleichung (4.15) und (4.16)).

4.3.2.2 Tastverhältnisdifferenz in Abhängigkeit der Totzeit

Während der Messung der totzeitabhängigen Verlustleistung aus Abbildung 4.10 wurden die resultierenden Tastverhältnisdifferenzen aus dem DSP ausgelesen. Wie bei der Verlustleistungsmessung wird die minimale absolute Tastverhältnisdifferenz auf Null gesetzt, um nur die relativen Abweichungen darzustellen.

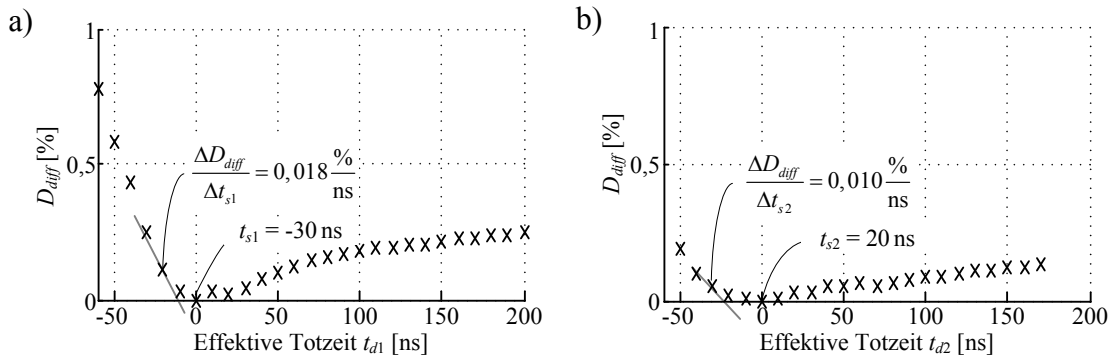


Abbildung 4.11: Gemessene relative Tastverhältnisdifferenz bei unterschiedlichen Totzeiten t_{d1} (a) und t_{d2} (b) für die Wandlerphase a. Verwendeter MOSFET: IRF3805.

Es zeigt sich eine gute Korrelation zwischen den Verläufen der Verlustleistungen und der Tastverhältnisdifferenzen. Zur Überprüfung der Parametrierung des Optimierungsalgorithmus sind die mit Gleichung (4.24) und (4.25) berechneten Gradienten $\frac{\Delta D_{diff}}{\Delta t_s}$ sowie die aus Abbildung 4.10 graphisch ermittelten Gradienten bei negativen Totzeitwerten in Tabelle 4.2 zusammengefasst.

Tabelle 4.2: Vergleich berechneter und gemessener Gradienten bei negativen Totzeiten

Effektive Totzeit: t_d	Berechneter Gradient: $\frac{\Delta D_{diff}}{\Delta t_s}$	Gemessener Gradient: $\frac{\Delta D_{diff}}{\Delta t_s}$
$t_{d1} = -10$ ns	0,009 $\frac{\%}{\text{ns}}$ Gl. (4.24)	0,006 $\frac{\%}{\text{ns}}$
$t_{d1} = -20$ ns	0,018 $\frac{\%}{\text{ns}}$ Gl. (4.24)	0,015 $\frac{\%}{\text{ns}}$
$t_{d2} = -20$ ns	0,010 $\frac{\%}{\text{ns}}$ Gl. (4.25)	0,005 $\frac{\%}{\text{ns}}$
$t_{d2} = -30$ ns	0,015 $\frac{\%}{\text{ns}}$ Gl. (4.25)	0,008 $\frac{\%}{\text{ns}}$

Die Gradienten zeigen eine relativ gute Übereinstimmung, sodass ein Optimierungsalgorithmus mit einer Genauigkeit von etwa ± 10 ns die optimale Signaltotzeit finden kann.

4.3.2.3 Optimierungsprozess

Der Optimierungsalgorithmus aus Abbildung 4.9 wurde in einem Wandlerprototypen implementiert. Für die Totzeitreduktionsschrittweite wurde $\Delta t_s=10$ ns, für den Grenzwert $\Delta D_{diff,gr}=0,09\%$ bei Optimierung der Totzeit t_{s1} und $\Delta D_{diff,gr}=0,05\%$ bei Optimierung der Totzeit t_{s2} verwendet. Das PWM Modul des DSP (TMS320F2808) kann bei 300 kHz eine Tastverhältnisdifferenz von 0,005% auflösen, was für die erwarteten Tastverhältnisdifferenzen bei der Totzeitreduktion ausreichend ist. Wie aus der Tabelle 4.2 entnommen werden kann wird bei dieser Parametrierung eine ansteigende Verlustleistung in etwa bei einer effektiven Totzeit von -20 ns detektiert. Nach dieser Detektion wird die Totzeit deshalb um $t_{s,res}=30$ ns erhöht, um einen Halbbrückenkurzschluss zu vermeiden.

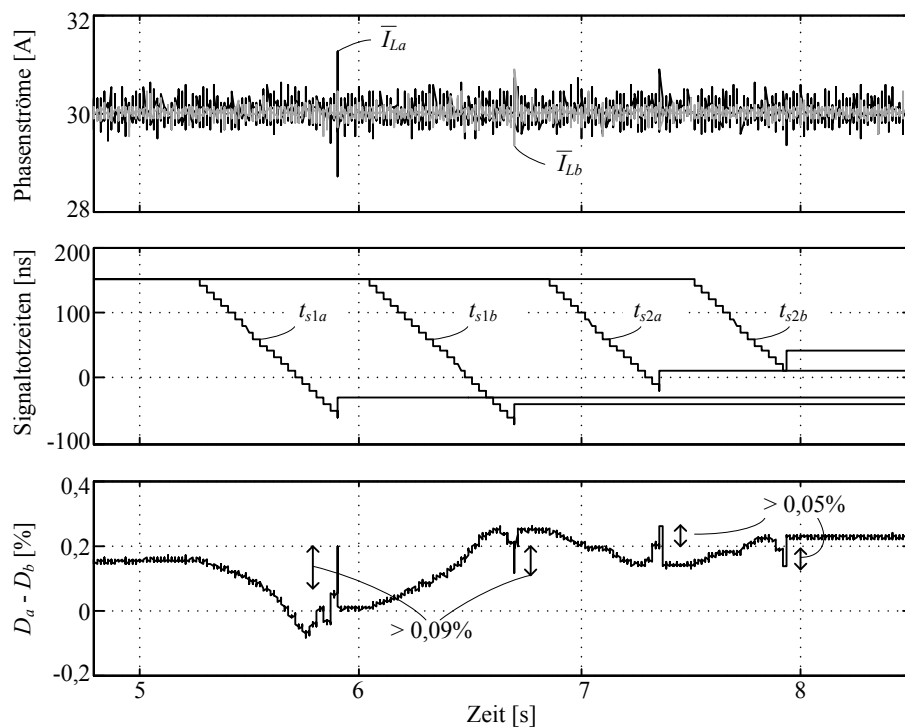


Abbildung 4.12: Aufgezeichneter Totzeitoptimierungsprozess, der während des Wandlerbetriebs alle vier PWM Totzeiten des Zweiphasenwandlers optimiert.

In Abbildung 4.12 ist ein aufgezeichneter Optimierungsvorgang dargestellt. Die Regelung des Wandlers stellt gleiche konstante Drosselströme von 30 A ein. Bei ca. 5,3 s wird der Optimierungsalgorithmus gestartet. Daraufhin werden nacheinander alle vier Signaltotzeiten optimiert. Für jede entsprechende Wandlerphase das minimale Tastverhältnis gefunden. Wie in [51] gezeigt, können Totzeiten auch unter variierenden

Betriebspunkten des Wandlers optimiert werden. In [108] wurde zudem bestätigt, dass die Signaltotzeiten in erster Näherung unabhängig von der Ausgangsspannung des Wandlers sind, solange die Ausgangskapazitäten der MOSFETs gering sind. Andernfalls muss die Signaltotzeit t_{s2} bei Änderung der Wandlerausgangsspannung erneut angelernt werden.

4.3.2.4 Verbesserung der Wandler-effizienz

Der Wandlerwirkungsgrad inklusive der Signalversorgung (Sensorik, Regelung, MOSFET Treiber) wurde mit einem Leistungsmessgerät vom Typ „Norma D6200“ jeweils vor und nach einer Totzeitoptimierung in unterschiedlichen Betriebspunkten gemessen. Die gemessenen Wirkungsgrade nach Optimierung sind in Abbildung 4.13 für zwei unterschiedliche MOSFETs dargestellt. Mit beiden MOSFET Typen wurden ähnliche Wirkungsgrade im Bereich von 94% über weiten Betriebsbereich erreicht.

In Abbildung 4.14 sind die relativen Verlustleistungsreduktionen für beide MOSFET Technologien dargestellt. Mit der Totzeitoptimierung konnte die Gesamtverlustleistung des Wandlers über einen weiten Betriebsbereich bei Verwendung des MOSFETs IRFS3206 um ca. 5 bis 10% und bei Verwendung des MOSFETs STB185N55F3 sogar um ca. 10 bis 15% reduziert werden. Diese Unterschiede sind durch die unterschiedlichen Eigenschaften der intrinsischen Diode bedingt. Die Totzeitoptimierung ist bei MOSFET Technologien mit hoher Speicherladung Q_{rr} effektiver als bei Technologien die speziell für niedrige Speicherladungen optimiert sind.

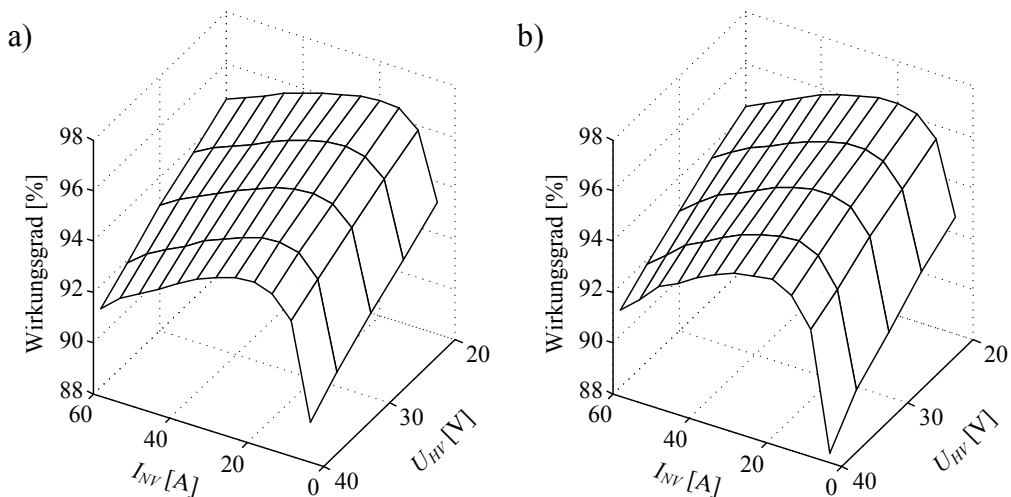


Abbildung 4.13: Gemessene absolute Wirkungsgrade nach Optimierung der Totzeiten. Verwendeter MOSFET: IRFS3206 (a) und STB185N55F3 (b).

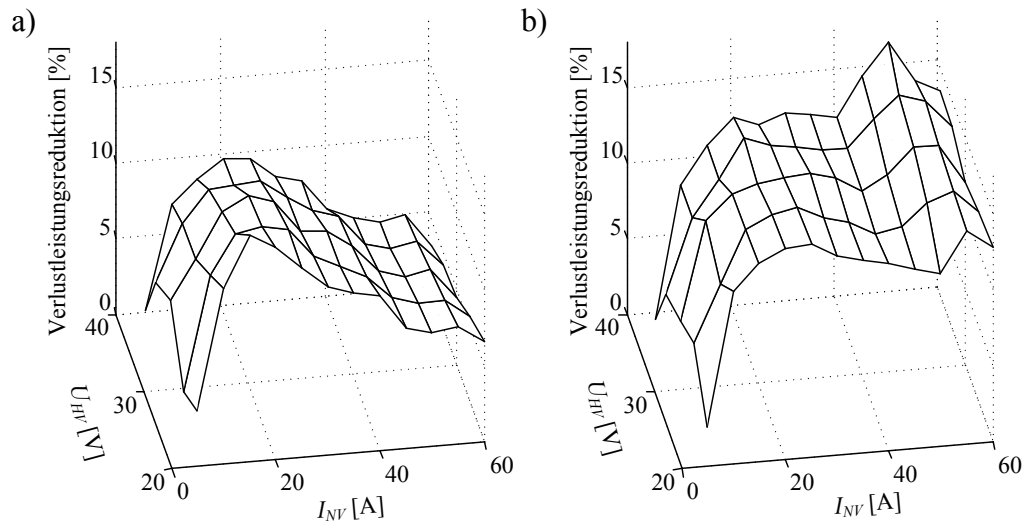


Abbildung 4.14: Gemessene Reduktion der Gesamtverlustleistung des Wandlers bei unterschiedlichen Betriebspunkten und MOSFET Technologien: IRFS3206 (a) und STB185N55F3 (b). Vor der Optimierung wurden statische Signaltotzeiten von 150 ns eingestellt.

4.3.2.5 Reduktion von Spannungszillationen

In Abbildung 4.15a ist der Spannungsverlauf des Steuerschalters beim Einschalten dargestellt. Da die Speicherladung in der Diode des Synchrongleichrichters durch die Totzeitoptimierung reduziert wurde, ist eine geringere Rückstromspitze zu verzeichnen. Wie die Messung zeigt führt dies auch zu geringeren Spannungszillationen nach einer Totzeitoptimierung. Die Reduktion kann mit dem Frequenzspektrum in Abbildung 4.15b quantifiziert werden. Der Betrag der Spannungszillationen konnte im Frequenzbereich von etwa 40 bis 100 MHz um ca. 10 dB reduziert werden. Ein besseres EMV-Verhalten des Wandlers ist daher zu erwarten. Die Spannungszillationen an den Leistungsschaltern werden nämlich vor allem durch parasitäre Kapazitäten der Halbleiter sowie der Speicher- und EMV-Filterdrosseln zu den Wandlerklemmen hin übertragen [112, 113]. Da der Wandler auch vor der Optimierung der Totzeiten die EMV-Grenzwerte einhalten muss, hat diese Verbesserung aber keine Relevanz für die EMV-Filterauslegung. Der Vorteil ist, dass im Energiebordnetz dauerhaft ein geringerer Störpegel erreicht werden kann.

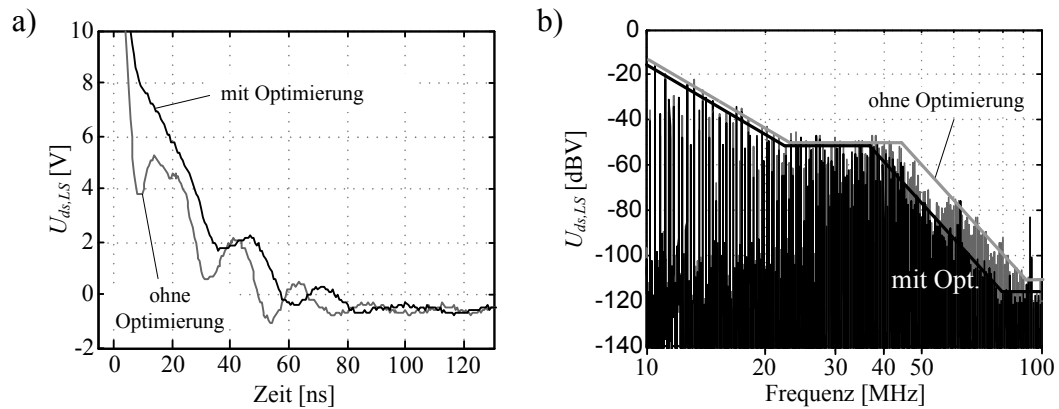


Abbildung 4.15: Gemessene Spannungsoszillationen am Steuerschalter beim Einschaltvorgang (a). Aus einem Spannungsverlauf von 150 Schaltzyklen wurde das Frequenzspektrum der Spannung vor und nach einer Totzeitoptimierung berechnet (b). Verwendeter MOSFET: IRF3805.

4.4 Zusammenfassung der Totzeitoptimierung

Es wurde eine sensorlose Totzeitoptimierungsmethode für Mehrphasenwandler in Mehrspannungsbordnetzen entwickelt. Mit der beispielhaften Implementierung wurde gezeigt, dass die Optimierung asynchron zu den PWM Pulsen und parallel zur Wandlerregelung in der Komponentenebene ausgeführt werden kann. In dem Wandlerprototypen wurde keine zusätzliche Hardware benötigt.

Die Optimierung der Totzeiten mit einer Genauigkeit von etwa ± 10 ns ist ausreichend, um ein Einschalten der intrinsischen Diode des Synchrongleichrichters zu vermeiden. Dadurch kann der Wirkungsgrad sowie das EMV-Verhalten des Wandlers verbessert werden. Abhängig von den Eigenschaften der intrinsischen Diode wurde der Wirkungsgrad des Wandlers um ca. 0,5 bis 1 % verbessert, was bei den hohen absoluten Wirkungsgraden einer Reduktion der Gesamtverlustleistung im Bereich von etwa 10% entspricht.

5 Zusammenfassung und Ausblick

DC/DC-Wandler in Mehrspannungsbordnetzen unterscheiden sich in den Anforderungen deutlich von typischen Wandlern, die zur Versorgung von Verbrauchern mit konstanter Spannung eingesetzt werden. Die Folge sind veränderte Ziele und Kriterien bei der Auslegung des Wandlers sowie der Regelung.

Um den Anforderungen gerecht zu werden, wurde in dieser Arbeit ein systematisches Vorgehen zur Entwicklung von DC/DC-Wandlerregelungen für Mehrspannungsbordnetze vorgestellt, das auf unterschiedlichen Abstraktionsebenen basiert. Damit wird jeweils ein eingeschränkter Frequenzbereich betrachtet, was in den einzelnen Entwicklungsschritten zu einer deutlichen Reduktion der Komplexität bei der Modellierung und Simulation führt. Da in jeder Ebene andere Aufgaben im Fokus stehen und die Schnittstellen der Ebenen durch die Frequenzbereiche klar definiert sind können viele Schritte des Entwurfsprozesses auch parallel durchgeführt werden, was beispielhaft mit der Implementierung unterschiedlicher Betriebsstrategien sowie der Totzeitoptimierung gezeigt werden konnte.

Mit der Phasenstrom-Symmetrierungsregelung sowie der Totzeitoptimierung wurden zwei Optimierungsmethoden vorgestellt, die in bereits bestehende Wandlerkonzepte integriert werden können.

Die Symmetrierungsregelung mit der Task-Shared-Reglerstruktur ermöglicht eine Regelung der Phasenströme, bei der das Summenverhalten und Symmetrierungsverhalten getrennt optimiert werden kann. Toleranzen in der Sensorik führen aber trotz der Symmetrierungsregelung zu ungleichen Phasenströmen und zu einer nicht ausgelöschten 1. Harmonischen im Störspannungsspektrum an den Wandlerklemmen. Um diese 1. Harmonische zu reduzieren wurde eine weitere Regelschleife implementiert, die trotz hoher Sensortoleranzen eine nahezu ideale Stromaufteilung ermöglicht. Während aber die Stromreglerstruktur für eine nahezu beliebige Anzahl an Wandlerphasen erweitert werden kann, ist eine sinnvolle Anwendung des vorgeschlagenen Konzepts zur Reduktion der 1. Harmonischen auf zwei- oder dreiphasige Wandler beschränkt. Das Störspannungsspektrum sollte in zukünftigen Arbeiten unter Berücksichtigung von Bauelementetoleranzen auch bei mehr als zwei Wandlerphasen untersucht sowie ein

Konzept zur Reduktion der ersten $n - 1$ Harmonischen erarbeitet werden.

Totzeiten in der PWM Ansteuerung von halbbrückenbasierten Topologien mit MOSFET Synchrongleichrichtung führen zu einem Leiten der Body Diode und damit zu Verlustleistung. Mit der „beobachter basierten Totzeitoptimierung“ wurde ein sensorloses Verfahren für Mehrphasenwandler in Mehrspannungsbordnetzen entwickelt, das am Beispiel des Wandlerprototypen ohne zusätzliche Hardware implementierbar war. Die Optimierung der Totzeiten mit einer Genauigkeit von etwa ± 10 ns vermeidet ein Einschalten der intrinsischen Diode des Synchrongleichrichters und führt zu einer Reduktion der Verlustleistung des Wandlers um etwa 10%. Gleichzeitig werden Spannungsoszillationen an den Halbleiterschaltern reduziert und damit das EMV-Verhalten der Komponente verbessert. Eine Adaption der Methode für andere Anwendungen, außerhalb des Automobilbereichs, sollte in weiterführenden Arbeiten untersucht werden.

Anhang

A Glossar

A.1 Abkürzungen

Kurzform	Bedeutung
AD	Analog/Digital
AF	Aktiver Filter
DSK	Doppelschichtkondensator
DSP	Digitaler Signalprozessor
HLV	Hochleistungsverbraucher
HS	High-Side Schalter
HV-BN	Höhervolt-Bordnetz
LS	Low-Side Schalter
MIN	Minimierungsalgorithmus
MG	Mehrgrößen-Spannungsregler
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor
NV-BN	Niedervolt-Bordnetz
PD	Peak-Detektor
PWM	Pulsweitenmodulation
ZP	Zweipunkt-Spannungsregler

A.2 Schreibweisen

Symbol	Bedeutung
$X(t)$	Zeitlich variante Größe
$X(s)$	Laplace transformierte von $X(t)$
\tilde{X}	Kleinsignalgröße
\bar{X}	Über eine Schaltperiode gemittelte Größe: $\bar{X} = \frac{1}{T_s} \int_t^{t+T_s} X(\tau) d\tau$

Fortsetzung auf nächster Seite

Fortsetzung von vorheriger Seite

Symbol	Bedeutung
	\bar{X} und X werden nur unterschieden, wenn es sich um Größen handelt, die sich während einer Schaltperiode verändern (z.B. Schalterspannungen, Schalterströme, Drosselstrom). Die Unterscheidung wird z.B. bei Klemmenspannungen nicht durchgeführt (Welligkeit kleiner 1%)
ΔX	Veränderung/Welligkeit von $X(t)$
$X_{Yzz} = X_{YZZ}$	Mehrfachtiefstellungen werden durch kleingeschriebene Indizes vermieden
$X_{y,z}$	Mehrfachindex

A.3 Formelzeichen

Symbol	Einheit	Bedeutung
A	-	Amplitude
C	F	Kapazität
c	-	Sensorkorrekturfaktor
D	-	Tastverhältnis
E	Ws	Energie
e	-	Regelfehler
f	1/s	Frequenz
G	-	Übertragungsfunktion
I	A	Strom
K	-	Verstärkungsfaktor
L	H	Induktivität
M	-	Spannungsübersetzungsverhältnis
mod	-	Modulo Operator
N	-	Anzahl/Häufigkeit
n	-	Anzahl der Wandlerphasen
η	-	Wirkungsgrad
P	W	Leistung
φ	°	Phasenversatz/Phasengang
R	Ω	Widerstand

Fortsetzung auf nächster Seite

Fortsetzung von vorheriger Seite

Symbol	Einheit	Bedeutung
S	-	Sensitivität
T	s	Periodendauer
t	s	Zeit
t_d	s	Effektive Totzeit
t_s	s	Signaltotzeit
U	V	Spannung
Z	Ω	Impedanz

A.4 Indizes

Index	Bedeutung
a	Phase a
ab	Abtast-
AD	Analog/Digital-Wandler
AF	Aktiver Filter
AG	Ausschaltvorgang Gleichrichter
AS	Ausschaltvorgang Steuerschalter
aus	Ausschalt-
b	Phase b
BD	Intrinsische Diode (Body Diode)
bw	Bandbreite (-3dB)
Chv	Bus-Kondensator HV-BN Seite
Cnv	Bus-Kondensator NV-BN Seite
$diff$	Differenz Phase a und Phase b
ds	Drain-Source
$ds(on)$	Drain-Source im eingeschalteten Zustand
DSK	Doppelschichtkondensator
EG	Einschaltvorgang Gleichrichter
ein	Einschalt-
ES	Einschaltvorgang Steuerschalter
esr	Ersatzserienwiderstand

Fortsetzung auf nächster Seite

Fortsetzung von vorheriger Seite

Index Bedeutung

<i>fi</i>	Strom Abfall-
<i>fu</i>	Spannungs Abfall-
<i>g</i>	Gewichtet
<i>ges</i>	Gesamt-
<i>gr</i>	Schwellwert/Grenzwert
<i>gs</i>	Gate-Source
<i>HK</i>	Halbbrückenkurzschluss
<i>HS</i>	High-Side Schalter
<i>HV</i>	HV-BN Seite
<i>i</i>	Integralanteil
<i>K</i>	Kabelbaum
<i>L</i>	Speicherdrossel
<i>LHV</i>	Last im Höhervolt-Bordnetz
<i>LNV</i>	Last im Niedervolt-Bordnetz
<i>LS</i>	Low-Side Schalter
<i>max</i>	Minimalwert
<i>min</i>	Minimalwert
<i>n</i>	Phase n
<i>nenn</i>	Nennwert
<i>NV</i>	NV-BN Seite
<i>o</i>	Offener Regelkreis
<i>opt</i>	Optimal
<i>oss</i>	Ausgangskapazität
<i>p</i>	Proportionalanteil
<i>par</i>	Parasitär
<i>PD</i>	Peak-Detektor
<i>pl</i>	Millerplateau
φ	Phasenversatz
<i>r</i>	Reserve
<i>ref</i>	Referenz-/Sollwert
<i>ri</i>	Strom Anstiegs-
<i>rms</i>	Effektivwert
<i>rr</i>	Reverse Recovery (Rückstrom)

Fortsetzung auf nächster Seite

Fortsetzung von vorheriger Seite

Index	Bedeutung
<i>Rres</i>	Rekuperationsreserve
<i>ru</i>	Spannungs Anstiegs-
<i>S</i>	Schalter
<i>s</i>	Schalt-
<i>sp</i>	Ausschaltüberspannung
<i>stab</i>	Stabilität
<i>sym</i>	Symmetrierungsregler
<i>tr</i>	Treiber
<i>U_{hv}</i>	Spannung im HV-BN
<i>U_{nv}</i>	Spannung im NV-BN
<i>V</i>	Verlust-
<i>VP</i>	Reaktive parasitäre Verlust-
<i>VR</i>	Durchlassverlust-
<i>Vres</i>	Verbrauchsreserve
<i>VS</i>	Schaltverlust-
<i>w</i>	Warte-
<i>x</i>	Phase x=[a,b,..,n]

B Berechnungen zur Auslegung des Leistungsteils

B.1 Auslegung passiver Bauelemente

In Abbildung B.1 sind schematisch die Spannungs- bzw. Stromverläufe der Drossel bzw. der Bus-Kondensatoren für die Boost-/Buck-Wandlertopologie im eingeschwungenen Zustand dargestellt.

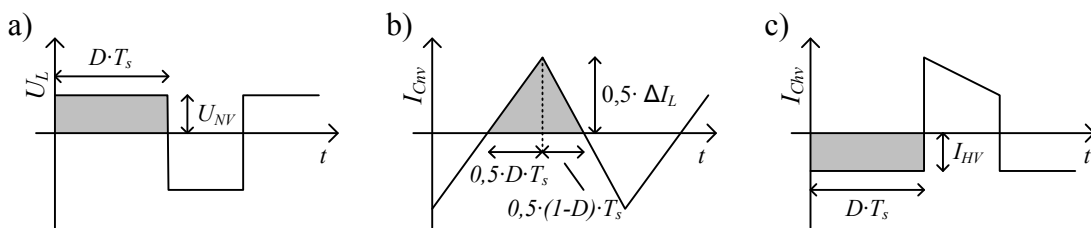


Abbildung B.1: Spannungsverlauf an der Drossel (a) und Stromverlauf der Bus-Kondensatoren (b) und (c) für die Boost-/Buck-Wandlertopologie.

Aus diesen Verläufen können mit der Differentialgleichung (B.1) für die Drossel bzw. (B.2) für die Kondensatoren der Verlauf der zugehörigen Zustandsgröße berechnet werden.

$$\frac{dI_L(t)}{dt} = \frac{1}{L} \cdot U_L(t) \quad (\text{B.1})$$

$$\frac{dU_C(t)}{dt} = \frac{1}{C} \cdot I_C(t) \quad (\text{B.2})$$

Die Strom- und Spannungswelligkeiten, als Spitze-Spitze Wert definiert, können mit dem Zeit-Spannungsprodukt der Drossel (siehe Gleichung (B.3) oder schraffierte Fläche in Abbildung B.1a) sowie dem Zeit-Stromprodukt der Bus-Kondensatoren (siehe Gleichung (B.4) bzw. (B.5) oder schraffierte Fläche in Abbildung B.1b bzw. B.1c) ermittelt werden.

$$\Delta I_L = \frac{1}{L} \cdot U_{NV} \cdot D \cdot T_s \quad (\text{B.3})$$

$$\Delta U_{C_{nv}} = \frac{1}{C_{NV}} \cdot \frac{1}{8} \cdot \Delta I_L \cdot T_s \quad (\text{B.4})$$

$$\Delta U_{C_{hv}} = \frac{1}{C_{HV}} \cdot I_{HV} \cdot D \cdot T_s \approx \frac{1}{C_{HV}} \cdot I_{NV} \cdot (1 - D) \cdot D \cdot T_s \quad (\text{B.5})$$

Mit Einsetzen der zulässigen maximalen Strom- und Spannungswelligkeiten können die Gleichungen (B.3) bis (B.5) nach dem Induktivitätswert bzw. Kapazitätswerten aufgelöst werden. Unter Variation des Spannungsübersetzungsbereichs (Tastverhältnis) können mit den Gleichungen (B.6) bis (B.8) die minimal erforderlichen Werte der passiven Bauelemente des Boost-/Buck-Wandlers ermittelt werden.

$$L \geq \max \left[\frac{1}{\Delta I_L} \cdot U_{NV} \cdot D \cdot T_s \right] \quad (\text{B.6})$$

$$C_{NV} \geq \max \left[\frac{1}{8} \cdot \frac{1}{\Delta U_{C_{nv}}} \cdot \Delta I_L \cdot T_s \right] \quad (\text{B.7})$$

$$C_{HV} \geq \max \left[\frac{1}{\Delta U_{C_{hv}}} \cdot I_{NV} \cdot (1 - D) \cdot D \cdot T_s \right] \quad (\text{B.8})$$

Bei einem Zweiphasenwandler überlagern sich die Stromwelligkeiten der Drosseln an den Kondensatoren. Mit Annahme einer idealen Stromaufteilung auf die beiden Wandlerphasen ($I_{La} = I_{Lb}$) sowie phasenversetzter Ansteuerung mit $\varphi = 180^\circ$ die minimal erforderlichen Werte der passiven Bauelemente mit Gleichung (B.9) bis (B.12) ermittelt werden [28, Anh. A]. Dargestellt ist nur der Tastverhältnisbereich $D = [0, 5..1]$, der für die Auslegung relevant ist.

$$\Delta(I_{La} + I_{Lb}) = \frac{U_{NV}(2 \cdot D - 1) \cdot T_s}{L} \quad , \text{ für } D = [0, 5..1] \quad (\text{B.9})$$

$$L \geq \max \left[\frac{1}{\Delta I_L} \cdot U_{NV} \cdot D \cdot T_s \right] \quad , \text{ für } D = [0, 5..1] \quad (\text{B.10})$$

$$C_{NV} \geq \max \left[\frac{1}{\Delta U_{Cnv}} \cdot \frac{1}{8} \cdot \Delta(I_{La} + I_{Lb}) \cdot \frac{T_s}{2} \right] \quad , \text{ für } D = [0, 5..1] \quad (\text{B.11})$$

$$C_{HV} \geq \max \left[\frac{1}{\Delta U_{Chv}} \cdot I_{NV} \cdot (1 - D) \cdot (2 \cdot D - 1) \cdot \frac{T_s}{2} \right] \quad , \text{ für } D = [0, 5..1] \quad (\text{B.12})$$

Die berechneten minimal erforderlichen Werte für den einphasigen sowie zweiphasigen Boost-/Buck-Wandler sind in Tabelle B.1 gegenübergestellt.

Tabelle B.1: Minimal erforderliche Werte der passiven Bauelemente

Bauelement	Einphasenwandler	Zweiphasenwandler
L	5,5 μH	5,5 μH
C_{LV}	161 μF	41 μF
C_{HV}	500 μF	125 μF

B.2 Berechnung der Energiespeicher- und Leistungssteuerfähigkeit

B.2.1 Einphasiger Boost-Wandler

$$E_L = \frac{1}{2} \cdot L \cdot \left(I_{NV,nenn} + \frac{\Delta I_L}{2} \right)^2 \approx 13,1 \text{ mWs} \quad (\text{B.13})$$

$$E_C = \frac{1}{2} \left[C_{NV} \cdot \left(U_{NV,max} + \frac{\Delta U_{NV}}{2} \right)^2 + C_{HV} \cdot \left(U_{HV,max} + \frac{\Delta U_{HV}}{2} \right)^2 \right] \\ \approx 429,3 \text{ mWs} \quad (\text{B.14})$$

$$E_S = 2 \cdot U_{HV,max} \cdot \left(I_{NV,nenn} + \frac{\Delta I_L}{2} \right) \approx 5,5 \text{ kW} \quad (\text{B.15})$$

B.2.2 Zweiphasiger Boost-Wandler

$$E_L = 2 \cdot \left[\frac{1}{2} \cdot L \cdot \left(\frac{I_{NV,nenn}}{2} + \frac{\Delta I_L}{2} \right)^2 \right] \approx 8,4 \text{ mWs} \quad (\text{B.16})$$

$$E_C = \frac{1}{2} \left[C_{NV} \cdot \left(U_{NV,max} + \frac{\Delta U_{NV}}{2} \right)^2 + C_{HV} \cdot \left(U_{HV,max} + \frac{\Delta U_{HV}}{2} \right)^2 \right] \\ \approx 107,4 \text{ mWs} \quad (\text{B.17})$$

$$E_S = 4 \cdot U_{HV,max} \cdot \left(\frac{I_{NV,nenn}}{2} + \frac{\Delta I_L}{2} \right) \approx 6,2 \text{ kW} \quad (\text{B.18})$$

B.3 Ermittlung des Bauelementestress durch Effektivstrombelastung

Die Effektivstrombelastungen der aktiven und passiven Bauelemente wurde entsprechend der Ausführungen in [20, 28] ermittelt.

B.3.1 Einphasiger Boost-Wandler

$$I_{rms,L} = I_{NV} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{2 \cdot I_{NV}} \right)^2} \quad (\text{B.19})$$

$$I_{rms,Cnv} = \frac{U_{NV} \cdot D \cdot T_s}{\sqrt{12} \cdot L} \quad (\text{B.20})$$

$$I_{rms,Chv} = \sqrt{I_{NV}^2 \cdot (1 - D) \cdot D + \frac{1 - D}{12} \cdot \left(\frac{U_{NV} \cdot D \cdot T_s}{L} \right)^2} \quad (\text{B.21})$$

$$I_{rms,LS} = I_{NV} \cdot \sqrt{D} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{2 \cdot I_{NV}} \right)^2} \quad (\text{B.22})$$

$$I_{rms,HS} = I_{NV} \cdot \sqrt{1 - D} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{2 \cdot I_{NV}} \right)^2} \quad (\text{B.23})$$

$$(\text{B.24})$$

B.3.2 Zweiphasiger Boost-Wandler

$$I_{rms,La} = \frac{I_{NV}}{2} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{I_{NV}} \right)^2} \quad (\text{B.25})$$

$$I_{rms,Lb} = \frac{I_{NV}}{2} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{I_{NV}} \right)^2} \quad (\text{B.26})$$

$$I_{rms,LSa} = \frac{I_{NV}}{2} \cdot \sqrt{D} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{I_{NV}} \right)^2} \quad (\text{B.27})$$

$$I_{rms,LSb} = \frac{I_{NV}}{2} \cdot \sqrt{D} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{I_{NV}} \right)^2} \quad (\text{B.28})$$

$$I_{rms,HSa} = \frac{I_{NV}}{2} \cdot \sqrt{1 - D} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{I_{NV}} \right)^2} \quad (\text{B.29})$$

$$I_{rms,HSb} = \frac{I_{NV}}{2} \cdot \sqrt{1 - D} \cdot \sqrt{1 + \frac{1}{3} \cdot \left(\frac{\Delta I_L}{I_{NV}} \right)^2} \quad (\text{B.30})$$

Für die Berechnung der Effektivstrombelastung der Bus-Kondensatoren wird eine Fallunterscheidung in Abhängigkeit des Tastverhältnisses durchgeführt.

Für $D = [0..0, 5]$ gilt Gleichung (B.31) und (B.32):

$$I_{rms,Cnv} = \frac{U_{NV} \cdot D \cdot (1 - 2 \cdot D) \cdot T_s}{\sqrt{12} \cdot (1 - D) \cdot L} \quad (\text{B.31})$$

$$I_{rms,Chv} = \sqrt{I_{NV}^2 \cdot D \cdot \left(\frac{1}{2} - D\right) + \left(\frac{U_{NV} \cdot D \cdot T_s}{(1 - D) \cdot L}\right)^2 \cdot \frac{1}{6} \cdot \left[4 \cdot \left(\frac{1}{2} - D\right)^3 + D^3\right]} \quad (\text{B.32})$$

Für $D = [0, 5..1]$ gilt Gleichung (B.33) und (B.34):

$$I_{rms,Cnv} = \frac{U_{NV} (2 \cdot D - 1) \cdot T_s}{\sqrt{12} \cdot L} \quad (\text{B.33})$$

$$I_{rms,Chv} = \sqrt{I_{NV}^2 \cdot (1 - D)^2 \cdot \left(D - \frac{1}{2}\right) + \frac{2 \cdot D}{12} \cdot \left(\frac{U_{NV} \cdot D \cdot T_s}{L}\right)^2} \quad (\text{B.34})$$

C Ersatzschaltbilder und Daten

C.1 Stromreglerauslegung

Abbildung C.1 zeigt das Kleinsignalmodell der Regelschleife. Der iterative Auslegungsprozess wurde mit einer Sensor- und Verarbeitungsbandbreite von 15 und 25 kHz durchgeführt.

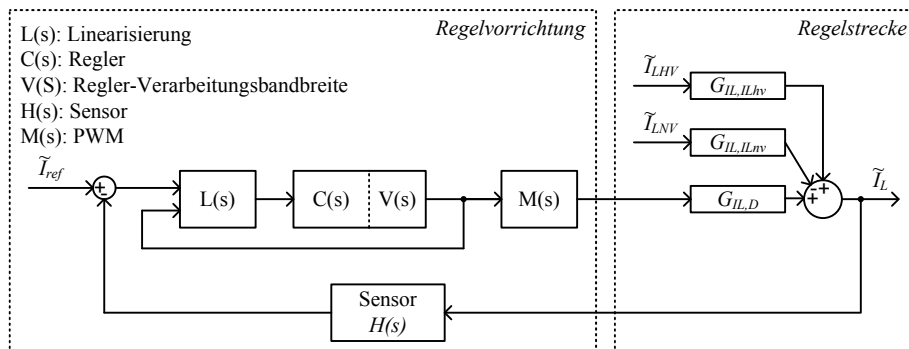


Abbildung C.1: Kleinsignalmodell der Regelschleife.

In den folgenden Gleichungen sind die Übertragungsfunktionen für die beiden Sensor- und Verarbeitungsbandbreiten gelistet. Der Sensor ist als Tiefpassfilter mit Butterworth-Charakteristik modelliert. Die Eigenschaften der limitierten Verarbeitungsbandbreite des Reglers mit einem Totzeitglied, das als Padé-Approximation 2. Ordnung modelliert ist.

<p>a) 15 kHz Bandbreite:</p> $f_g = 15 \cdot 10^3$ $T_t = \frac{1}{2} \cdot \frac{1}{f_g}$ $L(s) = 1 - D$ $C(s) = \frac{K_p \cdot s + K_i}{s}$ $V(s) = \frac{s^2 + \frac{6}{T_i} + \frac{12}{T_i^2}}{s^2 - \frac{6}{T_i} + \frac{12}{T_i^2}}$ $H(s) = \frac{2\pi f_g}{s + 2\pi f_g}$ $M(s) = 1$	<p>b) 25kHz Bandbreite:</p> $f_g = 25 \cdot 10^3$ $T_t = \frac{1}{2} \cdot \frac{1}{f_g}$ $L(s) = 1 - D$ $C(s) = \frac{K_p \cdot s + K_i}{s}$ $V(s) = \frac{s^2 + \frac{6}{T_i} + \frac{12}{T_i^2}}{s^2 - \frac{6}{T_i} + \frac{12}{T_i^2}}$ $H(s) = \frac{2\pi f_g}{s + 2\pi f_g}$ $M(s) = 1$	<p>(C.1)</p> <p>(C.2)</p> <p>(C.3)</p> <p>(C.4)</p> <p>(C.5)</p> <p>(C.6)</p> <p>(C.7)</p> <p>(C.8)</p>
--	---	---

In Abbildung C.2 sind die Sprungantworten für beide Sensor- und Verarbeitungsbandbreiten bei Variation der Reglerparameter dargestellt. Bei einem Reglerparametersatz

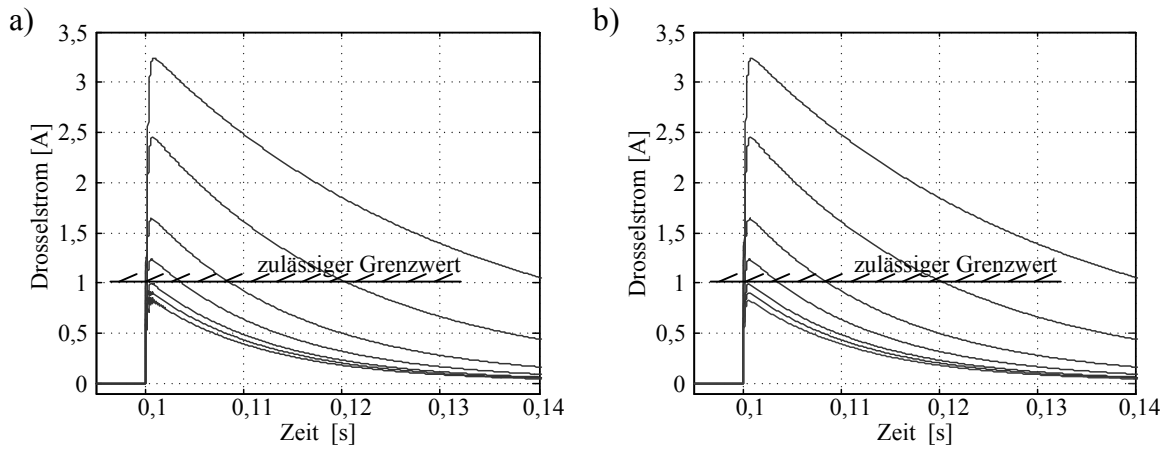


Abbildung C.2: Sprungantworten bei Variation der Reglerparameter mit Sensor- und Verarbeitungsbandbreite von 15 kHz (a) und 25 kHz (b). Reglerparameter $K_p=[0,001; 0,002; 0,004; 0,006; 0,008; 0,009; 0,01]$ und $K_i=[0,1; 0,2; 0,4; 0,6; 0,8; 0,9; 1,0]$.

von $K_p=0,008$ und $K_i=0,8$ wird in beiden Fällen das erforderliche Einschwingverhalten erreicht. Die Verläufe der Sprungantworten sind für beide Sensor- und Verarbeitungsbandbreiten in erster Näherung identisch.

In Abbildung C.3 sind die Störübertragungsfunktionen des offenen und geschlossenen

Regelkreises im Bodediagramm für beide Sensor- und Verarbeitungsbandbreiten bei den Reglerparametern $K_p=0,008$ und $K_i=0,8$ dargestellt. Die Anforderungen zur entkopp-

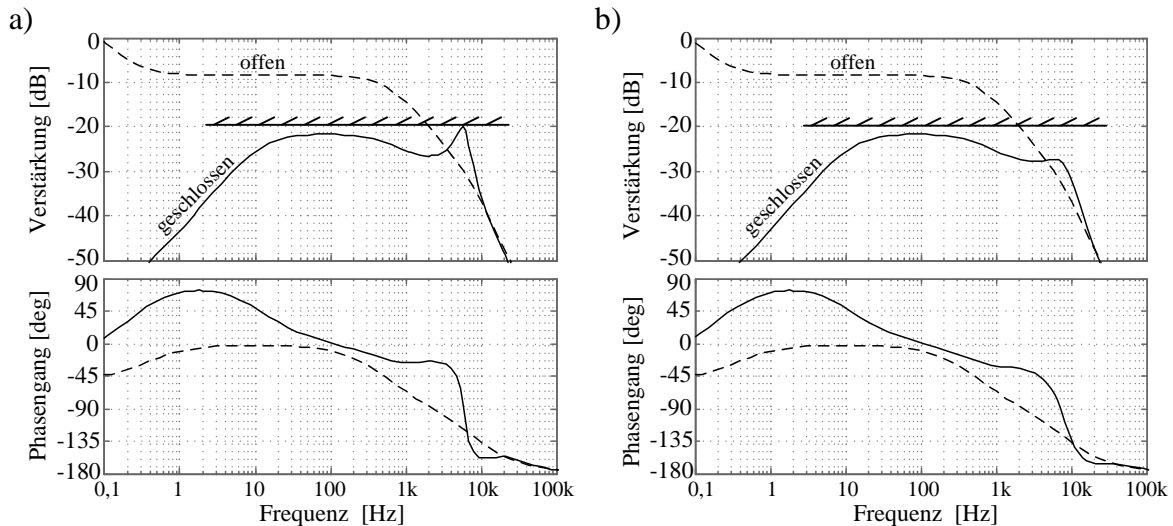


Abbildung C.3: Störübertragungsfunktionen des offenen und geschlossenen Regelkreises bei einer Sensor- und Verarbeitungsbandbreite von 15 kHz (a) und 25 kHz (b).

lung transienter Leistungsbedarfe (Verstärkung kleiner als -20 dB) ist für beide Sensor- und Verarbeitungsbandbreiten erfüllt. Bei der geringeren Bandbreite von 15 kHz zeigt sich aber im Frequenzbereich außerhalb der Reglerbandbreite eine Überhöhung von ca. 10 dB gegenüber dem unregelmäßigem Fall. Dies führt im Vergleich zu der Auslegung mit 25 kHz Bandbreite (Überhöhung kleiner als 5 dB) zu einem empfindlicheren Reglerverhalten, was im Unterkapitel 2.2.3.8 bei Bewertung der Stabilität- und Robustheit quantifiziert wurde.

C.2 Einphasiger Wandlerprototyp für den Vergleich von Simulation und Messung

Abbildung C.4 zeigt das Ersatzschaltbild des einphasigen Boost-/Buck-Wandlers und dessen Einbindung in die Systemumgebung bestehend aus Netzteil und Doppelschichtkondensator.

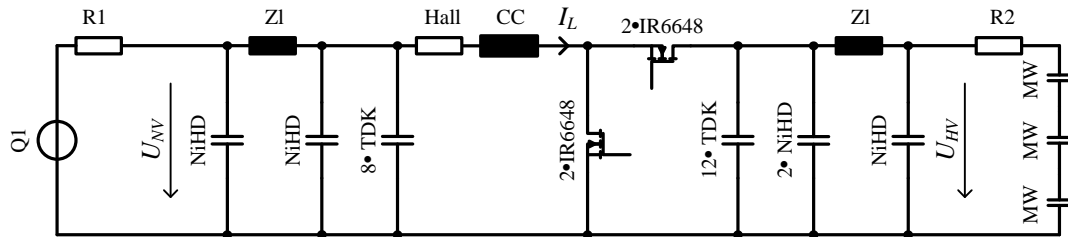


Abbildung C.4: Ersatzschaltbild des Wandlers, des Netzteils, des Doppelschichtkondensator-Stacks und des Kabelbaums. Die Werte der Elemente sind in den folgenden Tabellen aufgeführt.

ID	Beschreibung	Daten	
		U	R_{esr}
Q1	Netzteil: HP 6031A	$U = 14,6 \text{ V}$	$R_{esr} = 15 \text{ m}\Omega$
MW	DSK Stack: Maxwell SN2905	$C = 50 \text{ F}$	$R_{esr} = 15 \text{ m}\Omega$
NiHD	Elko: Nichicon HD 50V	$C = 470 \text{ uF}$	$R_{esr} = 25 \text{ m}\Omega$
TDK	Kondensator X7R: TDK 50V	$C = 22 \text{ uF}$	$R_{esr} = 5 \text{ m}\Omega$
IR6648	MOSFET: 60V		$R_{ds(on)} = 8 \text{ m}\Omega$
IRS2191	MOSFET Treiber: 600V; 4A		
CC	Drossel: Coilcraft SER2014-402	$L = 4,2 \text{ uH}$	$R_{esr} = 2 \text{ m}\Omega$
Hall	Hall Shunt: Allegro ACS710		$R_{esr} = 2 \text{ m}\Omega$
Z1	Stabkerndrossel	$L = 1 \text{ uH}$	$R_{esr} = 1 \text{ m}\Omega$

ID	Kabellänge	Querschnitt	Anzahl Schraubverbindungen	Modellparameter	
				L	R
R1	ca. 1,5 m	6 mm^2	4	$L = 1,5 \text{ uH}$	$R = 10 \text{ m}\Omega$
R2	ca. 1,0 m	$2,5 \text{ mm}^2$	8	$L = 1,0 \text{ uH}$	$R = 25 \text{ m}\Omega$

C.3 Mehrphasiger Wandlerprototyp für den Vergleich von Simulation und Messung

Abbildung C.5 zeigt das Ersatzschaltbild des implementierten mehrphasen Boost-/Buck-Wandlers mit den Messstellen für Wirkungsgradmessungen.

C.3 Mehrphasiger Wandlerprototyp für den Vergleich von Simulation und Messung

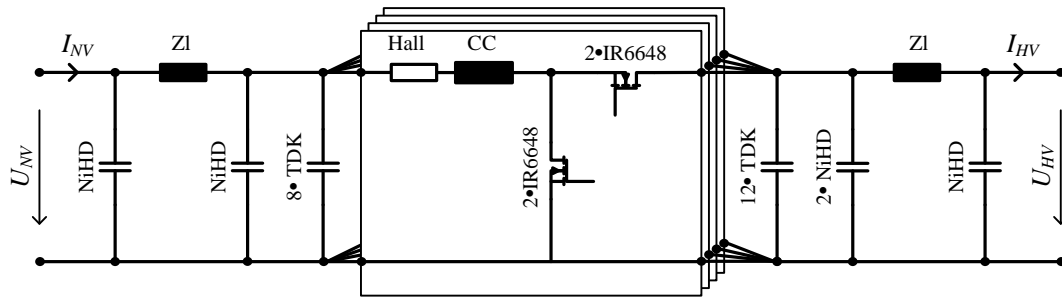


Abbildung C.5: Ersatzschaltbild des mehrphasigen Wandlers.

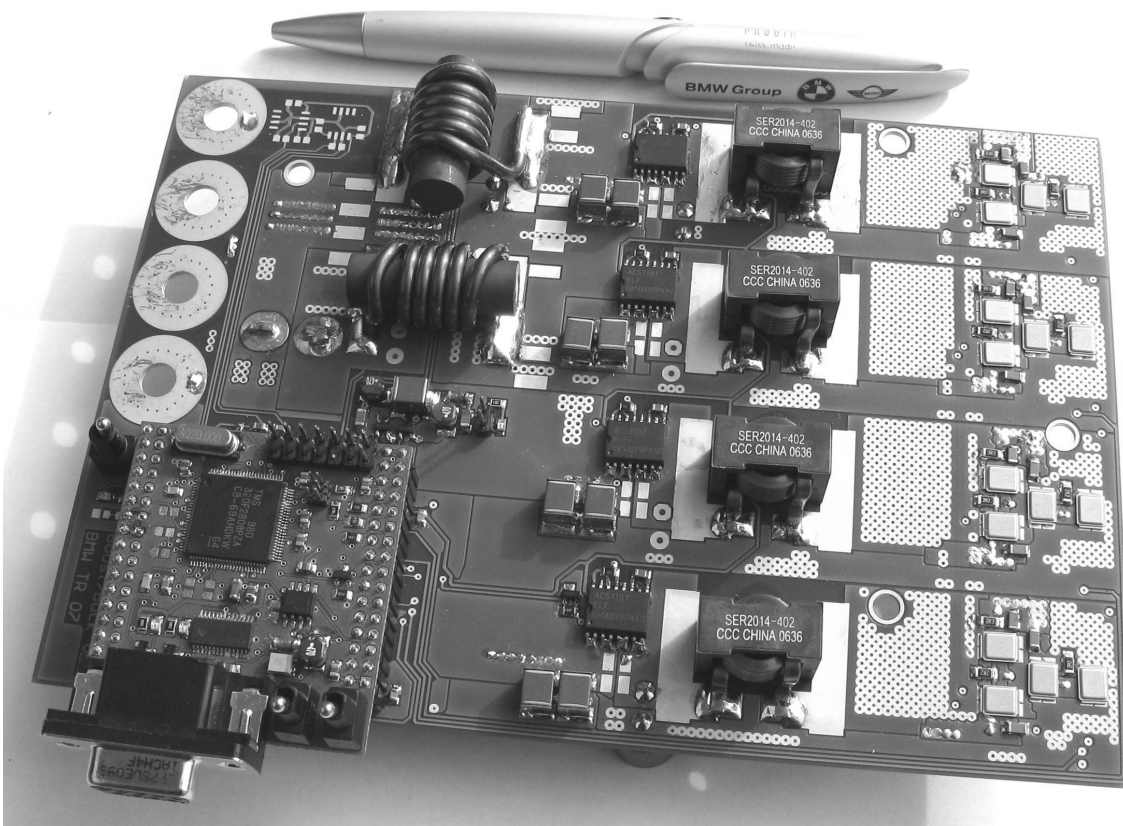


Abbildung C.6: Aufbau des vierphasigen Wandlerprototypen mit $f_s=200$ kHz.

Wie im Foto in Abbildung C.6 zu erkennen ist sind die vier Wandlerphasen identisch aufgebaut. Die einzelnen Wandlerphasen können in Software aktiviert bzw. deaktiviert werden. Der Phasenversatz wird mit dem Zusammenhang $\varphi = \frac{2 \cdot \pi}{n}$ entsprechend der Anzahl der aktiven Wandlerphasen n angepasst.

C.4 Verlustleistungsberechnung für das gemittelte Schaltermodell

Wie in [46] diskutiert, können Durchlass- und Schaltverluste vereinfacht mit Gleichung (C.9) bis (C.14) berechnet und in gemittelte Schaltermodelle integriert werden.

$$P_{VRds(on),LS} = D \cdot R_{ds(on),LS} \cdot \bar{I}_L^2 \quad (C.9)$$

$$P_{VRds(on),HS} = (1 - D) \cdot R_{ds(on),HS} \cdot \bar{I}_L^2 \quad (C.10)$$

$$P_{VS,ein} = \frac{1}{2} \cdot U_{Chv} \cdot \bar{I}_L \cdot t_{sw} \cdot \frac{1}{T_s} \quad (C.11)$$

$$P_{VS,aus} = \frac{1}{2} \cdot \bar{U}_{Chv} \cdot \bar{I}_L \cdot t_{sw} \cdot \frac{1}{T_s} \quad (C.12)$$

$$P_{VS,rr} = \frac{1}{2} \cdot U_{Chv} \cdot I_{rr} \cdot t_{rr} \cdot \frac{1}{T_s} \quad (C.13)$$

$$P_{VHB} = P_{VRds(on),LS} + P_{VRds(on),HS} + P_{VS,ein} + P_{VS,aus} + P_{VS,rr} \quad (C.14)$$

Die An- und Abfallzeiten ($t_{fi}, t_{ri}, t_{rv}, t_{fv}$) sind mit einer stromabhängigen Schaltzeit t_{sw} vereinfacht. Die Spannungsüberhöhung U_{sp} ist vernachlässigt und die Reverse Recovery Verluste sind mit einer konstanten Reverse Recovery Zeit t_{rr} vereinfacht nachgebildet.

$$R_{ds(on),LS} = \frac{1}{2} \cdot 8 \text{ m}\Omega$$

$$R_{ds(on),HS} = \frac{1}{2} \cdot 8 \text{ m}\Omega$$

$$\frac{1}{T} = 200 \text{ kHz}$$

$$t_{sw} = \frac{I_L}{di/dt} = \frac{I_L}{800 \text{ A}/\mu\text{s}}$$

$$t_{rr} = 40 \text{ ns}$$

$$I_{rr} = \frac{1}{2} \cdot I_L$$

C.5 Mehrgrößen-Spannungsregler

In der folgenden Tabelle sind die Zuordnungen der Wandlerstromsollwerte zu den Spannungen an den Wandlerklemmen dargestellt. Die Zuordnungen zwischen den diskreten Werten wurden mit linearer Interpolation geglättet.

U_{HV} U_{NV}	9 V	10 V	12 V	13 V	14 V	15 V	16 V
20 V	0 A	20 A	60 A	60 A	60 A	60 A	60 A
25 V	-10 A	10 A	20 A	50 A	60 A	60 A	60 A
30 V	-30 A	-20 A	-10 A	0 A	20 A	60 A	60 A
33 V	-60 A	-30 A	-20 A	-10 A	10 A	20 A	60 A
37 V	-60 A	-60 A	-30 A	-20 A	0 A	5 A	60 A
38 V	-60 A	-60 A	-50 A	-30 A	-10 A	0 A	10 A
38,5 V	-60 A	-60 A	-60 A	-40 A	-40 A	-20 A	0 A

C.6 Zweispannungs-Bordnetzprüfstand und Prüfbedingungen

DC/DC-Wandler: Prototyp Dimensionierung s. Abbildung C.5
Zwei Phasen aktiviert

Doppelschichtkondensator-Stack: 38 V 46 F
P/N: 105101 REV X1
S/N: 0406-MP-0007

Batterie (AGM): 12 V 70 Ah (60,5 Ah gemessen)
SN: 6121 6919 685
Ladezustand (SOC) ca. 70%

Umgebungstemperatur: ca. 20°C

C.7 Bordnetznachbildung nach CISPR-25

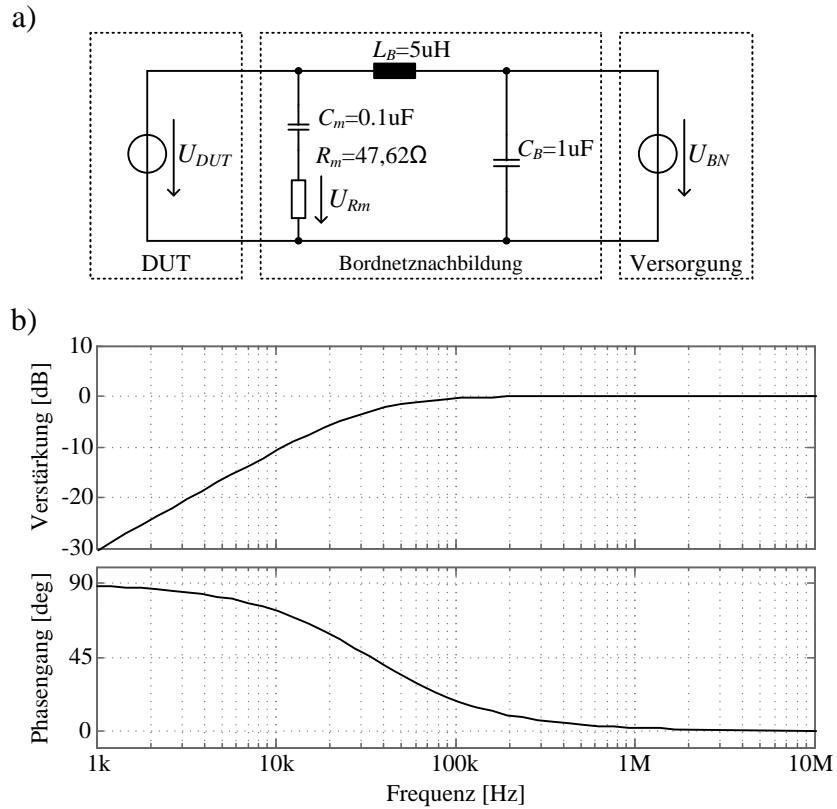


Abbildung C.7: Bordnetznachbildung nach CISPR-25 (a) und Übertragungsfunktion $G_{U_{dut}, U_{rm}}$ (b).

C.8 Daten eingesetzter MOSFETs

Die Daten sind aus den Herstellerdatenblättern (Stand Dezember 2009) entnommen bzw. wurden mit den angegebenen Daten berechnet.

Typ	Hersteller	URL	V_{br}	$R_{ds(on)}$	V_{pl}	Q_{gs}	Q_{gd}	Q_g	Zellen	Gehäuse
IPB025N08N3	Infineon	www.infineon.com	80	2,0	4,7	50	30	155	Trench	D2Pak
IPB037N06N3	Infineon	www.infineon.com	60	3,0	5,3	42	9	98	Trench	D2Pak
IPB100N08S2L	Infineon	www.infineon.com	75	4,7	3,5	18	70	182	Planar	D2Pak
IRF2907z	International Rectifier	www.irf.com	75	3,5	5,8	46	65	180	Trench	D2Pak
IRF3805	International Rectifier	www.irf.com	55	2,6	5,8	52	72	190	Trench	D2Pak
IRF3808	International Rectifier	www.irf.com	75	5,9	4,2	31	50	150	Planar	D2Pak
IRFS3206	International Rectifier	www.irf.com	60	2,4	4,2	29	35	120	Trench	D2Pak
IRFS3207	International Rectifier	www.irf.com	75	3,6	6	48	68	180	Trench	D2Pak
IRF6648	International Rectifier	www.irf.com	60	5,5	5,5	10	14	36	Trench	DirectFET
NEC110N055PUJ	NEC Electronics	www.necel.com	55	1,9	5	35	45	150	Trench	D2Pak
STB160N75F3	STMicroelectronics	www.st.com	75	3,2	6	27	26	85	Trench	D2Pak
STB185N55F3	STMicroelectronics	www.st.com	55	2,9	5,2	30	26	100	Trench	D2Pak

Literaturverzeichnis

- [1] Miller, J.M.; Nicastrì, P.R.: *The next generation automotive electrical power system architecture: issues and challenges*. In *AIAA/IEEE/SAE Digital Avionics Systems Conference Proceedings*, 1998.
- [2] Lukic, S.M.; Emadi, A.: *Performance analysis of automotive power systems: effects of power electronic intensive loads and electrically-assisted propulsion systems*. In *IEEE Vehicular Technology Conference*, 2002.
- [3] Karch, G.; Budaker, M.: *Energy conservation by using modern steering technology in all classes of passenger cars*. In *FISITA World Automotive Congress*. Springer Automotive Media, 2008.
- [4] Müller, C.; Hoffmann, J.: *Elektromechanische Federung*. In *Symposium Elektrische Leistungsbordnetze und Komponenten von Straßenfahrzeugen*, 2008. ISBN: 978-3-937655-17-8.
- [5] Sirch, O.; Fröschl, J.; Pröbstle, H.; Knobel, C.: *Energiebordnetz und elektrisches Energiemanagement der Zukunft*. In *Symposium Elektrische Leistungsbordnetze und Komponenten von Straßenfahrzeugen*, 2008. ISBN: 978-3-937655-17-8.
- [6] Sirch, O.; Immel, G.; Pröbstle, H.; Neudecker, R.; Fröschl, J.: *Zukunft Energiebordnetz - Von der energetischen Optimierung zum neuen Gesamtkonzept*. In *VDI-Berichte Nr. 2075*, ISBN: 978-3-18-092075-7, 2009.
- [7] Groß, J.; Hartmann, S.; Merkle, M.: *Entwicklungstrends und zukünftige Lösungen für Start/Stop Systeme*. In *VDI-Berichte Nr. 2075*, ISBN: 978-3-18-092075-7, 2009.
- [8] Schneuwly, A.; Auer, J.; Liedtke, M.: *Wenn Batterien nicht ausreichen - Effiziente Rekuperation, Zuverlässigkeit für Start-Stop und Bordnetzstabilität mit Ultrakondensatoren*. In *Symposium Elektrische Leistungsbordnetze und Komponenten von Straßenfahrzeugen*, 2008. ISBN: 978-3-937655-17-8.
- [9] Christ, T.: *Rekuperation in elektrischen Energiebordnetzen von Kraftfahrzeugen*. Dissertation, TU Berlin, 2006.

- [10] Polenov, D.: *DC/DC-Wandler zur Einbindung von Doppelschichtkondensatoren in das Fahrzeugenergiebordnetz*. Dissertation, TU Chemnitz, 2010.
- [11] Igel, J.; Ollhäuser, H.; Jeuck, M.; Apfelbacher, T.: *Start-Stopp und Rekuperation - DC/DC-Wandler mit integrierten Doppelschichtkondensatoren*. ATZelektronik, Vieweg Verlag, Ausgabe 5, 2008.
- [12] Abbate, N.; Attanasio, R.; Gennaro, F.; Guastella, C.; Vitale, G.: *High efficiency auxiliary power converter for HEV applications*. In *Elektrik/Elektronik in Hybrid- und Elektrofahrzeugen*. Haus der Technik, 2008. ISBN: 978-3-8169-2817-1.
- [13] Pröbstle, H.; Polenov, D.; Przywecki, F.; El-Dwaik, F.: *Advanced power net architecture for BMW micro-hybrid vehicles*. In *9th Stuttgart International Symposium Automotive and Engine Technology*, 2009.
- [14] Murthy, S.; Sebastian, T.; Liu, B.: *Implications of 42 V battery power on the design of motors for electric steering system*. Technical report, SAE Technical paper 2000-00FTT-58., 2000.
- [15] Polenov, D.; Pröbstle, H.; Reiter, T.; Graßl, T.: *Adaptive Bordnetzunterstützung für Kraftfahrzeuge mit Auto-Start-Stopp-Funktion*. In *Symposium Elektrische Leistungsbordnetze und Komponenten von Straßenfahrzeugen*, 2008. ISBN: 978-3-937655-17-8.
- [16] Polenov, D.; Reiter, T.; Pröbstle, H.: *Optimierung der Fahrzeugenergieversorgung durch Adaptive Bordnetzunterstützung*. In *Moderne Elektronik im Kraftfahrzeug, IV*. Haus der Technik, 2009. ISBN: 978-3-8169-2928-4.
- [17] Polenov, D.; Pröbstle, H.; Brösse, A.; Domorazek, G.; Lutz, J.: *Integration of supercapacitors as transient energy buffer in automotive power nets*. In *Proceedings of EPE Conference*, 2007.
- [18] Polenov, D.; Reiter, T.; Pröbstle, H.; König, S.; Lutz, J.: *A cascaded boost-buck DC/DC-converter for dual-voltage automotive power-nets with overlapping voltage ranges*. In *Proceedings of PCIM Europe Conference*, 2007.
- [19] Reiter, T.; Polenov, D.; Pröbstle, H.; Sirch, O.; Herzog, H.-G.: *Methode zur simulationsbasierten Konzeptentwicklung für Gleichspannungswandler im Kfz-Bordnetz*. In *Elektrik/Elektronik in Hybrid- und Elektrofahrzeugen*. Haus der Technik, 2008. ISBN: 978-3-8169-2817-1.
- [20] Erickson, R.; Maksimović, D.: *Fundamentals of Power Electronics*. University of Colorado Boulder, 2nd edition, 2001. ISBN: 0-7923-7270-0.

-
- [21] Smedley, K.M.: *Control art of switching converters*. Dissertation, California Institute of Technology, 1990.
- [22] Yao, K.; Ren, Y.; Lee, F.C.: *Critical bandwidth for the load transient response of voltage regulator modules*. IEEE Transactions on Power Electronics, vol. 19, no. 6, 2004.
- [23] Hu, J.: *Bewertung von DC-DC-Topologien und Optimierung eines DC-DC Leistungsmoduls für das 42-V-Kfz-Bordnetz*. Dissertation, RWTH Aachen, 2003.
- [24] Garcia, O.: *DC/DC-Wandler für die Leistungsverteilung in einem Elektrofahrzeug mit Brennstoffzellen und Superkondensatoren*. Dissertation, ETH Zürich, 2002.
- [25] Fabis, M.: *Beitrag zum Energiemanagement in Kfz-Bordnetzen*. Dissertation, TU Berlin, 2006.
- [26] Heinemann, D.: *Strukturen von Batterie- und Energiemanagementsystemen mit Bleibatterien und Ultracaps*. Dissertation, TU Berlin, 2006.
- [27] Engstle, A.: *Energiemanagement in Hybridfahrzeugen*. Dissertation, Technische Universität München, 2008.
- [28] Gerber, M.: *The Electrical, Thermal and Spatial Integration of a Converter in a Power Electronics Module*. Dissertation, TU Delft, 2005.
- [29] Gezgin, C.; Heck, B.S.; Bass, R.M.: *Simultaneous design of power stage and controller for switching power supplies*. IEEE Transactions on Power Electronics, vol. 12, no. 3, 1997.
- [30] Wilde, A.: *Eine modulare Funktionsarchitektur für adaptives und vorausschauendes Energiemanagement in Hybridfahrzeugen*. Dissertation, Technische Universität München, 2009.
- [31] Baliga, B.J.: *Fundamentals of Power Semiconductor Devices*. Springer Science and Business Media, 1st edition, 2008. ISBN: 978-0-387-47313-0.
- [32] Lutz, J.: *Halbleiter-Leistungselemente*. Springer Berlin, 1. Auflage, 2006. ISBN: 978-3-540-34206-9.
- [33] Yuancheng, R.; Xu, M.; Zhou, J.; Lee, F.C.: *Analytical loss model of power MOSFET*. IEEE Transactions on Power Electronics, vol. 21, no. 2, 2006.
- [34] Rodriguez, M.; Rodriguez, A.; Miaja, P.F.; Sebastian, J.: *A complete analytical switching loss model for power MOSFETs in low voltage converters*. In *Proceedings of EPE Conference*, 2009.

- [35] Belverde, G.; Magr, A.; Melito, M.; Musumeci, S.; Pagano, R.; Raciti, A.: *Efficiency improvement of synchronous buck converter by integrated Schottky diode in low-voltage MOSFETs*. In *Proceedings of the IEEE International Symposium on Industrial Electronics*, 2005.
- [36] Zhao, Q.; Stojcic, G.: *Design considerations for a new generation mid-voltage power mosfet technology*. In *IEEE Applied Power Electronics Conference and Exposition*, 2005.
- [37] Shen, Z.J.; Okada, D.; Lin, F.; Tintikakis, A.; Anderson, S.: *Lateral discrete power MOSFET: enabling technology for next-generation, mhz- frequency, high-density DC/DC converters*. In *IEEE Applied Power Electronics Conference and Exposition*, 2004.
- [38] Thapar, N.; Sodhi, R.; Dierberger, K.; Stojcic, G.; Blake, C.; Kinzer, D.: *MOSFET technology advances dc-dc converter efficiency for processor power*. In *Proceedings of PCIM Europe Conference*, 2001.
- [39] Gerber, M.; März, M.: *System integration in automotive power systems*. In *Proceedings of EPE Conference*, 2005.
- [40] Gerber, M.; Ferreira, J.A.; Hofsjager, I.W.: *A volumetric optimization of a low-pass filter*. *IEEE Transactions on Industry Applications*, vol. 38, no. 5, 2002.
- [41] Schwarz, P.: *Modellierung und Simulation heterogener technischer Systeme*. In *66. Physikertagung, Fraunhofer Institut für Integrierte Schaltungen Erlangen*, 2002.
- [42] Hairer, E.; Wanner, G.: *Solving Ordinary Differential Equations II: Stiff and Differential-Algebraic Problems*. Springer Series in Computational Mathematics, 2nd edition, 2004. ISBN: 978-3540604525.
- [43] Oliver, J.A.; Prieto, R.; Romero, V.; Cobos, J.A.: *Behavioral modeling of dc-dc converters for large-signal simulation of distributed power systems*. In *IEEE Applied Power Electronics Conference and Exposition*, 2006.
- [44] Torrey, D.A.; Selamogullari, U.S.: *A behavioral model for dc-dc converter using Modelica*. In *Proceedings 2nd International Modelica Conference*, 2002.
- [45] Valdivia, V.; Barrado, A.; Lázaro, A.; Zumel, P. and Raga, C. and Fernández, C.: *Simple modeling and identification procedures for “black-box” behavioral modeling of power converters based on transient response analysis*. *IEEE Transactions on Power Electronics*, vol. 24, no.12, 2009.

-
- [46] Reiter, T.; Polenov, D.; Pröbstle, H.; Herzog, H.-G.: *Analysis and control of multiphase dc/dc-converters for dual-voltage automotive power-nets*. In *Proceedings of PCIM Europe Conference*, 2008.
- [47] Pröbstle, H.: *Kohlenstoffaerogele für den Einsatz in Superkondensatoren*. Dissertation, Julius-Maximilians-Universität Würzburg, 2001.
- [48] Chen, M.; Rincon-Mora, G.A.: *Accurate electrical battery model capable of predicting runtime and I-V performance*. *IEEE Transactions on Energy Conversion*, vol. 21, no. 2, 2006.
- [49] Chan, H.L.: *A new battery model for use with battery energy storage systems and electric vehicles power systems*. In *IEEE Power Engineering Society Winter Meeting*, 2000.
- [50] Clark, J.O.: *System of systems engineering and family of systems engineering from a standards perspective*. In *IEEE International Conference on Systems Engineering*, 2009.
- [51] Reiter, T.; Polenov, D.; Pröbstle, H.; Herzog, H.-G.: *Observer based PWM dead time optimization in automotive DC/DC-converters with synchronous rectifiers*. In *IEEE Power Electronics Specialists Conference*, 2008.
- [52] Reiter, T.; Polenov, D.; Pröbstle, H.; Herzog, H.-G.: *Bus-voltage ripple optimization method for automotive multiphase DC/DC-converters*. In *IEEE Energy Conversion Congress and Exposition*, 2009.
- [53] Reiter, T.; Polenov, D.; Pröbstle, H.; Herzog, H.-G.: *PWM dead time optimization method for automotive multiphase DC/DC-converters*. *IEEE Transactions on Power Electronics*, vol. 99, no. 9, 2010. (to be published).
- [54] DIN, VDE: *VDE 0879 Teil 2, Funk-Enstörung zum Schutz von Empfängern in Fahrzeugen, Booten und Geräten - Grenzwerte und Messverfahren*. VDE Verlag GmbH, Berlin, 2003.
- [55] BMW Group Standard: *GS95002, Elektromagnetische Verträglichkeit (EMV) - Anforderungen und Prüfungen*. BMW AG, 2004.
- [56] Landsman, E.: *A unifying derivation of switching dc-dc converter topologies*. In *IEEE Power Electronics Specialists Conference*, 1979.
- [57] Tymerski, R.; Vorperian, V.: *Generation, classification and analysis of switched-mode dc-to-dc converters by the use of converter cells*. In *International Telecommunications Energy Conference*, 1986.

- [58] Schupbach, R.M.; Balda, J.C.: *Comparing dc-dc converters for power management in hybrid electric vehicles*. In *IEEE International Electric Machines and Drives Conference*, 2003.
- [59] Gerber, M.; Ferreira, J.A.; Hofsajer, I.W.; Seliger, N.: *Optimal interleaving of DC/DC converters in automotive applications*. In *Proceedings of EPE Conference*, 2003.
- [60] Eckardt, B.; März, M.: *A 100kW automotive powertrain DC/DC converter with 25kW/dm³ by using SiC*. In *Proceedings of PCIM Europe Conference*, 2006.
- [61] Garcia, O.; Zumel, P.; de Castro, A.; Cobos, A.: *Automotive DC-DC bidirectional converter made with many interleaved buck stages*. *IEEE Transactions on Power Electronics*, vol. 21, no. 3, 2006.
- [62] Waffler, S.; Kolar, J.W.: *Efficiency optimization of an automotive multi-phase bi-directional dc-dc converter*. In *IEEE Power Electronics and Motion Control Conference*, 2009.
- [63] Meyer, E.; Zhang, Z.; Liu, Y.F.: *An optimal control method for buck converters using a practical capacitor charge balance technique*. *IEEE Transactions on Power Electronics*, vol. 23, no. 4, 2008.
- [64] Abdel-Rahman, O.; Batarseh, I.: *Transient response improvement in DC-DC converters using output capacitor current for faster transient detection*. In *IEEE Power Electronics Specialists Conference*, 2007.
- [65] Yao, K.; Ming Xu; Meng, Y; Lee, F.C.: *Design considerations for VRM transient response based on the output impedance*. *IEEE Transactions on Power Electronics*, vol. 18, no. 6, 2003.
- [66] Lutz, H.; Wendt, W.: *Taschenbuch der Regelungstechnik*. Verlag Harri Deutsch, 5. erweiterte Auflage, 2003. ISBN: 3-8171-1705-1.
- [67] Dixon, L.: *The right-half-plane zero — a simplified explanation*. Technical report, Unitrode Seminars SEM-500, 1986.
- [68] Föllinger, O.: *Regelungstechnik, Einführung in die Methoden und ihre Anwendung*. Hüthig Verlag, 8. Auflage, 1994. ISBN: 3-7785-2336-8.
- [69] Alter, D.M.: *Using PWM output as a digital-to-analog converter on a TMS320F280x (Rev. A)*. Texas Instruments Application Report: SPRAA88A, 2008.

-
- [70] Cierullies, J.: *Auslegungs- und Bewertungsmetrik für die elektrische Energieversorgung von Kraftfahrzeugen*. Dissertation, Technische Universität München, 2006.
- [71] Gehring, R.; Fröschl, J.; Kohler, T.; Herzog, H.-G.: *Modeling of the automotive 14 V power net for voltage stability analysis*. In *IEEE Vehicle Power and Propulsion Conference*, 2009.
- [72] Gütegemeinschaft Solarenergieanlagen e.V.: *Güte- und Prüfbestimmungen für Solarenergieanlagen*. Ausgabe März, 2005.
- [73] Kohler, T.; Fröschl, J.; Herzog, H.-G.: *Systemansatz für ein hierarchisches, umweltgekoppeltes powermanagement*. In *Elektrik/Elektronik in Hybrid- und Elektrofahrzeugen*. Haus der Technik, 2010. ISBN: 978-3-8169-3010-5.
- [74] Liebl, J.; Frickenstein, E. Wier, M.; Hafkemeyer, M. El-Dwaik, F.; Hockgeier, E.: *Intelligente Generatorregelung - Ein Weg zur effizienten Dynamik*. ATZechnik, Ausgabe 4, 2006.
- [75] Michels, K.; Klawonn, F.; Kruse, R.; Nürnberger, A.: *Fuzzy-Regelung. Grundlagen, Entwurf, Analyse*. Springer, 1. Auflage, 2002. ISBN: 978-3-540-43548-8.
- [76] Pröbstle, H.; Polenov, D.; Sirch, O.: *Stabilisierung der Energieversorgung im Kraftfahrzeug*. In *Symposium Elektrische Leistungsbordnetze und Komponenten von Straßenfahrzeugen*, 2008. ISBN: 978-3-937655-17-8.
- [77] Huang, Y.; Tse, C.K.: *Circuit theoretic classification of parallel connected DC/DC converters*. IEEE Transactions on Power Electronics, vol. 54, no. 5, 2007.
- [78] Luo, S.; Lin, R.L.; Ye, Z.; Lee, F.C.: *A classification and evaluation of paralleling methods for power supply modules*. In *IEEE Power Electronics Specialists Conference*, 1999.
- [79] Zhou, X.; Peng Xu; Lee, F.C.: *A novel current-sharing control technique for low-voltage high-current voltage regulator module applications*. IEEE Transactions on Power Electronics, vol. 15, no. 6, 2000.
- [80] Joseph, C.J.; Zolghadri, M.R.; Homaifar, A.; Lee, F.; Lorenz, R.D.: *A novel thermal based current sharing control of parallel converters*. In *INTELEC Telecommunications Energy Conference*, 2004.
- [81] Andersen, M.A.; Nesgaard, C.: *Efficiency improvement in redundant power systems by means of thermal load sharing*. In *IEEE Applied Power Electronics Conference and Exposition*, 2004.

- [82] Qahoug, J.A.; Huang, L.; Huard, D.: *Sensorless current sharing analysis and scheme for multiphase converters*. IEEE Transactions on Power Electronics, vol. 23, no. 5, 2008.
- [83] Irving, B.T.; Jovanovic, M.M.: *Analysis, design, and performance evaluation of droop current-sharing method*. In *IEEE Applied Power Electronics Conference and Exposition*, 2000.
- [84] STMicroelectronics: *L6712 two-phase interleaved DC/DC controller*. Datasheet, Rev. 3, 2005.
- [85] Forghani-zadeh, H.P., Rincon-Mora, G.A.: *Current-sensing techniques for DC-DC converters*. In *Midwest Symposium on Circuits and Systems*, 2002.
- [86] Kelly, A.: *Current share in multiphase DC-DC converters using digital filtering techniques*. IEEE Transactions on Power Electronics, vol. 24, no. 1, 2009, ISSN 0885-8993.
- [87] Eirea, G.; Sanders, S.R.: *Phase current unbalance estimation in multiphase buck converters*. IEEE Transactions on Power Electronics, vol. 23, no. 1, 2008.
- [88] Mariethoz, S. and Beccuti, A.G. and Morari, M.: *Model predictive control of multiphase interleaved dc-dc converters with sensorless current limitation and power balance*. In *IEEE Power Electronics Specialists Conference*, 2008.
- [89] Xiong, Y.; Cheng, X.; Wang, X.; Kumar, P.; Guo, L.; Shen, Z.J.: *Performance analysis of trench power MOSFETs in high-frequency synchronous buck converter applications*. International Journal of Power Management Electronics, 2008.
- [90] Darwish, M.: *Next-generation semiconductors for dc-to-dc converters*. In *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*, 2003.
- [91] Yamashita, N.; Murakami, N.; Yachi, T.: *Conduction power loss in MOSFET synchronous rectifier with parallel-connected Schottky barrier diode*. IEEE Transactions on Power Electronics, vol. 13, no. 4, 1998.
- [92] Polenov, D., J. Lutz, H. Pröbstle, and A. Brösse: *Influence of parasitic inductances on transient current sharing in parallel connected synchronous rectifiers and Schottky-barrier diodes*. IET Circuits, Devices & Systems, vol. 1, no. 5, 2007.
- [93] Shenai, K.; Baliga, B.J.: *Monolithically integrated power MOSFET and Schottky diode with improved reverse recovery characteristics*. IEEE Transactions on Electron Devices, vol. 37, no. 4, 1990.

-
- [94] Calafut, D.: *Trench power MOSFET lowside switch with optimized integrated Schottky diode*. In *International Symposium on Power Semiconductor Devices and ICs*, 2004.
- [95] Krein, P.T.; Bass, R.M.: *Autonomous control technique for high-performance switches*. *IEEE Transactions on Power Electronics*, vol. 39, no. 3, 1992.
- [96] Huselstein, J.-J.; Gauthier, C.; Glaize, C.: *Use of the MOSFET channel reverse conduction in an inverter for suppression of the integral diode recovery current*. In *Proceedings of EPE Conference*, 1993.
- [97] Huang, H.-W.; Hsieh, C.-Y.; Chen, K.-H.; Kuo, S.-Y.: *Load dependent dead-times controller based on minimized duty cycle technique for DC-DC buck converters*. In *IEEE Power Electronics Specialists Conference*, 2007.
- [98] Rose, M.; Krupar, J.; Guldner, H.: *Zero body diode conduction time in variable speed drive converter systems*. In *Proceedings of EPE Conference*, 2009.
- [99] Stratakos, A.J.; Sanders, S.R.; Brodersen, R.W.: *A low-voltage CMOS DC-DC converter for a portable battery-operated system*. In *IEEE Power Electronics Specialists Conference*, 1994.
- [100] Lau, W.; Sanders, S.R.: *An integrated controller for a high frequency buck converter*. In *IEEE Power Electronics Specialists Conference*, 1997.
- [101] Acker, B.; Sullivan, C.R.; Sanders, S.R.: *Synchronous rectification with adaptive timing control*. In *IEEE Power Electronics Specialists Conference*, 1995.
- [102] Mapus, S.: *Predictive gate drive boosts synchronous dc/dc power converter efficiency*. Texas Instruments Application Report: SLUA281, 2003.
- [103] Trescases, O.; Wai Tung Ng; Chen, S.: *Precision gate drive timing in a zero-voltage-switching DC-DC converter*. In *Proceedings of International Symposium on Power Semiconductor Devices & ICs*, 2004.
- [104] Abu-Qahouq, J.; Mao, H.; Al-Atrash, H.J.; Batarseh, I.: *Maximum efficiency point tracking (MEPT) method and digital dead time control implementation*. *IEEE Transactions on Power Electronics*, vol. 21, no. 5, 2006.
- [105] Peterchev, A.V. and S.R. Sanders: *Digital multimode buck converter control with loss-minimizing synchronous rectifier adaptation*. *IEEE Transactions on Power Electronics*, vol. 21, no. 6, 2006.

- [106] Pizzutelli, A., A. Carrera, M. Ghioni, and S. Saggini: *Digital dead time auto-tuning for maximum efficiency operation of isolated DC-DC converters*. In *IEEE Power Electronics Specialists Conference*, 2007.
- [107] Yousefzadeh, V.; Maksimović, D.: *Sensorless optimization of dead times in DC-DC converters with synchronous rectifiers*. *IEEE Transactions on Power Electronics*, vol. 21, no. 4, 2006.
- [108] Reiter, T.; Polenov, D.; Pröbstle, H.; Herzog, H.-G.: *Optimization of PWM dead times in DC/DC-converters considering varying operating conditions and component dependencies*. In *Proceedings of EPE Conference*, 2009.
- [109] Reiter, T.; Polenov, D.; Pröbstle, H.; Herzog, H.-G.: *Implementation aspects of the observer based PWM dead time optimization for dc/dc-converters*. In *Proceedings of PCIM Europe Conference*, 2009. ISBN: 978-3-8007-3158-9.
- [110] Klein, J.: *Synchronous buck MOSFET loss calculations with Excel model*. Fairchild Semiconductor Application Note AN-6005, V 1.01, 2006.
- [111] Polenov, D.; Reiter, T.; Baburske, R.; Pröbstle, H.; Lutz, J.: *The influence of turn-off dead time on the reverse-recovery behaviour of synchronous rectifiers in automotive DC/DC-converters*. In *Proceedings of EPE Conference*, 2009.
- [112] Hu, J.; Bloh, J.; De Doncker, R.W.: *Typical impulses in power electronics and their EMI characteristics*. In *IEEE Power Electronics Specialists Conference*, 2004.
- [113] Zhao, Q.; Stojcic, G.: *Characterization of Cdv/dt induced power loss in synchronous buck dc-dc converters*. *IEEE Transactions on Power Electronics*, vol. 22, no. 4, 2007.