

Technische Universität München  
Lehrstuhl für Technische Elektronik  
Halbleiterproduktionstechnik

## **Zuverlässigkeitsaspekte von Kupfermetallisierungen in Integrierten Schaltungen**

Alexander von Glasow

Vollständiger Abdruck der von der Fakultät für  
Elektrotechnik und Informationstechnik  
der Technischen Universität München  
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Vorsitzender: Univ.-Prof. Dr.-Ing. Hans-Georg Herzog

Prüfer der Dissertation:

1. Univ.-Prof. Dr.-Ing. Walter Hansch
2. Univ.-Prof. Dr. rer. nat. Ignaz Eisele,  
Universität der Bundeswehr München

Die Dissertation wurde am 15.6.2005 bei der Technischen Universität München eingereicht  
und durch die Fakultät für Elektrotechnik und Informationstechnik am 28.11.2005  
angenommen.

# Inhaltsverzeichnis

<b>1</b>	<b><u>Einleitung</u></b>	<b>5</b>
<b>2</b>	<b><u>Bewertungsmethodik von Zuverlässigkeitsaspekten in der Prozessqualifikation</u></b>	<b>9</b>
2.1	Elektromigration in Kupfermetallisierungen und deren Bewertungsmethodik	11
2.1.1	Physikalisches Prinzip der Elektromigration	11
2.1.1.1	Kinetische Aspekte des Elektromigrationsvorgangs	14
2.1.1.2	Thermodynamische Aspekte der Elektromigration	14
2.1.1.3	Der Kurzlängeneffekt (Blech-Effekt)	15
2.1.1.4	Flussdivergenzen	17
2.1.1.5	Der statistische Charakter der Elektromigration	18
2.1.2	Beschleunigte Testverfahren und Methodik zur Abschätzung der Elektromigrationslebensdauer	18
2.1.2.1	Die Methode der Lebensdauerextrapolation	20
2.1.3	Elektromigrationsteststrukturen	23
2.1.3.1	Leitbahnstrukturen	23
2.1.3.2	Via/Leitbahn-Strukturen	24
2.1.4	Bimodale Elektromigrationsausfallverteilungen	28
2.1.4.1	Das Superpositionsmodell	29
2.1.4.2	Das Weak-Link-Modell	31
2.2	Stressmigration in Kupfermetallisierungen und deren Bewertungsmethodik	33
2.2.1	Das Prinzip der Stressmigration in Kupfermetallisierungen	33
2.2.1.1	Das Konzept des aktiven Volumens für Stressmigration	35
2.2.2	Teststrukturen für Stressmigrationsuntersuchungen	37
2.2.2.1	Die Plattenstruktur	37
2.2.2.2	Die Gitterstruktur	38
2.2.2.3	Die Überlappstruktur	38
2.2.3	Voiding-Szenario bei Stressmigration in Kupfermetallisierungen	38
2.2.4	Testmethodik und statistische Beschreibung von Stressmigrationsausfällen	39
2.2.5	Temperaturabhängigkeit der Stressmigration bei Kupfermetallisierungen	40
2.2.5.1	Temperaturverhalten der Stressmigration bei Kupfer Dual-Damascene Integration	40
2.2.5.2	Temperaturverhalten der Stressmigration bei einer Kupfer/Hybrid-Metallisierung	41
2.2.5.3	Transformationsmodell für Stressmigration in Kupfermetallisierungen	43
2.2.6	Methodik zur Bestimmung der Stressmigrationslebensdauer	44
2.2.7	Veränderung des Stressmigrationsverhaltens bei kleinen Chipflächen	46
2.2.8	Zusammenhang zwischen stressmigrationsbedingtem Void-Wachstum im Via und dem Widerstandsanstieg in Via/Leitbahn-Strukturen	47
2.3	Degradation des Inter-Metall-Dielektrikums	51
2.3.1	Methodik zur Untersuchung der Barriere-Integrität	52

<b>3</b>	<b><u>Untersuchungen zu Mikrostrukturellen Aspekten polykristalliner Kupfermetallisierungen</u></b>	<b>54</b>
3.1	Die Kornstruktur	54
3.2	Die Textur	56
3.3	Widerstandsverhalten bei Erholung und Ausheilung von Kristalldefekten	57
3.4	Der TCR-Wert als Indikator für Mikrostruktur und Zuverlässigkeit (TCR-Methode)	58
<b>4</b>	<b><u>Grundlagen der Herstellung von Kupfermetallisierungen mit Damascene Architektur</u></b>	<b>61</b>
4.1	Die Oxidstrukturierung: Via- und Grabenätzung	63
4.2	Die Liner- und Seedlayer-Abscheidung	65
4.3	Auffüllung der Damascene Gräben durch elektrolytische Kupferabscheidung	69
4.4	Thermische Behandlung nach der elektrolytischen Abscheidung (Post-Plating Anneal)	70
4.5	Die Chemisch-Mechanische Planarisierung (CMP)	72
4.6	Die Deckschichtabscheidung	74
<b>5</b>	<b><u>Beschreibung des Testmaterials</u></b>	<b>76</b>
<b>6</b>	<b><u>Design und Prozess: die Schlüssel zur Erreichung optimaler Zuverlässigkeit von Kupfermetallisierungen</u></b>	<b>78</b>
6.1	Übersicht der Studien zum Einfluss des Designs	78
6.2	Übersicht der Studien zum Einfluss der Herstellungsprozesse	81
<b>7</b>	<b><u>Einfluss des Metallisierungsdesigns von Kupfermetallisierungen auf deren Zuverlässigkeit</u></b>	<b>83</b>
7.1	Studien zur Untersuchung des Elektromigrationsverhaltens in Abhängigkeit des Metallisierungsdesigns	83
7.1.1	Untersuchungen an reinen Leitbahnen unterschiedlicher Breite	83
7.1.2	Untersuchungen an Via/Leitbahn-Strukturen mit Einzel-Via	84
7.1.2.1	Schmale Via/Leitbahn-Strukturen mit Einzel-Via	85
7.1.2.2	Via/Leitbahn-Strukturen unterschiedlicher Breite mit Einzel-Via	86
7.1.2.3	Leitbahnlängenabhängigkeit (Blech-Effekt)	88
7.1.2.4	Einfluss des Via-Überlapps (Reservoir-Effekt)	90
7.1.3	Untersuchungen an Via/Leitbahn-Strukturen mit mehreren Vias	92
7.1.4	Zusammenfassung: Beeinflussung der Elektromigration durch Designaspekte	94
7.2	Einfluss des Metallisierungsdesigns auf das Stressmigrationsverhalten	96
7.2.1	Stressmigrationsuntersuchungen an Plattenstrukturen mit Einzel-Via	96
7.2.2	Maßnahmen zur Reduzierung der Stressmigrationsanfälligkeit	99
7.2.2.1	Der „Naseneffekt“	99
7.2.2.2	Redundante Vias	100
7.2.3	Stressmigrationsverhalten in Mehrlagenmetallisierungssystemen	101
7.2.4	Einfluss kleiner Geometrieschwankungen auf das Stressmigrationsverhalten	102
7.2.4.1	Einfluss des Via-Überlapps auf die Stressmigration	102
7.2.4.2	Einfluss der Via-Größe auf die Stressmigration	104

7.2.5	Zusammenfassung: Beeinflussung der Stressmigration durch Designaspekte	105
7.3	Schlussfolgerung zum Einfluss des Metallisierungsdesigns auf die Gesamtzuverlässigkeit	106
<b>8</b>	<b><u>Einflüsse der Herstellungsprozesse auf die Zuverlässigkeit</u></b>	<b>107</b>
8.1	Die Single-Damascene Grabenätzung	108
8.2	Die Dual-Damascene Via-Ätzung	112
8.2.1	Auswirkungen von Überätzungen beim Erzeugen des Via-Lochs	112
8.2.2	Erzeugung lokaler Seitenwandfurchen beim Öffnen der SiN-Deckschicht	114
8.2.3	Zusammenfassung: Zuverlässigkeitsaspekte der Via-Ätzung	116
8.3	Der Liner Pre-Clean	117
8.3.1	Die nass-chemische Entfernung von Polymerresten	117
8.3.2	Der Sputter Pre-Clean	118
8.4	Die Linerabscheidung	121
8.4.1	Das Linermaterial	121
8.4.2	Das Linerabscheideverfahren	122
8.4.2.1	Zusammenhang zwischen PVD-Verfahren, Linerkonformität und Isolation	123
8.4.2.2	Defektkompensation durch Verwendung eines Rücksputterverfahrens	124
8.5	Die elektrolytische Kupferabscheidung	126
8.6	Der Post-Plating Anneal	128
8.7	Die SiN-Deckschicht Abscheidung	132
8.8	Zusammenfassung der wichtigsten Einflüsse des Metallisierungsprozesses	141
<b>9</b>	<b><u>Zusammenfassung</u></b>	<b>144</b>
<b>10</b>	<b><u>Anhang</u></b>	<b>151</b>
10.1	Eigene Vorabveröffentlichungen von Teilergebnissen der Dissertation	151
10.2	Allgemeines Verzeichnissesverzeichnis	154
10.3	Abkürzungen, Symbole und englische Begriffe	165
10.4	Lebenslauf	166
10.5	Danksagung	167

# 1. Einleitung

„Copper was, is and will be the future“ - mit dieser Aussage beschrieb Jim Lloyd [1] 1999 die Hoffnung der Mikrochipindustrie, den stetig wachsenden Anforderungen von hochleistungsfähigen, elektronischen Geräten durch Integrierte Schaltungen mit einer Kupfermetallisierung gerecht zu werden. Bereits Anfang der 90er Jahre begannen die Bemühungen, eine Metallisierung aus Kupfer zu entwickeln, die dem bisher verwendeten Aluminium bezüglich Strombelastbarkeit und spezifischem Widerstand weit überlegen sein sollte. Der Bedarf nach hohen Stromdichten in der Verdrahtung der Chips resultiert dabei aus der kontinuierlichen Verkleinerung der Geometrien: Bei einem linearen „Shrink“ der aktiven Gebiete um den Faktor  $S$  schrumpfen Leitbahnen und Vias mit etwa  $S^2$  durch eine gleichzeitige Reduzierung der Breite und Schichtdicke bzw. des Durchmessers. Da die Betriebsspannung aber nur etwa linear mit  $S$  sinkt, muss sich die Stromdichte in der Metallisierung erhöhen, um die notwendigen Versorgungsströme zu erreichen.

Die wichtigsten Trends der Mikroelektronik werden in der ITRS Roadmap prognostiziert [2]. Aus ihr geht zum Beispiel hervor, dass sich die Stromdichten in den kommenden 10 Jahren etwa um den Faktor 3 erhöhen werden (Tab. 1-1).

	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
Max. Anzahl der Metallebenen	8	8	8	9	10	10	10	10	11	11
Max. Gesamtleitbahnlänge [ <b>km/cm<sup>2</sup></b> ]	4.1	4.8	5.8	6.9	9.1	10.0	11.1	16.1	22.7	33.5
Min. Pitch der Verdrahtung [nm]	350	295	245	210	185	170	150	105	75	50
Max. Stromdichte [ <b>mA/μm<sup>2</sup></b> ] bei 105°C	9.6	11	13	15	17	19	21	27	33	39
Ausfallrate (FIT/m) $\times 10^{-3}$	1.2	1.0	0.9	0.7	0.6	0.5	0.4	0.3	0.2	0.1

Tab. 1-1: Auszug aus der „International Technology Roadmap for Semiconductors“ (ITRS) 2001 [2].

Derart hohe Stromdichten können von bisher in Mikrochips verwendeten Aluminiummetallisierungen nicht über den geforderten Lebensdauerzeitraum von bis zu 15 Jahren getragen werden – sie degradieren zu schnell durch Elektromigration. Kupfer hingegen hat als Verdrahtungsmaterial eine weitaus höhere Elektromigrationsresistenz [3-21] und bietet sich deshalb besonders gut für Logik-Schaltungen (z.B. Prozessoren) an. Im DRAM-Bereich (Speicher) findet Aluminium mit einer maximalen Stromdichte von 2mA/μm<sup>2</sup> aber nach wie vor Verwendung wegen der deutlich geringeren Stromanforderungen.

Ein weiterer Grund für den Wechsel von Aluminium zu Kupfer ist der niedrigere spezifische elektrische Widerstand [22]. Die Geschwindigkeit Integrierter Schaltungen wird vor allem durch zwei Parameter bestimmt: Dem Transistor-Gate-Delay und dem Metallisierungs-RC-Delay. Ab der 180nm Technologiegeneration dominiert bei Aluminiummetallisierungen das RC-Delay der Metallisierung die Mikrochipgeschwindigkeit (Abb. 1-1). Um das RC-Glied der Verdrahtung zu reduzieren, können neben Design- und schaltungstechnischen Lösungen (z.B. X-Architektur, Buffer/Repeater [150-152]) entweder der spezifische Widerstand (Wechsel zu Kupfer) aber auch die Dielektrizitätskonstante (Wechsel zu „low  $k$ “ Materialien) verringert werden. Kupfermetallisierungen mit einem Dielektrikum niedrigerer Dielektrizitätskonstante zeigen beispielsweise rechnerisch eine fast vierfach geringere RC-Verzögerung (Abb. 1-1).

Der Wechsel zu neuen Materialien birgt in der Mikroelektronik aber auch stets die Gefahr unbekannter Risiken bezüglich Prozessintegration, Zuverlässigkeit, ESD-Festigkeit und Eignung zur Massenproduktion. Zunächst musste für Kupfer auf Grund seiner schlechten Trockenätzbarkeit eine völlig neue Strukturierungsmethode entwickelt werden. IBM präsentierte hierzu im Jahre 1997 erstmals die (Dual) Damascene Methode nebst geeigneter

elektrolytischer Abscheideverfahren (ECD) und Planarisierungsprozesse (CMP) [23, 3]. Diese finden seitdem mit kleinen Modifikationen als Standardmethode zur Integration von Kupfer Anwendung. Eine weitere Herausforderung ist die Vermeidung von Kupferkontaminationen des Inter-Metall-Dielektrikums oder sogar der aktiven Diffusionsgebiete, die eine Erhöhung der Leckströme bzw. eine Veränderung der Transistoreigenschaften verursachen können [24, 25]. Deshalb muss die Kupfermetallisierung auf ihrer gesamten Länge mittels Diffusionsbarrieren hermetisch eingekapselt werden, um so eine Ausdiffusion von Kupferionen zu vermeiden.

Berücksichtigt man nun die in der ITRS Roadmap avisierten Leitbahngesamtlängen von einigen zehn Kilometern bei gleichzeitigem Absinken der zulässigen Ausfallraten (Tab. 1-1), so lassen sich die großen Herausforderungen an die Prozessierbarkeit und die Zuverlässigkeit sofort klar erkennen.

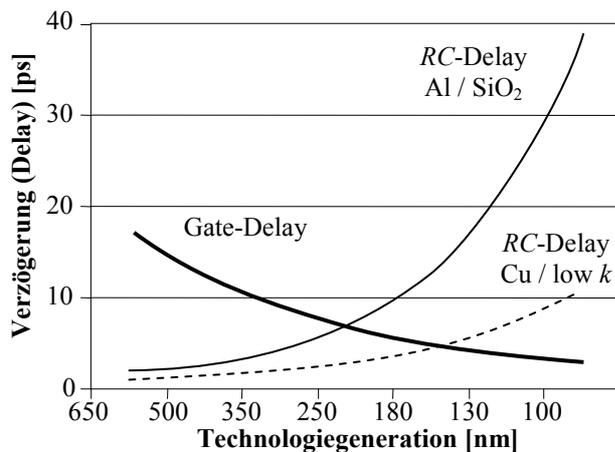


Abb. 1-1: Verzögerungszeit der Verdrahtung (RC-Delay) und der Transistoren (Gate-Delay) für unterschiedliche Technologiegenerationen [2]. Der jeweils größere Wert bestimmt die Chip-Schaltungsgeschwindigkeit, wobei für zukünftige Generationen das RC-Delay dominiert.

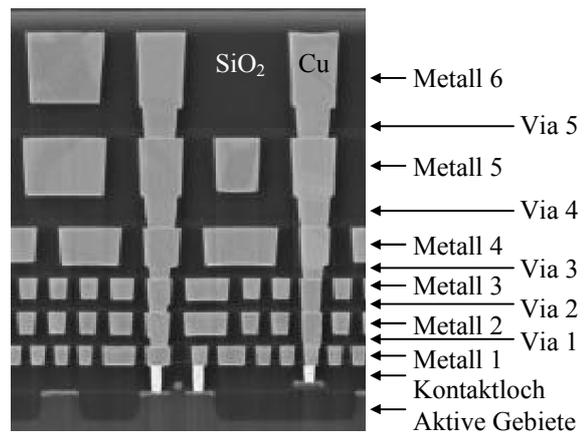


Abb. 1-2: Querschnitt eines Intel Prozessors der 130nm Generation mit einer 6-Lagen Kupfermetallisierung [118].

Die neuartigen Prozesse zur Herstellung von Integrierten Schaltungen mit Kupfermetallisierungen bewirken, dass sich zum Teil fundamentale Degradationsmechanismen ändern, die zu einer Beeinträchtigung der Chip-Funktionalität führen können. Das über die letzten 30 Jahre erarbeitete Wissen und die Methodik, wie eine Metallisierung bezüglich ihrer Zuverlässigkeit zu bewerten ist, sind nach dem Wechsel zu Kupfer somit nur noch teilweise anwendbar. Die neuen bzw. geänderten Degradations- und Ausfallmechanismen fordern deshalb angepasste Methoden in der Prozessqualifikation, um die Zuverlässigkeitsansprüche von Integrierten Schaltungen mit Hilfe von beschleunigten Lebensdaueruntersuchungen abzusichern. Dieser Aspekt soll den Schwerpunkt der vorliegenden Dissertation bilden.

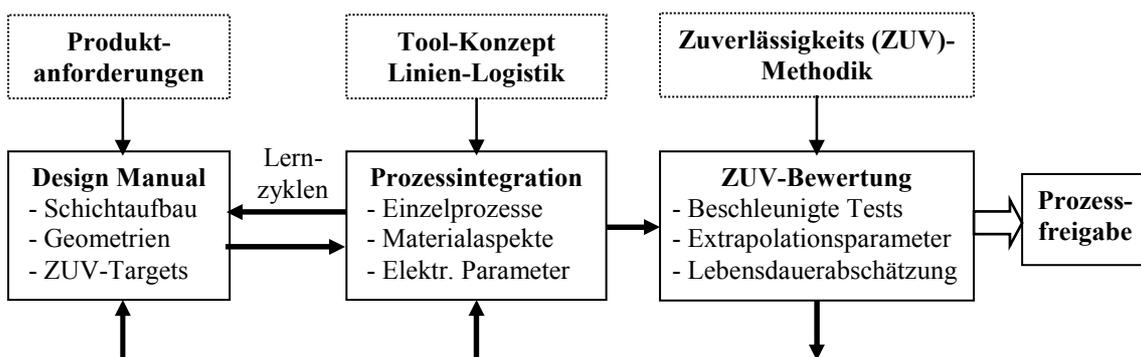


Abb. 1-3: Die Rolle von Zuverlässigkeitsuntersuchungen innerhalb der Technologieentwicklung

Typischerweise gibt es zu Beginn einer jeden Technologieentwicklung genaue Vorstellungen davon, mit welchen Geometrien die Schaltungen erzeugt und welche Anforderungen (Targets) dabei erfüllt werden sollen. Diese Vorschriften, nach denen später auch das Layout der Integrierten Schaltungen erfolgt, werden im sogenannten "Design-Manual" zusammengefasst. Bei neueren Technologien werden die geometrischen Aspekte im Wesentlichen durch die Lithographie und das CMP getrieben. Die Technologietargets werden vornehmlich aus den Produktanforderungen abgeleitet. Bei Metallisierungen bilden folgende Parameter die Eckdaten eines Targetsatzes: Die geforderte Lebensdauer ( $t_{EOL}$ ), die maximal erlaubte Betriebsstromdichte ( $j_{op}$ ), die maximal zulässige Betriebstemperatur ( $T_{op}$ ) sowie die maximale Ausfallhäufigkeit ( $CDF_{max}$ ), die unter diesen Bedingungen aus Qualitätssicht tolerierbar ist. Der Prozess wird entwickelt und über begleitende Zuverlässigkeitsuntersuchungen hinsichtlich dieser Anforderungen bewertet.

Unter dem Begriff "Prozesszuverlässigkeit" versteht man die Fähigkeit des Prozesses, in der hochvolumigen Massenfertigung Integrierte Schaltungen zu garantieren, die bei gegebenen Betriebsbedingungen innerhalb der Produktlebensdauer eine Veränderung von elektrischen Parametern nur innerhalb definierter Grenzwerte erlaubt, durch die die Produktfunktionalität noch nicht beeinträchtigt wird. Bezogen auf die Prozesszuverlässigkeit von Metallisierungssystemen sind dies in erster Linie der Via- bzw. Leitbahnwiderstand sowie das Isolationsverhalten der dielektrischen Schichten.

Kupfermetallisierungen können insbesondere durch Verschleißmechanismen wie Elektro- und Stressmigration sowie durch Ermüdungsvorgänge oder auch Korrosion/Oxidation degradieren. Die Degradation der Zwischen-Metall-Isolation ist primär von der Permeabilität der Diffusionsbarrieren abhängig.

Ziel der Zuverlässigkeitsmethodik ist es, durch bewusst überhöhte Belastungsbedingungen eine im Vergleich zum Produkt beschleunigte Degradation der Metallisierung oder Isolation herbeizuführen und mittels geeigneter, statistischer Modelle zur Abschätzung der Produktlebensdauer zu nutzen.

<b>Zuverlässigkeitsaspekte von Kupfermetallisierungen</b>	
<b>Zuverlässigkeitstargets</b> Lebensdauer ( $t_{EOL}$ ) Betriebsstromdichte ( $j_{op}$ ) Betriebstemperatur ( $T_{op}$ ) Erlaubte Ausfallhäufigkeit ( $CDF_{max}$ )	<b>Zuverlässigkeitsrisiken</b> Elektromigration Stressmigration Degradation der Isolation Andere Mechanismen

Abb. 1-4: Bewertung der Zuverlässigkeitsaspekte der Kupfermetallisierung in Siliziumoxid bezüglich der Degradationsmechanismen und den Produktanforderungen.

Während der Prozessentwicklung wird (im Allgemeinen über mehrere Lernzyklen hinweg) versucht, die Zusammenhänge zwischen Einzelprozessen, verwendeten Materialien sowie Designregeln und der daraus resultierenden Zuverlässigkeit der Metallisierung zu studieren. Auf Grundlage dieser Untersuchungen können Prozess-Schwächen behoben und Designvorschriften optimiert werden, um den besten Kompromiss zwischen hoher Performance und der Zuverlässigkeit für das spätere Produkt zu gewährleisten. Zum Abschluss der Zuverlässigkeitsbewertung steht die "Prozessfreigabe", sobald der entwickelte Gesamtprozess die Technologietargets erfüllt hat. Nachträgliche Änderungen dieses Zielprozesses müssen erneut qualifiziert werden, falls die Zuverlässigkeitsaspekte dadurch berührt werden können. Insbesondere bei der Einführung neuer Materialien und Herstellungsverfahren hat die Bewertung der Zuverlässigkeit enorm an Bedeutung gewonnen, da die Qualität ganzer Produktgenerationen durch falsch oder nicht erkannte Zuverlässigkeitsrisiken beeinträchtigt werden kann.

In der vorliegenden Arbeit werden Ergebnisse von Zuverlässigkeitsuntersuchungen zusammengefasst, die an Kupfermetallisierungen der Technologiegenerationen 0.35µm, 0.18µm sowie 0.13µm der Firma Infineon Technologies AG durchgeführt wurden. Die Untersuchungen wurden dabei ausschließlich an Metallisierungen durchgeführt, die in Siliziumoxid eingebettet waren. Die Studien lassen sich in drei Hauptschwerpunkte untergliedern:

- Fundamentale Studien zur Bewertungsmethodik der Zuverlässigkeit
- Beeinflussung der Zuverlässigkeit durch geometrische Aspekte
- Zusammenhang zwischen Prozesseinflüssen und Zuverlässigkeit.

Neben einführenden Betrachtungen zur Elektromigration, Stressmigration, Isolation und Mikrostruktur werden in den Kapiteln 2 und 3 eigene Fundamentalstudien präsentiert, die weltweit als Meilensteine auf dem Weg zum Verständnis der Zuverlässigkeit von Kupfermetallisierungen angesehen werden. Hierbei sind zu nennen:

- Statistische Beschreibung multimodaler Ausfallverteilungen
- Entwicklung des ersten, quantitativen Extrapolationsmodells für Stressmigration
- Methode zur Abschätzung von Zuverlässigkeitsrisiken mittels *TCR*-Parameter.

Im Kapitel 4 werden die einzelnen Prozess-Schritte zur Herstellung des Dual Damascene Testmaterials erläutert. Auf Grund der Komplexität der Prozessfolge, erfolgt die Beschreibung der einzelnen Prozesse nur mit der für das Verständnis der Zuverlässigkeitsaspekte notwendigen Detailtiefe.

Auf Basis umfangreicher Untersuchungen wird dann in den anschließenden Kapiteln die Beeinflussung der Zuverlässigkeit von Kupfermetallisierungen hinsichtlich zweier Aspekte systematisiert (Abb. 1-5): Zum einen wird die Zuverlässigkeit einer Via/Leitbahn-Konstruktion durch deren **geometrische Aspekte** beeinflusst (Kap. 7). Dabei sind der Via-Durchmesser, die Positionierung des Vias auf der Leitbahn (z.B. Überlapp), die Leitbahngeometrie (z.B. Breite, Dicke, spezielles Layout) und deren so genanntes aktives Volumen maßgeblich. Zum anderen beeinflussen die **angewandten Einzelprozesse** sowie die dabei verwendeten Materialien die Zuverlässigkeit der Leitbahnkonstruktionen (Kap. 8). Die Ergebnisse im weiteren Verlauf der Arbeit zeigen, dass das Via eine bevorzugte Schwachstelle für Ausfallmechanismen ist. Deshalb kommt jenen Prozessen, die die lokale Mikrostruktur oder den Liner am bzw. im Via beeinflussen, eine besondere Bedeutung zu (*Typ 1*). Desweiteren sind all jene Prozesse für die Zuverlässigkeit relevant, die die globale Mikrostruktur des Kupfers (*Typ 2*) bzw. die Grenzflächeneigenschaften zwischen Kupfer und Deckschicht (*Typ 3*) beeinflussen können.

Beeinflussung der Zuverlässigkeit von Kupfermetallisierungen	
<p><b>Geometrische Aspekte</b></p> <ul style="list-style-type: none"> <li>- Leitbahngeometrie</li> <li>- Aktives Metallvolumen</li> <li>- Via (Durchmesser, Anzahl, Position)</li> <li>- Leitbahnebene</li> </ul>	<p><b>Prozessbedingte Aspekte</b></p> <p><i>Typ 1:</i> Lokale Eigenschaften in Via-Nähe</p> <p><i>Typ 2:</i> Globale Kupferkornstruktur</p> <p><i>Typ 3:</i> Globale Eigenschaften der Kupfer/Deckschicht-Grenzfläche</p>

Abb. 1-5: Wesentliche Aspekte, welche die Zuverlässigkeit von Kupfermetallisierungen beeinflussen

Die vorliegende Arbeit zeigt, dass unter Berücksichtigung der erarbeiteten Erkenntnisse Kupfermetallisierungen die hohen Anforderungen der zukünftigen Technologien erfüllen können und damit den bisherigen Aluminiummetallisierungen bezüglich Zuverlässigkeit und Stromtragfähigkeit weit überlegen sind: „Copper is and will be the future“.

## **2. Bewertungsmethodik von Zuverlässigkeitsaspekten in der Prozessqualifikation**

Unter der Zuverlässigkeit eines technischen Systems versteht man im Allgemeinen den Umfang, in dem von diesem System erwartet werden kann, dass es die beabsichtigte Funktion mit der erforderlichen Genauigkeit ausführt [26]. Übertragen auf die Zuverlässigkeit Integrierter Schaltungen bedeutet dies die Aufrechterhaltung der Funktionalität aller Teilkomponenten und damit der *Produktfunktionalität* innerhalb der geforderten Betriebslebensdauer. Die *Prozesszuverlässigkeit*, auf die in dieser Arbeit ausschließlich Bezug genommen werden soll, beschränkt sich dabei lediglich auf jene Teilkomponenten des Produktes, die unmittelbar mit der Herstellungstechnologie des Siliziumchips in Zusammenhang stehen. Darüber hinaus gehende Aspekte wie Produktgehäuse, Bond- oder Lötverbindungen sind nicht Gegenstand dieser Arbeit und werden im Folgenden nicht betrachtet.

Die Zuverlässigkeit Integrierter Schaltungen kann durch eine Vielzahl von Effekten beeinträchtigt werden. So gibt es abrupt auftretende Störungen, beispielsweise durch dielektrische Durchbrüche bei Gate-Oxiden von CMOS-Transistoren, die zu einem sofortigen Ausfall des Produktes führen können. Daneben existieren Mechanismen, die zu einer kontinuierlichen Verschiebung (Degradation) bestimmter, für die Produktfunktionalität wichtiger Parameter führen. Dazu gehören z.B. Stromverstärkung, Kennlinie, Einsatzspannung, Schaltgeschwindigkeit und Stromaufnahme bei Transistoren; Widerstandsdrift bei Leitbahnen und Vias; Leckströme bei Inter-Metall-Dielektrika. Überschreiten diese Parameter bestimmte Grenzen, kann es zu Einschränkungen in der Funktionalität der Mikrochips kommen. Betrachtet man in diesem Rahmen Kupfermetallisierungen, die in Siliziumoxid eingebettet sind, so sind derzeit drei Hauptdegradationsmechanismen bekannt, die die Zuverlässigkeit der Verdrahtungskomponenten Integrierter Schaltungen beeinträchtigen können: die Elektromigration, die Stressmigration sowie die Degradation der Isolation (Tab. 2-1).

<b>Degradationsmechanismus</b>	<b>Folge</b>	<b>Auswirkung auf die Schaltung</b>
Elektromigration	Void-Bildung	→ Erhöhung des elektrischen Widerstands
	Extrusionen	→ Kurzschlüsse benachbarter Leitbahnen
Stressmigration	Void-Bildung	→ Erhöhung des elektrischen Widerstands
Degradation der Isolation	Kupferdiffusion	→ Erhöhung von Leckströmen → Kapazitätsdrift

Tab. 2-1: Die Hauptdegradationsmechanismen und deren Auswirkungen auf elektrische Parameter von Kupfermetallisierungen

Bei der Elektromigration (EM) kann ein Gleichstrom in einer metallischen Leiterbahn zu einer gerichteten Bewegung von Metallionen führen, was einerseits zu Poren (Voids) durch Materialverarmung, andererseits zu metallischen Auswüchsen (Extrusionen) durch Materialanhäufung führen kann. Bei der Stressmigration (SM) kommt es unter dem Einfluss mechanischer Spannungen zur gerichteten Bewegung von Leerstellen, die sich bei Kupfermetallisierungen insbesondere im Bereich des Vias ansammeln und so eine Voidbildung hervorrufen können. Die treibende Kraft dieses Phänomens sind Gradienten der mechanischen Spannungen, die vor allem durch die unterschiedlichen thermischen Ausdehnungskoeffizienten der integrierten Materialien sowie das Leitbahndesign beeinflusst werden. Neben diesen Ausfallmechanismen, die unmittelbar die metallischen Leitbahnen betreffen, kann auch eine Diffusion von Kupferionen in das umgebende Siliziumoxid eine Degradation des Leckstromverhaltens (ISO) bzw. der kapazitiven Eigenschaften der Leitbahnkonstruktion bewirken [25] und auf diese Weise eine Störung der Produktfunktionalität bedingen.

Die Aufgabe der Zuverlässigkeitsmethodik ist es, die einzelnen Fehlermechanismen systematisch hinsichtlich ihres Temperaturverhaltens (Thermodynamik) und der Abhängigkeit von anderen Einflussgrößen wie z.B. der elektrischen Spannung, des Stroms ("Kinetik") oder des Designs zu untersuchen und ein entsprechendes Degradationsmodell abzuleiten. In beschleunigten Tests werden dazu geeignete Strukturen mit weitaus höheren Belastungen betrieben, als sie im späteren Produkt auftreten. Ziel ist es dabei, eine relativ kleine Stichprobe (einige zehn bis hundert Einzelbausteine) zum Ausfall zu bringen, wobei die Ausfallzeiten typischerweise zwischen einigen Stunden und einigen Wochen liegen. Das Teststrukturdesign wird dabei so gewählt, dass eine separate Untersuchung einzelner Fehlermechanismen möglich ist. So sollten sich beispielsweise Mechanismen wie Stress- und Elektromigration nicht überlagern. Daneben muss die Teststruktur "produktrelevant" sein, d.h. es dürfen keine designbedingten Fehlermechanismen verursacht werden, die im Produkt gar nicht auftreten.

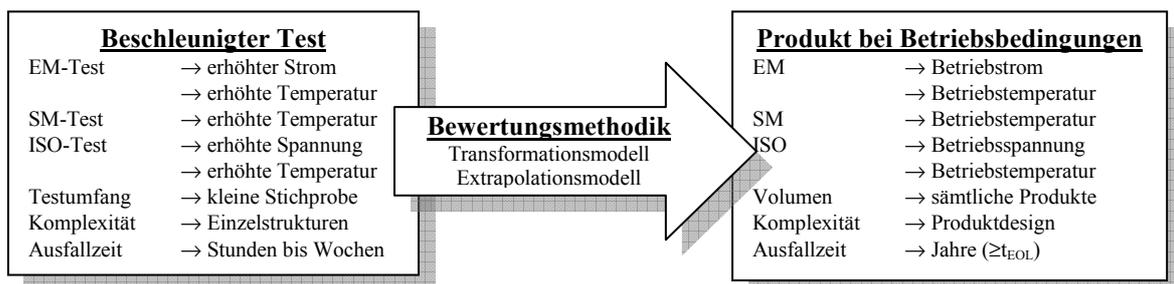


Abb. 2-1: Das Prinzip der Zuverlässigkeitsmethodik: beschleunigte Herbeiführung von Ausfällen unter erhöhten Belastungsbedingungen an einer begrenzten Zahl von Teststrukturen. Mittels geeigneter Bewertungsmethodik werden diese Ergebnisse auf das komplexe Produkt übertragen. Das Ziel ist die Abschätzung der Produktlebensdauer unter Betriebsbedingungen.

Mittels eines *Transformationsmodells* erfolgt eine Umrechnung der unter Stressbedingungen gemessenen Ausfallzeiten auf die entsprechenden Betriebsbedingungen. Die transformierten Ausfallzeiten werden dann durch ein statistisches *Extrapolationsmodell* beschrieben, dem eine diskrete Verteilung zu Grunde liegt. Für die Bewertung von Metallisierungssystemen hat sich in den allermeisten Fällen die Lognormal-Verteilung als die Geeignetste erwiesen. Die extrapolierte Produktlebensdauer wird dann durch die Zeit definiert, innerhalb der eine bestimmte Ausfallhäufigkeit eingetreten ist, wobei modellhaft berücksichtigt wird, dass ein komplexes Produkt aus einer Verkettung einer Vielzahl von "Teststrukturen" besteht. In den folgenden Kapiteln wird auf die Physik der drei Zuverlässigkeitsrisiken Elektromigration, Stressmigration und Isolationsdegradation sowie deren Bewertungsmethodik genauer eingegangen.

## 2.1 Elektromigration in Kupfermetallisierungen und deren Bewertungsmethodik

Unter der Elektromigration versteht man den durch Gleichstrom hervorgerufenen Materialtransport in metallischen Leitern. Das Phänomen wurde bereits in den sechziger Jahren des letzten Jahrhunderts bei der Herstellung der ersten Integrierten Schaltungen beobachtet. Damals war man sehr zuversichtlich, dass aufgrund der guten thermischen Eigenschaften des einbettenden Dielektrikums (SiO) die Leitbahnen mit sehr hohen Stromdichten im Bereich  $10^6 \text{A/cm}^2$  betrieben werden können, ohne dass sie sich dabei signifikant erwärmen. Im Vergleich hierzu würden diese Stromdichten bei makroskopischen Leitungen, wie etwa konventionellen Kabeln, zu einem sofortigen Schmelzen der Metallisierung führen. Als bald beobachtete man jedoch, dass an bestimmten Stellen der Metallisierung, welche bei hohen Gleichströmen betrieben wurden, Ausfälle der Leitbahnkonstruktion auftraten, die zu einer Störung der Funktionalität der Integrierten Schaltung führten. Systematische Untersuchungen dieses Ausfallmechanismus zeigten, dass es stets an der Kathodenseite der Leitbahn zu einer Porenbildung (Voids) und an der Anodenseite zu einer Materialansammlung (Hillocking) bis hin zu Extrusionen (Materialauswüchse in das Dielektrikum hinein) kam. Die mikroskopische Erklärung dieses Phänomens gelang J.R.Black [27], der die Elektromigration als diffusionsgesteuerten Prozess interpretierte, welcher durch die Temperatur und die Stromdichte bestimmt wird (Kap. 2.2.2). Basierend auf diesen Arbeiten ist die Elektromigration als eines der wichtigsten, lebensdauerlimitierenden Phänomene bei Integrierten Schaltungen erkannt worden und neben Gateoxid Durchbrüchen eines der meist untersuchten Zuverlässigkeitsrisiken.

Umfangreiche Studien zur Elektromigration sind seit ihrer Erkennung als Zuverlässigkeitsrisiko fester Bestandteil bei der Entwicklung und Qualifikation einer jeden Technologiegeneration, wobei bezüglich folgender Untersuchungsschwerpunkte systematisiert werden kann:

- *Qualitative Aspekte:* Bestimmung des Ausfallszenarios (Voiding oder Extrusion, Lokalität des bevorzugten Ausfalles, paralleles Auftreten verschiedener Ausfallmechanismen z.B. Bimodalität)
- *Quantitative Aspekte:* Experimentelle Ermittlung der Extrapolationsparameter zur Berechnung der Lebensdauer
- *Designstudien:* Untersuchung der Abhängigkeit der Elektromigration bezüglich unterschiedlicher geometrischer Konfigurationen, Stromrichtungen etc.
- *Prozess-Studien:* Untersuchung des Elektromigrationsverhaltens bezüglich Prozessvariationen, Materialänderungen etc.

Als Resultat dieser Studien werden Regeln für Gleichströme ( $I_{DC}$ ) für das Design Manual abgeleitet, die bei der Erstellung neuer Produktdesigns wesentliche Randbedingungen vorgeben. Insbesondere werden hierbei maximal zulässige  $I_{DC}$ -Werte für die jeweiligen Metallisierungsebenen (Stromwert pro Leitbahnbreite) bzw. für die Vias (Strom pro Via) festgelegt. Im Einzelfall werden für bestimmte Designkonfigurationen Bonusfaktoren für den  $I_{DC}$ -Strom definiert, wie beispielsweise für kurze Leitbahnen, Via-Felder, Pad-Aufbauten oder auch besondere Anschlüsse passiver Bauelemente oder Stromversorgungsstränge.

### 2.1.1 Physikalisches Prinzip der Elektromigration

Im mikroskopischen Sinne versteht man unter Elektromigration einen diffusionsgesteuerten Materialtransport, bei dem es auf Grund der Impulsübertragung der Leitungselektronen auf die Atomrümpfe zu einer gerichteten, makroskopischen Materialbewegung kommt. Bei einer reinen Diffusion erhalten einige Atome aufgrund thermischer Gitterschwingungen soviel Energie, dass sie sich von ihrem atomaren Gitterplatz lösen und auf benachbarte Leerstellen überwechseln können. Diese Platzwechselmechanismen sind ohne äußeres, elektrisches Feld stochastisch und deshalb ohne makroskopische Vorzugsrichtung. In einem

stromdurchflossenen Leiter kann es durch Wechselwirkung der Metallionen mit den Leitungselektronen zu einem gerichteten Materialtransport kommen. Die Richtung des Materialtransports lässt sich anhand folgender Kräftebilanz diskutieren: Zum einen werden die positiv geladenen Metallionen von der elektrostatischen Kraft ( $F_{el}$ ) aufgrund des elektrischen Feldes in Richtung Kathode angezogen. Zum anderen werden die Leitungselektronen auf ihrem Weg zur Anode („Elektronenwind“) an den Atomrümpfen gestreut und üben dabei durch den Impulsübertrag auf diese eine Kraft ( $F_{\Delta p}$ ) aus, die dem äußeren elektrischen Feld entgegengesetzt gerichtet ist. Die resultierende Kraft  $F_{EM}$  ist ein Maß für die Stärke der Elektromigration:

$$F_{EM} = F_{el} + F_{\Delta p} = Z^* \cdot e \cdot \rho \cdot j \quad (1)$$

wobei  $Z^*$  die experimentell bestimmte effektive Ladungszahl,  $e$  die Elektronenladung,  $\rho$  der spezifische Widerstand und  $j$  die Stromdichte ist. Je nach Vorzeichen der effektiven Ladungszahl kann die Elektromigration in Richtung des Elektronenwindes oder auch des angelegten Feldes erfolgen. Dabei hat sich bei den meisten Materialien (mit Ausnahme von z.B. Wolfram) herausgestellt, dass der Materialtransport in Richtung des Elektronenwindes stattfindet (Tab. 2-2). Ein Grund für die niedrige Elektromigrationsanfälligkeit des Kupfers ist durch dessen relativ kleine effektive Ladungszahl gegeben, die im Vergleich zu Aluminium sechs Mal geringer ist.

Metall	$Z^*$
Ag	-26
Al	-30
Au	-8
Cu	-5
W	+20

Tab. 2-2: Effektive Ladungszahl  $Z^*$  für unterschiedliche Metalle [28]

Die in (1) ermittelte resultierende Kraft führt zu einem Materiestrom  $J_{Ion}$ , der für  $Z^* < 0$  zur Anode hin gerichtet ist. Bei der Diffusion in einem Gitter folgt für  $J_{Ion}$  nach [28]:

$$J_{Ion} = c \cdot \frac{D(T)}{k \cdot T} \cdot Z^* \cdot e \cdot \rho \cdot j = c \cdot v \quad (2)$$

mit  $D(T)$  als der temperaturabhängigen Diffusivität,  $k$  der Boltzmann-Konstanten,  $T$  der absoluten Temperatur und  $c$  als der Materialkonzentration. Die makroskopische Driftgeschwindigkeit des elektromigrationsbedingten Materialflusses wird durch  $v$  charakterisiert.

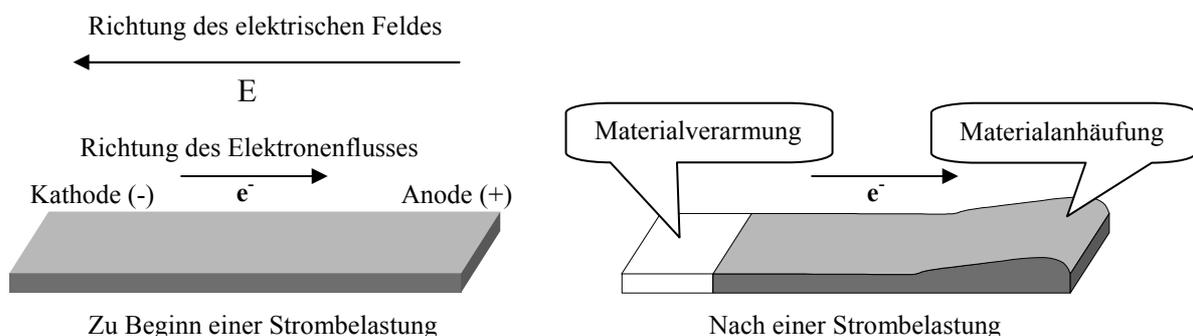


Abb. 2-2: Prinzip der Elektromigration: Leitbahn vor (links) bzw. nach einer Elektromigrationsschädigung (rechts)

Die phänomenologische Ableitung einer mittleren Ausfallzeit  $MTF$ , die durch die Elektromigration hervorgerufen wird, lässt sich nach der Originalarbeit von Black [27] in sehr anschaulicher Weise wie folgt skizzieren. Danach wird die Migrationsrate  $R_{Mig}$ , d.h. der in einem bestimmten Zeitintervall auftretende Materialtransport durch einen bestimmten Querschnitt bezüglich dreier Komponenten separiert:

1. Die thermische Aktivierung: Die Migrationsrate ist proportional zur Anzahl der Ionen, die im Metallgitter die Potenzialbarriere  $E_a$  überwinden können und somit potenziell für einen Materialtransport zur Verfügung stehen. In einem Festkörper entspricht dieser Anteil gerade dem Boltzmann-Faktor:

$$R_{Mig} \sim \exp\left[-\frac{E_a}{k \cdot T}\right]$$

2. Die treibende Kraft: Erhöht man die elektrische Stromdichte in dem metallischen Leiter, verstärkt sich der Impulsübertrag  $\Delta p$  auf die Atomrümpfe und damit auch die Migrationsrate:

$$R_{Mig} \sim \Delta p \sim j$$

3. Die Stoßwahrscheinlichkeit: Die Wahrscheinlichkeit für eine Wechselwirkung zwischen Elektronen und Metallionen ist proportional zur potenziell verfügbaren Anzahl der Leitungselektronen  $c_{el}$ :

$$R_{Mig} \sim c_{el} \sim j$$

In der Gesamtbilanz resultiert daraus für die Migrationsrate

$$R_{Mig} \sim j^2 \cdot \exp\left[-\frac{E_a}{k \cdot T}\right] \quad (3)$$

Mit der einfachen Annahme eines reziproken Zusammenhanges zwischen Migrationsrate und mittlerer Lebensdauer gelangte Black schließlich zu folgender einfachen Beziehung:

$$MTF \sim \frac{1}{R_{Mig}} \Rightarrow MTF = A \cdot j^{-2} \cdot \exp\left[\frac{E_a}{k \cdot T}\right] \quad (4)$$

Hier ist  $A$  eine material- und strukturspezifische Konstante,  $E_a$  die Aktivierungsenergie des Diffusionsprozesses und  $T$  die Temperatur der Metallisierung. Eine Vielzahl von Experimenten mit Aluminiummetallisierungen hat die Gültigkeit dieser Beziehung immer wieder bestätigt. Erst bei späteren Untersuchungen an schmalen Via/Leitbahn-Konstruktionen zeigte sich, dass die quadratische Abhängigkeit von der Stromdichte nicht immer exakt eingehalten wird. Daraufhin wurde die Gleichung (4) durch die Einführung eines variablen Stromdichteexponenten  $n$  modifiziert, der in den meisten Fällen zwischen  $n=1.0 \dots 2.0$  variiert:

$$MTF = A \cdot j^{-n} \cdot \exp\left[\frac{E_a}{k \cdot T}\right] \quad \text{Black'sche Gleichung} \quad (5)$$

Die Black'sche Gleichung findet in dieser Form sowohl bei Aluminium- als auch bei Kupfermetallisierungen gleichermaßen Anwendung. Ihr zufolge sinkt die mittlere Ausfallzeit in linearer bis quadratischer Weise mit steigender Stromdichte bzw. exponentiell mit wachsender Temperatur. Für die Zuverlässigkeitsmethodik stellt der Stromdichteexponent  $n$

und die Aktivierungsenergie  $E_a$  die wichtigsten Modellparameter für die quantitative Beschreibung des Elektromigrationsvorgangs dar.

Neben der gezeigten phänomenologischen Ableitung von Gleichung (5) existieren eine Reihe theoretischer Ableitungen, die in [50] zusammengefasst sind. Der einzige Unterschied zu (5) besteht in einem Vorfaktor, der, je nach den angenommenen Randbedingungen, linear, quadratisch bzw. in der dritten Potenz von der Temperatur abhängt. In der Praxis der Lebensdauerabschätzung ergeben sich jedoch keine signifikanten Unterschiede.

### 2.1.1.1 Kinetische Aspekte des Elektromigrationsvorgangs

Der Stromdichteexponent  $n$  ist primär mit der Kinetik des Elektromigrationsvorgangs verknüpft. Je nach Art des Voiding-Vorgangs findet man Werte, die zwischen 1.0 und 2.0 variieren [29]. Bezüglich seines zeitlichen Ablaufs kann man zwei Phasen unterscheiden: die Keimbildungsphase und die Wachstumsphase. Werte des Stromdichteexponenten nahe 2.0 implizieren, dass beide Phasen vollständig durchlaufen werden. Dem gegenüber beobachtet man ein Absinken des Stromdichteexponenten bei einem Voiding, das auf eine bevorzugten Keimbildung aufbaut. Zu dieser kommt es, wenn beispielsweise durch Defekte an Grenzflächen, Phasengrenzen oder Mikro-Voids im Gefüge die Keimbildungsenergie vermindert wird. Im Grenzfall eines Stromdichteexponenten von  $n=1.0$  basiert die Voidbildung nur noch auf dem Wachstum vorhandener Voids, die sich beispielsweise durch eine Vorschädigung in der Metallisierung befinden – eine Nukleation ist dann nicht mehr notwendig.

Werden bei Elektromigrationsversuchen Stromdichteexponenten außerhalb des Intervalls 1.0...2.0 gefunden, so ist dies im Wesentlichen auf zwei Ursachen zurückzuführen: Werte kleiner 1.0 deuten im Allgemeinen auf eine Überlagerung mit anderen Ausfallmechanismen hin wie beispielsweise Stressmigration, Delamination, Korrosion oder Oxidation; Werte größer 2.0 [30, 31] werden in den meisten Fällen mit so genanntem Überstress in Verbindung gebracht. Bei diesem kann es durch hohe Stromdichten zu einer starken lokalen Erwärmung der Metallisierung und zu Nichtlinearitäten bei den Streuprozessen und somit zu einem überproportionalen Absinken der Ausfallzeiten kommen. Diese Überbelastung muss konsequent vermieden werden, da keine produktrelevanten Aussagen auf Basis solcher Testergebnisse getroffen werden können.

### 2.1.1.2 Thermodynamische Aspekte der Elektromigration

Die Thermodynamik des Elektromigrationsprozesses wird durch die Art und Anzahl der vorhandenen Diffusionspfade bestimmt. In dem komplexen System einer integrierten Kupferleitbahn mit seinen verschiedenartigen Grenzflächen sowie mikrostrukturellen Besonderheiten, kommen dafür drei Diffusionsmechanismen in Frage:

- 1) Diffusion entlang Grenzflächen  
z.B. Kupfer zum Liner (a) oder Deckschicht (b)
- 2) Diffusion entlang von Korngrenzen
- 3) Diffusion durch das Kornvolumen

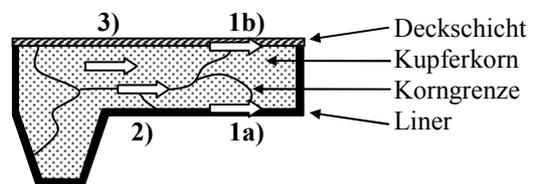


Abb. 2-3: Diffusionspfade der Elektromigration bei Kupfermetallisierungen

Im Allgemeinen ist mit einem parallelen Auftreten dieser Diffusionsmechanismen zu rechnen. In der Praxis wird das Ausfallszenario jedoch durch einen einzigen Mechanismus dominiert, der zum einen eine niedrige Aktivierungsenergie besitzt und zum anderen Diffusionspfade in ausreichender Anzahl für den Migrationsprozess zur Verfügung stellt. Dieser Mechanismus begrenzt dann Lebensdauer für die Metallisierung der Integrierten Schaltung.

Die Aktivierungsenergien, welche man für die oben genannten Diffusionsmechanismen findet, weisen erhebliche Unterschiede auf (Tab. 2-3). Den geringsten Wert ermittelt man für die Diffusion entlang der Deckschicht, der im Falle von SiN je nach Prozessführung zwischen 0.7 und 1.1eV liegen kann, gefolgt von den Werten für Korngrenzendiffusion. Folglich stellt die Grenzfläche zwischen der Kupfermetallisierung und der dielektrischen Deckschicht den Hauptdiffusionspfad für die Elektromigration dar [F, 35, 37-48]. Nach Llano und Lloyd [48] ist die primäre Ursache für das Auftreten einer kleinen Aktivierungsenergie die schlechte Haftung zwischen dem Kupfer und der Deckschicht. Eine erhöhte Adhäsion ist dabei gleichbedeutend mit einer Erhöhung der Aktivierungsenergie, was mit der Bindungsenergie zwischen dem Metall und der Deckschicht in Zusammenhang gebracht wird. Die Adhäsion ist einerseits vom verwendeten Material (z.B. SiN, SiC) abhängig und, wie im weiteren Verlauf der Arbeit noch gezeigt wird, auch vom speziellen Verfahren zur Deckschichtabscheidung.

Diffusionspfad	$E_a$ [eV]	Referenz
1a. Grenzfläche zu Ta-Liner	2.1	[13, 32]
1b. Grenzfläche zu SiN-Deckschicht	0.7 ... 1.1	[30, 33-35]
2. Korngrenzendiffusion	~ 1.2	[7, 12, 30, 33]
3. Volumendiffusion	2.1 ... 2.4	[12, 13, 30, 36]

Tab. 2-3: Aktivierungsenergien ( $E_a$ ) potenzieller Diffusionspfade bei Kupfermetallisierungen. Die Werte für die Grenzfläche zur SiN-Deckschicht variieren je nach Abscheideprozess.

Ein neuer Aspekt zur Erhöhung der Elektromigrationsfestigkeit in modernen Technologien ist das gezielte Einbringen von Zwischenschichten, die sowohl als Haftvermittler wirken (Verbesserung der Adhäsion) als auch zum „Verstopfen“ der Diffusionskanäle führen. Als Materialien für solche Zwischenschichten werden derzeit selektive CoWP-, CoWB- oder Ta-Schichten favorisiert [3, 43, 49].

Auf Grund der exponentiellen Abhängigkeit der Diffusion und damit der Migrationsrate (Gleichung 3) haben Aktivierungsenergie und Temperatur den größten Hebel auf die elektromigrationsbedingten Ausfallzeiten. Aus Sicht des Produktes stellen hohe Einsatztemperaturen enorme Herausforderungen an das Produktdesign dar. Bei einer Aktivierungsenergie von 0.9eV verringert sich bei einer Änderung der Leitbahntemperatur im Produkt von 100 auf 125°C die maximal erlaubte Betriebsstromdichte um den Faktor 5. Aus Prozess-Sicht ergibt sich über die Beeinflussung der Aktivierungsenergie durch die Prozessführung die Möglichkeit, die Elektromigrationsfestigkeit erheblich zu erhöhen. Gelingt es beispielsweise durch eine Verbesserung der Adhäsion zwischen dem Kupfer und dessen Deckschicht, die Aktivierungsenergie von 0.9eV auf 1.1eV zu erhöhen, so verlängert sich die elektromigrationsbedingte Lebensdauer um etwa eine Dekade.

### 2.1.1.3 Der Kurzlängeneffekt (Blech-Effekt)

Nach der Entdeckung der Elektromigration durch Black wurden extensive Versuche unternommen, das mikroskopische Verständnis dieses Phänomens zu verbessern. Dabei zeigte sich, dass die (lokalen) mechanischen Spannungen der Schlüssel zu dessen Verständnis sind. Erste systematische Versuche wurden von Illan Blech [51] im Jahr 1976 durchgeführt. Dazu führte er Elektromigrationsversuche an unterschiedlich langen Leitbahnen durch und machte folgende Beobachtungen:

- Lange Leitbahnen zeigen eine höhere Materialdriftgeschwindigkeit als kurze Bahnen
- Bei konstanter Stromdichte zeigten Leitbahnen unterhalb einer kritischen Länge keine Elektromigrationsschädigungen
- Bei konstanter Länge zeigten Leitbahnen unterhalb einer kritischen Stromdichte keine Elektromigrationsschädigungen

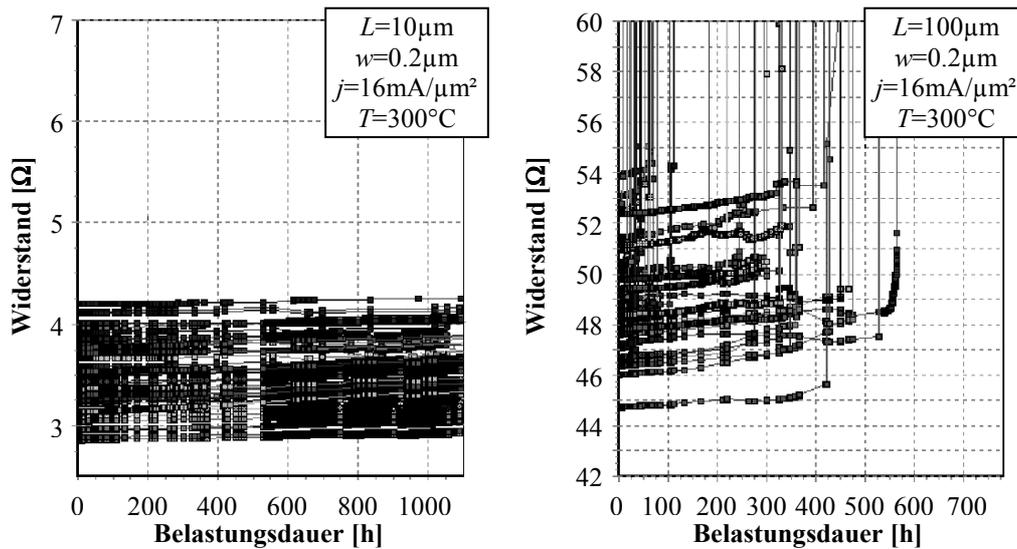


Abb. 2-4: Widerstandsverläufe von Via/Leitbahn-Strukturen zur Untersuchung des Blech-Effektes. Bei identischer Stromdichte zeigen „kurze“ Leitbahnen (10µm) nach über 1000h noch keine Widerstandserhöhung, während sämtliche „lange“ Leitbahnen (100µm) nach spätestens 600h durch Elektromigration ausgefallen sind.

Die Auswirkungen des Blech-Effektes auf die Elektromigration sind exemplarisch in Abb. 2-4 dargestellt. Hier zeigen 10µm kurze Leitbahnen auch nach über 1000h noch keine Degradation durch Elektromigration (so genannte „Immortals“), während sämtliche 100µm langen Leitbahnen mit gleicher Breite unter denselben Belastungsbedingungen nach spätestens 600h ausgefallen sind.

In einer allgemeineren Betrachtung zeigte Blech, dass unterhalb eines bestimmten Schwellwertes der Leitbahnlänge bzw. der Stromdichte prinzipiell keine Elektromigration auftritt (Blech-Effekt). Dazu nahm er an, dass die durch Elektromigration migrierenden Ionen einen Stressgradienten zwischen den Enden des Leitbahnsegmentes aufbauen. Dabei wird an der Kathodenseite der Leitbahn durch Materialverarmung ein tensiler Stress (Zugspannung) aufgebaut, an der Anodenseite durch Materialanhäufung ein kompressiver Stress (Druckspannung).

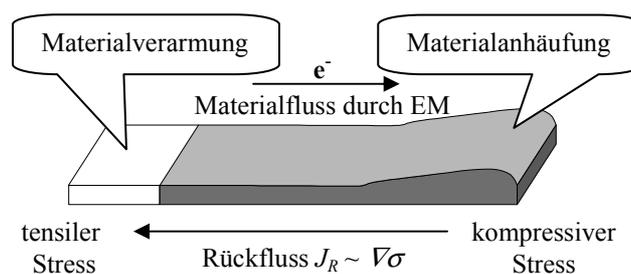


Abb. 2-5: Blech-Effekt: Der durch Elektromigration aufgebaute Stressgradient bewirkt einen Materialrückfluss. Unterhalb einer kritischen Länge kompensiert dieser Rückfluss die Materialmigration durch den Elektronenwind, so dass kein Nettofluss und somit keine Elektromigration auftritt.

Dieser Stressgradient verursacht einen dem Migrationsvorgang entgegenwirkenden Rückfluss von Material, der nach [52] beschrieben werden kann durch:

$$J_R = -\frac{c \cdot D}{k \cdot T} \cdot \left( \Omega \cdot \frac{\partial \sigma}{\partial x} \right) \quad (6)$$

mit  $\sigma$  als dem mechanischen Stress und  $\Omega$  dem Atomvolumen. Der resultierende Nettofluss durch Elektromigration einerseits und Rückfluss durch den Stressgradienten andererseits ergibt sich aus (2) und (6) zu:

$$J = \frac{c \cdot D}{k \cdot T} \cdot \left( \rho \cdot e \cdot Z^* \cdot j - \Omega \cdot \frac{\partial \sigma}{\partial x} \right) \quad (7)$$

Für den Grenzfall des Blech-Effektes kompensieren sich die Flussdichten von Elektromigration und Rückfluss, d.h. der Nettofluss in (7) ist Null. Nimmt man weiterhin für ein endliches Leitbahnsegment ein lineares Stressprofil über die gesamte Leitbahnlänge  $L$  an, so folgt:

$$\rho \cdot e \cdot Z^* \cdot j = \Omega \cdot \frac{\Delta \sigma}{L} \quad (8)$$

wobei  $\Delta \sigma$  der Unterschied des Stresses zwischen den beiden Leitbahnen ist. Der Blech-Effekt ist somit durch einen maximalen kritischen Stressunterschied beschrieben, dem eine Leitbahn ohne Schädigung widerstehen kann.

Üblicherweise definiert man das so genannte Blech-Produkt aus Stromdichte und Leitbahnlänge unterhalb dessen in einer Leitbahn kein Ausfallrisiko bezüglich Elektromigration existiert:

$$(j \cdot L)_k = \frac{\Omega \cdot \Delta \sigma}{\rho \cdot e \cdot Z^*} \quad (9)$$

Für ein gegebenes Leitbahnmaterial wird das Blech-Produkt entscheidend davon beeinflusst, in welcher Umgebung die Leitbahn „eingekapselt“ wird. Für Kupfermetallisierungen, die in Siliziumoxid eingebettet sind, wurden für das kritische Stromdichte/Längen-Produkt in unterschiedlichen Experimenten Werte zwischen 4000A/cm [53-55] und 7500A/cm [45, 56] gefunden. Ist die Leitbahn von „weicheren“ Dielektrika umgeben (z.B. bestimmte low- $k$  Materialien), beobachtet man eine Abnahme des Rückflusses und somit des Blech-Produktes [57]. Eine noch stärkere Reduzierung des Rückflusses ergibt sich für offen liegende (unpassivierte) Kupferleitbahnen, die zu einer Verringerung des Blech-Produktes auf bis zu 1200A/cm [7] führen kann.

In der industriellen Praxis wird der Blech-Effekt nur in vereinfachter Weise durch spezielle Kurzlängenregeln im Design-Manual berücksichtigt. Dabei werden üblicherweise für Leitbahnen kürzer als  $\sim 10\mu\text{m}$  um einen Faktor 2 bis 10 höhere Betriebsstromdichten zugelassen.

#### 2.1.1.4 Flussdivergenzen

Ein elektromigrationsbedingter Materialfluss durch eine Leitbahn wird diese nicht schädigen, solange die Materialflussdichten an allen Stellen gleich sind ( $\text{div}J=0$ ). Erst wenn es zu Flussdivergenzen kommt ( $\text{div}J \neq 0$ ), kann es an bestimmten Stellen der Leitbahnkonstruktion zur Ausbildung von Poren (Voids) auf der einen bzw. Materialhügeln (Extrusionen [AB]) auf der anderen Seite kommen. Solche Flussdivergenzen können in zwei Kategorien unterteilt werden:

- 1) *Mikroskopische Flussdivergenzen*, die innerhalb der Leitbahn durch die Mikrostruktur hervorgerufen werden (Korngrenzen, blockierende Körner [U-AA], vorhandene Voids oder Defekte, ...)
- 2) *Makroskopische Flussdivergenzen* hervorgerufen durch Querschnittsveränderungen und Migrationsbarrieren (Materialübergänge) auf Grund des Leitbahnlayouts sowie des Integrationsschemas.

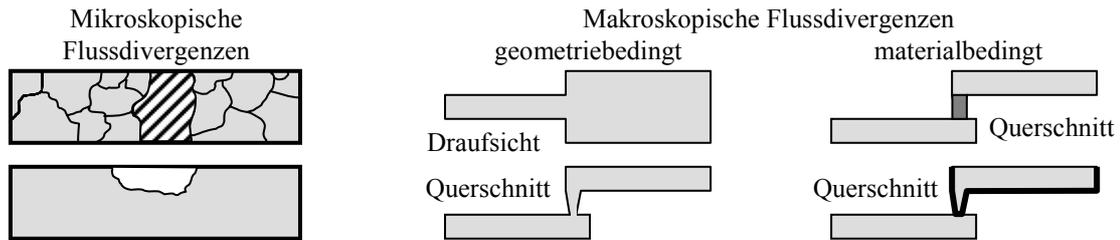


Abb. 2-6: Mikroskopische Flussdivergenzen (links) werden durch die Korngrenzenkonstellation, bahnüberspannende Körner oder Defekte in der Leiterbahn hervorgerufen. Makroskopische Flussdivergenzen resultieren aus dem Leiterbahndesign (Mitte) sowie materialbedingten Migrationsbarrieren (rechts).

### 2.1.1.5 Der statistische Charakter der Elektromigration

Bei der in Gleichung 5 abgeleiteten Ausfallzeit handelt es sich grundsätzlich nur um einen mittleren Erwartungswert. An einer Stichprobe von makroskopisch identischen Strukturen gleicher Geometrie von ein und demselben Wafer beobachtet man jedoch zum Teil erheblich um diesen Mittelwert streuende Einzelausfallzeiten. Diese sind bedingt durch Unterschiede in den mikroskopischen Eigenschaften wie beispielsweise der Korngrößen- und Korngrenzenverteilungen, der kristallografischen Textur sowie Unterschiede der lokalen Grenzflächeneigenschaften innerhalb der Leiterbahnkonstruktion. Diese Fluktuationen können nur innerhalb bestimmter Grenzen z.B. durch die Prozessführung oder das Layout beeinflusst werden. Dem statistischen Charakter des Elektromigrationsvorgangs wird in der Annahme lognormal-verteilter Ausfallzeiten Rechnung getragen und ist fundamentaler Bestandteil der Lebensdauerextrapolation.

### 2.1.2. Beschleunigte Testverfahren und Methodik zur Abschätzung der Elektromigrationslebensdauer

Eines der Ziele während der Technologieentwicklung ist es, eine Abschätzung der Elektromigrationslebensdauer der später im Produkt verwendeten Leiterbahnkonstruktionen zu geben. Da die avisierten Lebensdauern typischerweise im Bereich von 10 bis 15 Jahren liegen, bedient man sich hochbeschleunigter Testmethoden, bei denen die gemessenen Ausfallzeiten im Allgemeinen nicht über 1000 Stunden liegen. Dabei kann ausgehend von der Black'schen Gleichung (5) die mittlere Ausfallzeit der Elektromigration durch die Vergrößerung der treibenden Kraft (d.h. über die Stromdichte  $j$ ) sowie durch die Erhöhung der Diffusivität der Atome (d.h. über die Temperatur  $T$ ) gezielt verringert werden. Für Kupfermetallisierungen kommen in der Praxis typischerweise Umgebungstemperaturen von 170 bis 350°C und Belastungsstromdichten von 5 bis 45 mA/μm<sup>2</sup> in Frage.

Auf Grund des statistischen Charakters des Elektromigrationsvorgangs werden die Untersuchungen stets an einer Stichprobe mit einer definierten Anzahl von Einzelstrukturen mit identischen makroskopischen Merkmalen (Leitbahngeometrie, Schichtaufbau, Prozessierung) durchgeführt. Typischerweise verwendet man hierzu eine Stichprobe von mindestens 20 Einzelstrukturen, die in Keramikgehäuse montiert und unter identischen Belastungsbedingungen beschleunigt zum Ausfall gebracht werden. Der Ausfall einer Leiterbahn ist definiert durch eine bestimmte Widerstandserhöhung  $\Delta R/R_0$ , die aus Sicht der Produktfunktionalität noch toleriert werden kann. Sie liegt, je nach Applikation, im Allgemeinen bei 5, 10 oder 20%. Im weiteren Verlauf der Arbeit wird für Elektromigrationsausfallzeiten grundsätzlich ein einheitliches Ausfallkriterium von  $\Delta R/R_0=20\%$  verwendet.

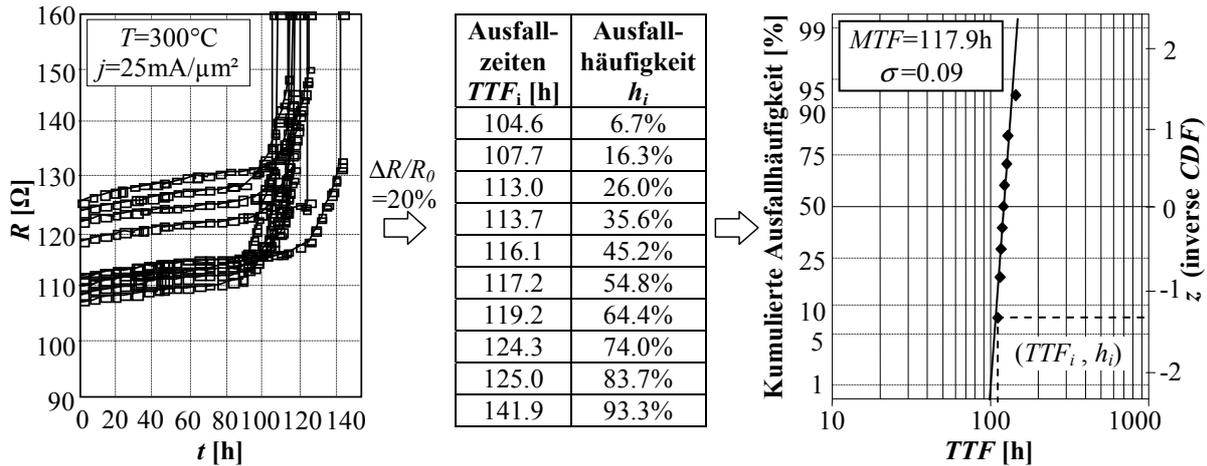


Abb. 2-7: Aus den gemessenen EM-Widerstandsdriften werden bei Erreichen des Fehlerkriteriums die Ausfallzeiten  $TTF_i$  bestimmt. Die Datenpunkte  $(TTF_i, h_i)$  werden in einem lognormal Plot dargestellt und die charakteristischen Größen  $MTF$  und  $\sigma$  bestimmt.

Während eines Elektromigrationsexperiments wird der Widerstand einer jeden Einzelstruktur kontinuierlich überwacht und aufgezeichnet. Für die statistische Beschreibung der innerhalb der Stichprobe gemessenen individuellen Ausfallzeiten  $TTF_i$  hat sich die lognormal-Verteilung etabliert. Sie wird durch den Median der Ausfallzeiten  $MTF$  und die Standardabweichung  $\sigma$  charakterisiert. Für vollständige Datensätze erfolgt die Berechnung dieser zwei Werte nach dem JEDEC Standard JESD37 [58]. Danach berechnet sich  $MTF$  aus dem Mittelwert der logarithmischen Ausfallzeiten:

$$\ln MTF = \frac{1}{N} \sum_{i=1}^N \ln TTF_i \quad (10)$$

mit  $TTF_i$  als der Ausfallzeit des  $i$ -ten Bausteins und  $N$  der Anzahl der Bausteine in der Versuchsgruppe (Stichprobenumfang). Der Formfaktor  $\sigma$  der Lognormal-Verteilung entspricht der logarithmischen Standardabweichung der Ausfallzeiten:

$$\sigma = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (\ln TTF_i - \ln MTF)^2} \quad (11)$$

Die zum  $i$ -ten Element gehörende kumulierte Ausfallhäufigkeit  $h_i$  ist gegeben durch:

$$h_i = \frac{i-0.3}{N+0.4}$$

Die Datenpunkte  $(TTF_i, h_i)$  werden dann mit aufsteigender Ausfallzeit geordnet und in einem kumulierten Ausfalldiagramm dargestellt (Abb. 2-3).

Bei nicht-vollständigen Datensätzen, bei denen einige Bausteine bis zu einer so genannten Censor-Zeit das Ausfallkriterium noch nicht erreicht haben, wird die Persson-Rootzén Methode [59] zur Bestimmung von  $MTF$  und  $\sigma$  verwendet.

Für die Wahrscheinlichkeitsdichtefunktion (*PDF*) der Lognormal-Verteilung, die die Ausfälle pro Zeiteinheit beschreibt, gilt:

$$PDF(t) = \frac{1}{\sqrt{2\pi\sigma \cdot t}} \exp\left(-(\ln t - \ln MTF)^2 / 2\sigma^2\right) \quad (12)$$

Die zugehörige kumulative Verteilungsfunktion (*CDF*) beschreibt den kumulierten Anteil von Ausfällen bis zu einem Zeitpunkt *t*:

$$CDF(t) = \int_0^t PDF(t') \cdot dt' \quad (13)$$

Durch die Verwendung der Substitution *z(t)* mit

$$z(t) = \frac{\ln t - \ln MTF}{\sigma} \quad (14)$$

kann *CDF* durch das Gauss'sche Fehlerintegral

$$CDF(t) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^z \exp\left(-\frac{z'^2}{2}\right) dz' = \Phi_0(z) \quad \text{mit} \quad 0 \leq CDF(t) \leq 1 \quad (15)$$

ausgedrückt werden. Dadurch kann *z* für ein gegebenes *CDF(t)* wie folgt berechnet werden:

$$z(t) = \Phi_0^{-1}(CDF(t)) \quad \text{oder} \quad z(t) = \Phi_0^{-1}(P(t)) \quad (16)$$

<b><i>CDF</i></b>	0.999	0.977	0.841	0.500	0.159	0.023	0.001	10 <sup>-6</sup>	10 <sup>-11</sup>
<b><i>z=Φ<sub>0</sub><sup>-1</sup>(CDF)</i></b>	3	2	1	0	-1	-2	-3	-4.75	-6.70

Tab. 2-4: Häufig verwendete Werte der kumulativen Verteilungsfunktion *CDF* und dazu korrespondierendes inverses Gauss'sches Fehlerintegral  $z=\Phi_0^{-1}(CDF)$  gemäß Gleichung (15) und (16).

Gemäß Gleichung (14) erscheint dann eine Lognormal-Verteilung in einem parametrischen Wahrscheinlichkeits-Plot *z* gegen  $\ln(t)$  als Gerade. Der Nullpunkt ( $z=0$  bzw.  $CDF=50\%$ ) dieser Geraden ist identisch mit der mittleren Ausfallzeit *MTF*, der Anstieg der Geraden entspricht dem reziproken Formfaktor  $1/\sigma$ .

### 2.1.2.1 Die Methode der Lebensdauerextrapolation

Die Abschätzung der Elektromigrationslebensdauer unter Produktbedingungen lässt sich in zwei Schritte gliedern: Zunächst werden die unter den Stressbedingungen ( $T_{Str}$  und  $j_{Str}$ ) an den Einzel-Teststrukturen ermittelten Ausfallzeiten mit Hilfe der Black'schen Gleichung (5) auf die Betriebsbedingungen des Produktes ( $T_{Op}$  und  $j_{Op}$ ) transformiert (Abb. 2-9). Dabei wird angenommen, dass die Streuung  $\sigma$  der Ausfallverteilung unter Betriebsbedingungen identisch zu jener unter Stressbedingungen ist. Desweiteren nimmt man an, dass auch  $E_a$  und  $n$  Gültigkeit über den gesamten Transformationsbereich haben.

Für diese Transformation müssen die dafür notwendigen Werte der Aktivierungsenergie  $E_a$  bzw. des Stromdichteexponenten  $n$  zuvor für die entsprechenden Strukturen mit einer möglichst hohen Genauigkeit bestimmt werden. Dazu sollten die mittleren Ausfallzeiten bei mindestens drei unterschiedlichen Temperaturen bzw. drei Stromdichten ermittelt werden. In der grafischen Darstellung (Abb. 2-8) ergibt sich die Aktivierungsenergie  $E_a$  aus der Steigung

der Ausgleichsgeraden in einem Arrhenius-Plot ( $\ln(MTF)$  gegen  $1/kT$ ) bzw. der negative Stromdichteexponent  $n$  bei einer Auftragung  $\ln(MTF)$  gegen  $\ln(j)$ .

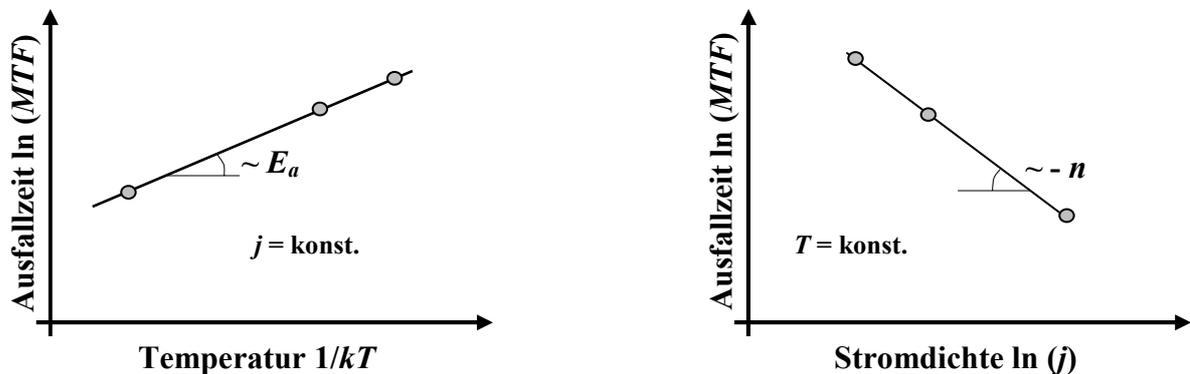


Abb. 2-8: Temperatur- bzw. Stromdichteabhängigkeit der Elektromigrationsausfallzeiten. Ausgleichsgeraden durch experimentell ermittelte mittlere Ausfallzeiten bestimmen die Aktivierungsenergie bzw. den Stromdichteexponenten der entsprechenden Teststruktur.

In einem zweiten Schritt wird die auf Betriebsbedingungen transformierte Ausfallverteilung auf die für das *Produkt* maximal zulässige Ausfallhäufigkeit  $CDF_{max}$  extrapoliert. Da die transformierte Ausfallverteilung sich lediglich auf die *Teststruktur* bezieht, muss nun noch eine Betrachtung hinsichtlich der Produktkomplexität vorgenommen werden. Hierzu wird in vereinfachter Weise angenommen, dass das Produkt aus einer Verkettung von  $M_{krit}$  Einzelkomponenten besteht, die identisch zur Teststruktur sind. Der Ausfall des Produktes ist dann durch den Ausfall der ersten Einzelkomponente gegeben. Damit errechnet sich die *bedingte* Überlebenswahrscheinlichkeit des Gesamtproduktes  $1-CDF_{max}$  aus der Überlebenswahrscheinlichkeit der einzelnen Teilkomponenten  $1-cdf_{max}$  gemäß:

$$1 - CDF_{max} = (1 - cdf_{max})^{M_{krit}} \quad (17)$$

Da in der Praxis die auf Produktebene tolerierbaren Ausfallwahrscheinlichkeiten im Bereich einiger Promille liegen (d.h.  $CDF_{max} \ll 1$ ), vereinfacht sich obige Gleichung zu:

$$cdf_{max} = \frac{CDF_{max}}{M_{krit}} \quad (18)$$

In der Regel ist der maximal zulässige Wert  $CDF_{max}$  für ein bestimmtes Produkt (mit Komplexitätsgrad  $M_{krit}$ ) als Qualifikationstarget durch die entsprechende Qualitätsanforderung vorgegeben. Aus diesem Wert lässt sich dann über (18) der dazu auf Teststrukturebene (Komplexitätsgrad 1) korrelierende Wert  $cdf_{max}$  bestimmen. Die Lebensdauer  $t_{EOL}$  des Produktes ist dann durch die Zeit gegeben, nach der die auf Betriebsbedingungen transformierte Ausfallverteilung den extrapolierten Wert  $cdf_{max}$  erreicht hat. Die Vorgehensweise zur Bestimmung der Lebensdauer ist für einen typischen Fall in Abb. 2-9 illustriert.

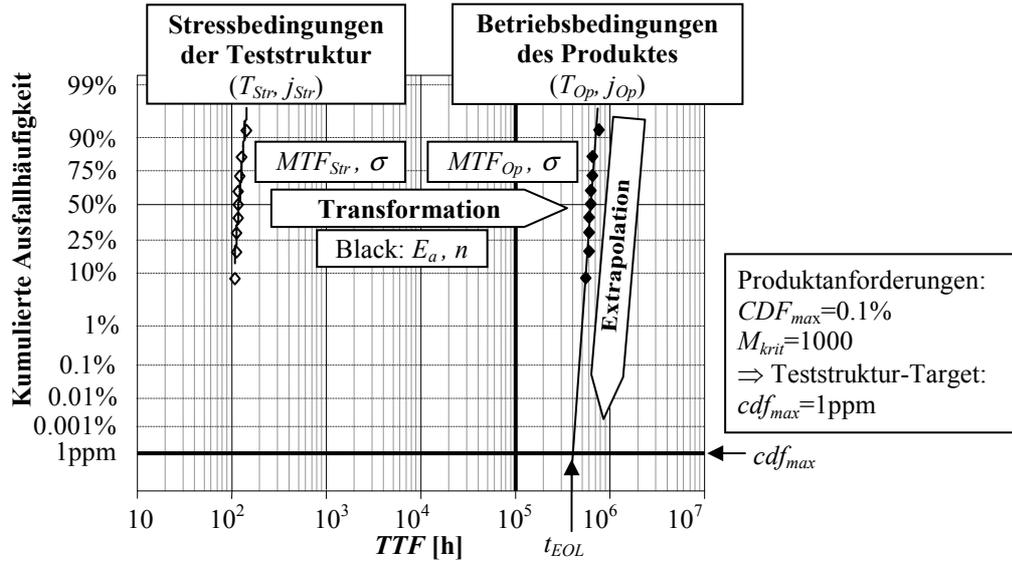


Abb. 2-9: Die unter Stressbedingungen bestimmten Ausfallzeiten der Einzel-Teststrukturen werden mittels Black's Gleichung auf die Betriebsbedingungen des Produktes transformiert. Die Lebensdauer des Produktes ist durch die Zeit gegeben, bei der die transformierte Ausfallverteilung den extrapolierten Wert  $cdf_{max}$  erreicht hat. Im konkreten Fall ( $T_{Str}=300^{\circ}\text{C}$ ,  $j_{Str}=25\text{mA}/\mu\text{m}^2$ ,  $T_{Op}=100^{\circ}\text{C}$ ,  $j_{Op}=4\text{mA}/\mu\text{m}^2$ ,  $E_a=0.9\text{eV}$ ,  $n=1.1$ ,  $CDF_{max}=0.1\%$ ,  $M_{krit}=1000$ ,  $cdf_{max}=1\text{ppm}$ ) ergibt sich eine Produktlebensdauer von etwa  $t_{EOL}=400.000\text{h}$ , die damit um einen Faktor 4 über einem typischen Lebensdauerziel von  $100.000\text{h}$  liegt.

Analytisch lässt sich die elektromigrationslimitierte Lebensdauer wie folgt berechnen:

$$t_{EOL} = MTF_{Str} \cdot \left( \frac{j_{Str}}{j_{Op}} \right)^n \cdot \exp \left[ \frac{E_a}{k} \cdot \left( \frac{1}{T_{Op}} - \frac{1}{T_{Str}} \right) \right] \cdot \exp(-z(cdf_{max}) \cdot \sigma) \quad (19)$$

wobei  $T_{Op}$ ,  $j_{Op}$ ,  $cdf_{max}$  die produktspezifischen Targets sind.

Häufig wird als Maß für die Elektromigrationsresistenz einer Metallisierungsstruktur auch eine maximale Stromdichte  $j_{use}$  berechnet, unter der gerade noch die Produkttargets  $T_{Op}$ ,  $t_{EOL}$  und  $cdf_{max}$  erfüllt werden.

$$j_{use} = j_{Str} \cdot \left[ \frac{MTF_{Str}}{t_{EOL}} \cdot \exp \left[ \frac{E_a}{k} \cdot \left( \frac{1}{T_{Op}} - \frac{1}{T_{Str}} \right) \right] \cdot \exp(z(cdf_{max}) \cdot \sigma) \right]^{1/n} \quad (20)$$

### 2.1.3 Elektromigrationsteststrukturen

Da Elektromigrationsuntersuchungen in der Regel nicht direkt am Produkt durchgeführt werden können, bedient man sich geeigneter Teststrukturen, die sich durch ein einfaches Design und eine gute Analysierbarkeit auszeichnen. Das Design der Teststrukturen wird so gestaltet, dass damit bestimmte Arten von Ausfallszenarien untersucht werden können. Danach unterscheidet man „reine“ Leitbahnstrukturen, Kombinationen aus Leitbahnen mit Kontaktlöchern und Kombinationen von Leitbahnen mit Vias, die auch gestapelt sein können. Innerhalb dieser Teststrukturgruppen gibt es vielfältige Variationsmöglichkeiten bezüglich Leitbahnbreite und -länge sowie der Anzahl und Anordnung der Vias bzw. Kontaktlöcher, deren Grenzen durch das Design-Manual vorgegeben sind. Oberstes Ziel bei den methodischen Untersuchungen ist es, eine Übertragbarkeit der Teststrukturergebnisse auf das später hergestellte Produkt zu gewährleisten (z.B. durch das vereinfachte Vorgehen in Gleichung 18). Da die Fülle der im Produkt vorkommenden Leitbahn- und Via-Konstruktionen niemals in seiner Gänze durch Untersuchungen abgedeckt werden kann, beschränkt man sich in der Praxis auf die am häufigsten vorkommenden sowie die kritischsten Layoutsituationen. Desweiteren muss bei dem Teststrukturdesign darauf geachtet werden, dass eine Überlagerung verschiedener Ausfallmechanismen (z.B. unterschiedlicher Elektromigrationsfehlermoden, Stressmigration, etc.) vermieden wird. Im Folgenden wird auf die Standardteststrukturen näher eingegangen, die im weiteren Verlauf dieser Arbeit Verwendung finden.

#### 2.1.3.1 Leitbahnstrukturen

Dieser Strukturtyp besteht lediglich aus einer Leitbahn ohne Vias, die an den Enden in der gleichen Metallisierungsebene an die Stromzuführungen und Spannungsabgriffe (Pads) angeschlossen wird. Damit der Elektromigrationsausfall nur in einem definierten Bereich mit konstanter Leitbahnbreite auftritt, werden die Stromzuführungen in geeigneter Weise realisiert. Zu diesem Zweck wurde zunächst eine standardisierte Teststruktur vom National Institute of Standards (NIST) eingeführt (Abb. 2-10). Diese wurde (und wird teilweise noch heute) von der Halbleiterindustrie über viele Jahrzehnte als Referenzstruktur verwendet. Durch sie soll die Vergleichbarkeit der Metallisierungsqualität unterschiedlicher Hersteller gewährleistet werden. Der Nachteil dieser Struktur besteht jedoch darin, dass sie nur mit moderaten Stromdichten (bis etwa  $20\text{mA}/\mu\text{m}^2$ ) belastet werden darf. Ursache hierfür ist der abrupt auftretende Übergang von der schmalen Leitbahn zu den Anschluss-Pads, welche zu hohen Stromdichte- und Temperaturgradienten führt [64]. In deren Folge bilden sich unter Stressbedingungen überproportional hohe Masseflussdivergenzen (Abb. 2-11), wodurch derartige Strukturen bevorzugt in der Nähe dieses Überganges ausfallen (Abb. 2-12) – die notwendige Produktrelevanz ist dann nicht mehr gegeben.

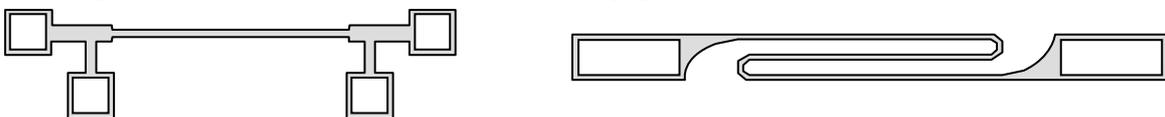


Abb. 2-10: Schematische Draufsicht auf eine NIST-Struktur (links, Länge:  $800\mu\text{m}$ ) und eine optimierte „S-Bahn“ Struktur (rechts, Länge: mehrere Millimeter).



Abb. 2-11: Finite-Elemente-Simulation der Massenflussdivergenzen unter Stressbedingungen bei Leitbahnen mit unterschiedlichen Anschlussgeometrien (links: NIST-Struktur, rechts: S-Bahn-Struktur) [60].

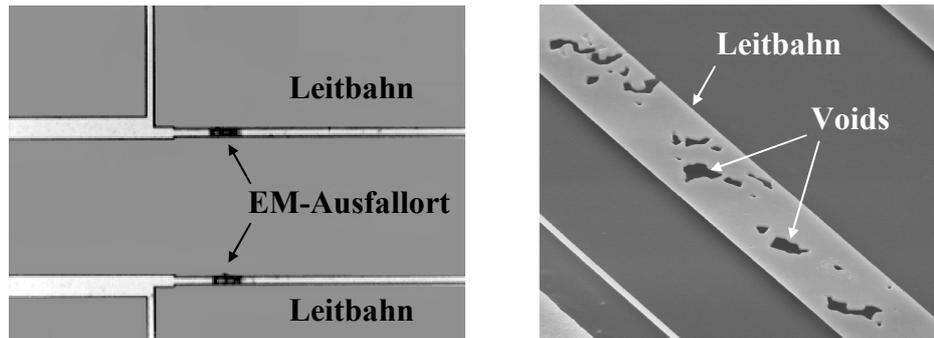


Abb. 2-12: Links: Bevorzugter Elektromigrationsausfallort von NIST-Strukturen in der Nähe des Überganges zum Anschluss-Pad [65]. Rechts: Homogen über die Leitbahn verteilte Elektromigrations-Voids bei einer S-Bahn-Struktur mit optimierter Stromzuführung.

Um den bevorzugten Ausfall der Leitbahn am Übergang von Stromzuführung zur Leitbahn zu unterdrücken, wurde ein geeigneteres Design erarbeitet, in der „S-Bahn“-Struktur implementiert (Abb. 2-10) und im Rahmen dieser Arbeit erstmals erprobt. Durch diese Optimierung werden die Temperatur- und Stromdichtegradien und demzufolge die Masseflussdivergenzen unter Stressbedingungen auf ein Minimum reduziert. Somit bilden einzig die mikroskopischen Flussdivergenzen (Abb. 2-6) die Voraussetzung für die Bildung des Elektromigrations-Voids.

Der Erfolg dieser Designverbesserung wurde experimentell vielfach bestätigt – die Elektromigrations-Voids einer so gestalteten Struktur findet man nun auch bei hochbeschleunigten Tests mit sehr hohen Stress-Stromdichten (z.B. bis zu  $80\text{mA}/\mu\text{m}^2$ ) über die gesamte Leitbahnlänge verteilt. Die Produktrelevanz ist somit wieder gegeben.

### 2.1.3.2 Via/Leitbahn-Strukturen

Erfahrungsgemäß stellen Via/Leitbahn-Übergänge bezüglich Elektromigration einen besonders kritischen Fall dar. Während bei reinen Leitbahnen die Materialmigration entlang der Grenzflächen und Korngrenzen erfolgt und das Voiding durch die mikroskopischen Flussdivergenzen hervorgerufen wird, ist bei Via/Leitbahn-Strukturen die erhöhte Anfälligkeit bezüglich Elektromigration in der Existenz makroskopischer Flussdivergenzen begründet (Abb. 2-6). Zum einen können diese durch Querschnittsveränderungen zwischen dem Via und den anschließenden Leitbahnen zustande kommen. Zum anderen werden sie durch Migrationsbarrieren gebildet, die durch das Integrationsschema und der Verwendung verschiedener Materialien bedingt sind, wie z.B. beim Anschluss einer Kupferleitbahn auf einen migrationsresistenten Wolframkontakt oder durch das Linermaterial zwischen Via und darunter liegender Leitbahn bei der Damascene Architektur (Abb. 2-6).

Grundsätzlich muss bei Via/Leitbahn-Strukturen berücksichtigt werden, dass sie ein von der Stromrichtung abhängiges Ausfallszenario haben. Dementsprechend muss das Teststrukturdesign so gewählt werden, dass die verschiedenen Stromrichtungen getrennt von einander untersucht werden können.

Im so genannten „upstream“ Fall bewegen sich die Elektronen von der unteren Metallisierungsebene durch das Via in die darüber liegende Leitbahnebene (Abb. 2-13). Da bei der Dual Damascene Integration das Via von der darunter liegenden Leitbahn durch den Via-Liner getrennt ist (makroskopische Flussdivergenz), kann kein weiteres Material von der unteren Leitbahn nachströmen. Der darüber liegende Via/Leitbahn-Übergang ist also potenziell ein Verarmungsgebiet und anfällig für Elektromigrations-Voiding. In der Praxis findet man hier zwei bevorzugte Ausfallorte, nämlich direkt am Via-Boden (im Folgenden als „Via-Voiding“ bezeichnet) bzw. in der Leitbahn über dem Via („Leitbahn-Voiding“).

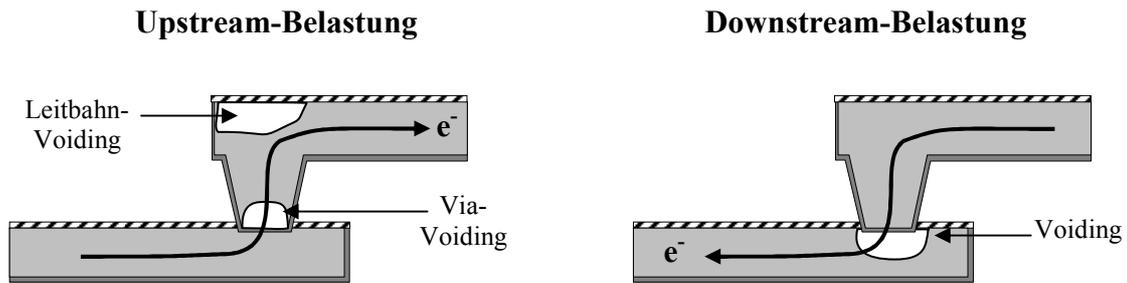


Abb. 2-13: Ausfall- und Belastungsszenario an Via/Leitbahn-Strukturen für verschiedene Stromrichtungen: Bei Upstream-Belastung sind Via-Voiding sowie Leitbahn-Voiding potenzielle Ausfallmechanismen. Bei Downstream-Belastung ist der bevorzugte Ausfallort unterhalb des Vias zu finden.

Im Falle des entgegengesetzten Stromflusses („*downstream*“) fließen die Elektronen von der oberen Metallisierungsebene über das Via in die darunter liegende Leitbahnebene (Abb. 2-13). Die für die Elektromigration kritische maximale Flussdivergenz tritt hier wiederum unterhalb des Via-Liners auf, verhindert nun aber den Materialtransport aus dem darüber liegenden Via/Leitbahn-Reservoir. Daher ist der gesamte, unterhalb des Vias befindliche Teil der Leitbahn ein potenzielles Verarmungsgebiet und somit der bevorzugte Ort für die Bildung von Elektromigrations-Voids (Abb. 2-13).

Um den „upstream“ und den „downstream“ Fall getrennt voneinander untersuchen zu können, sind die in dieser Arbeit verwendeten Teststrukturen so gestaltet, dass jeweils nur eine einzige Metallisierungsebene kritisch hinsichtlich Elektromigration ist - entweder über oder unter dem Via. Dies wird realisiert, indem die Zu- und Ableitungen sehr breit gehalten werden. Die Stromdichte in diesen unkritischen Bereichen ist deshalb vergleichsweise klein, wodurch Elektromigrationsschädigungen ausgeschlossen werden können.

Die Standardlänge der Via/Leitbahn-Strukturen beträgt jeweils  $400\mu\text{m}$ . Durch unterschiedliche Designkonfigurationen (Leitbahnbreite, Via-Anzahl und Via-Anordnung) werden besonders kritische Grenzfälle für Elektromigrationsszenarien realisiert. Diese werden zum einen durch bestimmte, im Design-Manual definierte Designregeln gesetzt oder sind aufgrund der physikalischen Prozessierbarkeit gegeben. Die meisten der im Folgenden erwähnten Teststrukturvarianten sind daher Bestandteil einer jeden Technologiequalifikation.

Bei der Neuentwicklung einer Technologiegeneration stellen Via/Leitbahn-Strukturen mit einem Einzel-Via und minimaler Leitbahnbreite (meist  $w = \varnothing_{\text{Via}}$ ) erfahrungsgemäß die größte Herausforderung dar (Abb. 2-14-1). Zunächst ist hier die adäquate lithografische Abbildung der kleinsten Strukturbreiten ein generelles Problem, da die entsprechenden Verfahren meist noch nicht ausgereift sind. Jede Art von Abbildungs- und Strukturierungsmarginalität bildet sich direkt als Schwankung oder Defekt in der Metallisierung ab. Darüber hinaus zeichnen sich die Gräben der schmalsten Leitbahnen durch das größte Aspektverhältnis (Verhältnis Tiefe zu Breite des Grabens) aus. Besonders die konforme Abscheidung des Liners und das defektfreie Füllen des Grabens mit Kupfer erfordern dann meist Prozessoptimierungen oder sogar neuartige Abscheidemethoden. Besonders kritisch ist das extrem hohe Aspektverhältnis, das sich bei einer Dual-Damascene Integration für das Via ergibt. Hier können kleinste lokale Defekte des Liners oder der Kupferauffüllung zum frühzeitigen Ausfall des Vias insbesondere bei der „upstream“ Belastung führen. Dadurch eignet sich eine Teststruktur minimaler Breite besonders gut, um die Qualität des Via-Liners und der Metallisierung bei maximalem Aspektverhältnis zu bewerten.

Einen weiteren kritischen Grenzfall stellt eine weite Leitbahn dar, deren Breite dicht unterhalb der dreifachen Minimalbreite liegt ( $w \sim 3 \cdot \varnothing_{\text{Via}}$ ) und so das Platzieren eines zweiten Vias noch nicht zulässt (Abb. 2-14-2). Bei dieser breiten Bahn sind zwar aufgrund des günstigeren Aspektverhältnisses deren Strukturierung, die Abscheidung des Liners sowie die

Kupferauffüllung einfacher. Um hier dieselbe Leitbahnstromdichte wie im Falle der minimalen Strukturbreite zu erreichen, muss das Via nun einen fast dreimal so hohen Strom tragen können. Entsprechend höher sind die Anforderungen an eine defektfreie Prozessierung dieser Vias. Darüber hinaus stellt die Downstream-Belastung einen kritischen Fall bezüglich der Prozessierung der oberen Deckschicht sowie der lokalen Mikrostruktur unterhalb des Vias dar. Wie im weiteren Verlauf der Arbeit noch gezeigt wird, ist diese Teststruktur besonders geeignet für die Charakterisierung der Qualität der Cu/SiN-Grenzfläche sowie der Prozesse zur Via-Herstellung.

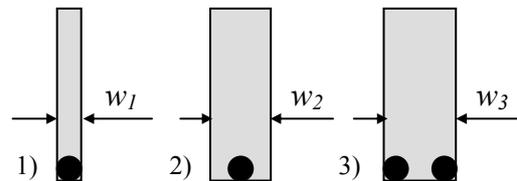
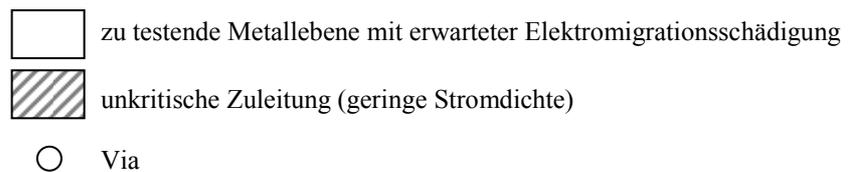


Abb. 2-14: Via/Leitbahn-Strukturen zur Untersuchung bestimmter prozess- und designbedingter Grenzfälle: Fall 1): Leitbahn minimaler Breite mit Einzel-Via ( $w_1 \approx \varnothing_{\text{Via}}$ ), Fall 2): Breitere Leitbahn mit Einzel-Via ( $w_2 \approx 3 \cdot \varnothing_{\text{Via}}$ ), Fall 3): Leitbahn mit  $w_3 = 3 \cdot \varnothing_{\text{Via}}$  und zwei Vias.

Neben diesen beiden Typen gibt es vielfältige Möglichkeiten der Strukturvariationen, beispielsweise mit veränderten Überlapps oder der Via-Anzahl und deren Anordnung (Tab. 2-5). Diese dienen dazu, die im Design Manual definierten Designregeln bezüglich Prozessfenster (z.B. Überlapp) und Stabilität zu verifizieren sowie etwaige erhöhte Stromtragfähigkeiten (z.B. bei Via-Feldern) durch Angabe von Bonusfaktoren zuzulassen.

Teststruktur Bezeichnung	Strukturen für Upstream-Belastung	Strukturen für Downstream-Belastung
Einzel-Via auf Leitbahn minimaler Breite		
Einzel-Via auf breite Leitbahn		
Multi-Via-Strukturen mit verschiedener Via-Anordnung längs bzw. quer zur Leitbahn		
Multi-Via-Strukturen mit einem Via-Feld		
Einzel-Via auf Leitbahn mit verschiedenen Überlapps (ÜL)		



Tab. 2-5: Übersicht über die im Rahmen der Arbeit verwendeten Via/Leitbahn-Strukturen jeweils in Draufsicht (oberes Bild) und im Querschnitt (unteres Bild), separiert für Belastungstests in „Upstream“- (links) und „Downstream“-Richtung (rechts).

### 2.1.4 Bimodale Elektromigrationsausfallverteilungen

Bisher wurde davon ausgegangen, dass in einer Stichprobe von gleichartigen Teststrukturen jeweils nur ein einziger Fehlermechanismus auftritt. Die gemessenen Ausfallzeiten bilden im Lognormal-Plot eine Gerade und können durch eine einzige Lognormal-Verteilung beschrieben werden. Systematische Abweichungen von diesem monomodalen Ausfallszenario wurden jedoch erstmals an Aluminiumleitbahnen mit aluminiumgefüllten Vias festgestellt. Dabei beobachtete man, dass ein bestimmter Prozentsatz von Teststrukturen innerhalb der Stichprobe eine deutlich vom Rest der Probe abweichende Ausfallzeit aufwies. Durch Fehleranalysen konnten diese zwei Gruppen unterschiedlichen Ausfallmechanismen zugeordnet werden, weswegen man auch von einem bimodalen Szenario spricht.

Nahezu zeitgleich beobachtete man mit der Einführung der Dual Damascene Technik für Kupfermetallisierungen ein ähnliches bimodales Ausfallverhalten. Bei Teststrukturen mit Einzel-Vias und minimaler Leitbahnbreite, welche in Upstream-Richtung belastet wurden, wurde anfangs in praktisch allen Experimenten beobachtet, dass ein gewisser Anteil der Stichprobe (5...30%) erheblich kleinere Ausfallzeiten als der Rest aufwies [F, G, L, 35, 41, 63]. Durch eine Vielzahl von Fehleranalysen konnte gezeigt werden, dass diese Frühausfälle stets mit einem Voiding am Via-Boden korrespondieren, während die späten Ausfälle durch eine Materialverarmung im Graben oberhalb des Vias charakterisiert sind (Abb. 2-15).

Gleichermaßen wurden auch im Falle der Downstream-Belastung Bimodalitäten entdeckt. Frühe Ausfälle wurden hier durch kleine schlitzartige Voids direkt unterhalb des Vias hervorgerufen, wohingegen die Strukturen mit einer späteren Ausfallzeit große volumenartige Materialverarmungen in dem unter dem Via liegenden Leitbahnabschnitt zeigen.

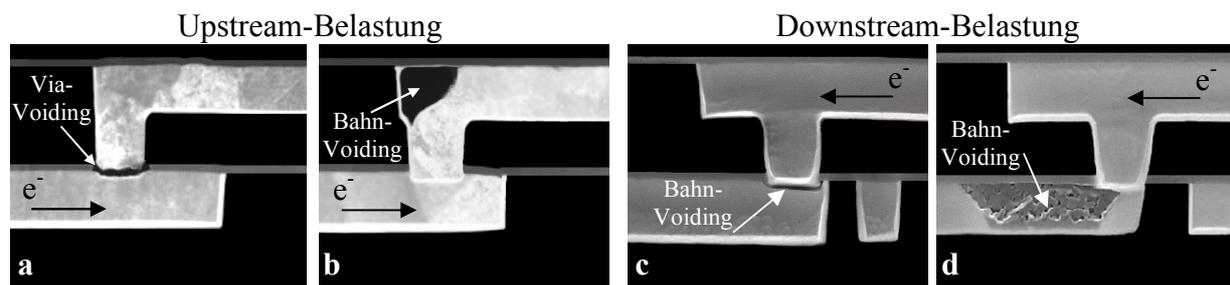


Abb. 2-15: Querschnitte von Via/Leitbahn-Strukturen nach Elektromigrations-Stress: upstream-gestresste Vias mit (a) Ausfall im Via-Boden („Via-Voiding“) bzw. (b) im Graben über dem Via („Leitbahn-Voiding“) und downstream-gestresste Vias mit einem schlitzartigen Void unterhalb des Vias (c) bzw. einem großen Void in der Leitbahn unter dem Via (d).

In einem Lognormal-Plot (Abb. 2-16) erscheinen die bimodal verteilten Ausfallzeiten im einfachsten Fall als zwei voneinander getrennte Äste. Da der Verlauf solcher Ausfallverteilungen nun offensichtlich nicht mehr durch das Zugrundelegen einer einzelnen Lognormal-Verteilung wiedergegeben werden kann (Abb. 2-16), musste zunächst eine statistische Methode entwickelt werden, die es gestattet, das experimentell ermittelte bimodale Verhalten zu interpolieren. Darüber hinaus schafft diese im Rahmen dieser Arbeit weltweit erstmals entwickelte und zur Anwendung gekommene Methode auch die notwendige Grundlage für die Extrapolation der Lebensdauer [D, H].

Die statistische Methode zur Beschreibung bimodaler Verteilungen enthält zwei Teilmodelle – das so genannte *Superpositionsmodell*, bei dem innerhalb der Stichprobe zwei unterschiedliche Fehlermechanismen auftreten sowie das *Weak-Link-Modell*, bei dem innerhalb einer einzelnen Teststruktur zwei konkurrierende Fehlermechanismen auftreten.

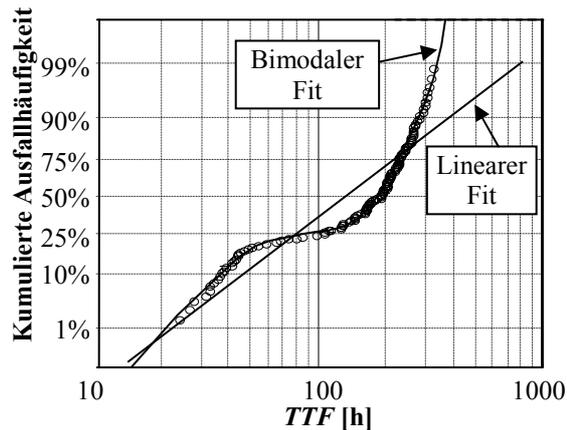


Abb. 2-16: Bimodale Ausfallverteilungen lassen sich durch einen linearen Fit nicht korrekt beschreiben.

### 2.1.4.1 Das Superpositionsmodell

Das Superpositionsmodell basiert auf der Annahme, dass das Ausfallverhalten innerhalb einer Stichprobe durch das Vorhandensein oder die Abwesenheit einer physikalischen Eigenschaft der Einzel-Teststruktur beeinflusst wird. Ist diese Eigenschaft vorhanden, so wird die Teststruktur ausschließlich durch den Mechanismus A ausfallen, bei deren Abwesenheit ausschließlich durch den Mechanismus B. Hierbei tritt diese physikalische Eigenschaft innerhalb der Stichprobe mit einer Wahrscheinlichkeit  $P(A)$  und  $P(B)=1-P(A)$  auf. Somit ist die Stichprobe in zwei Untergruppen aufgeteilt. Von den  $N$  Einzelstrukturen werden  $N_A=P(A)*N$  Strukturen während des Testes durch den Mechanismus A ausfallen (Untergruppe A) und entsprechend  $N_B=(1-P(A))*N$  Strukturen durch den Mechanismus B (Untergruppe B).

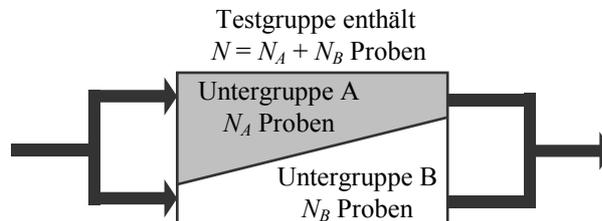


Abb. 2-17: Schematische Darstellung des Superpositionsmodells. Die Stichprobe aus  $N$  Elementen setzt sich aus zwei Untergruppen A bzw. B zusammen, die ausschließlich durch den Ausfallmechanismus A bzw. B ausfallen.

Wegen der ausschließlichen ODER Verknüpfung ergibt sich die für die gesamte Stichprobe resultierende *CDF* als Summe der durch die zwei verschiedenen Ausfallmechanismen kumulierten Einzelausfälle, gewichtet mit der zugehörigen Auftretswahrscheinlichkeit:

$$CDF(t) = P(A)*CDF_A(t) + (1 - P(A))*CDF_B(t) \quad (21)$$

Eine Ableitung nach  $t$  führt zu der Gesamtwahrscheinlichkeitsdicht (*PDF*):

$$PDF(t) = P(A)*PDF_A(t) + (1 - P(A))*PDF_B(t) \quad (22)$$

Aufgrund der Überlagerungs-Charakteristik in den Formeln (21) und (22) wird dieser Ansatz „Superpositions“-Modell genannt. Die resultierende kumulierte Ausfallverteilung erscheint im Lognormal-Plot „S-förmig“ mit zwei mehr oder weniger stark ausgeprägten Ästen. Es können dabei zwei unterschiedliche Formen auftreten:

Der erste Typ (Abb. 2-18) resultiert aus zwei Verteilungen, bei denen die Maximalwerte der jeweiligen *PDF* zeitlich voneinander getrennt sind, so dass sie sequentiell zu der

resultierenden *CDF* beitragen. In der frühen Phase dominiert der Ausfallmechanismus mit der kleineren *MTF*, in der späten Phase derjenige mit der größeren *MTF*. Haben die beiden individuellen Ausfallverteilungen einen ähnlichen Formfaktor  $\sigma_A \approx \sigma_B$ , so hat die resultierende kumulierte Ausfallwahrscheinlichkeit *CDF* am Anfang und am Ende eine nahezu gleiche Steigung. Der flache Bereich in der Mitte ist das Ergebnis einer Überlappung der beiden *PDF*. Sind beide Mechanismen zeitlich weit von einander getrennt, so ist die Steigung im Übergangsbereich gleich Null.

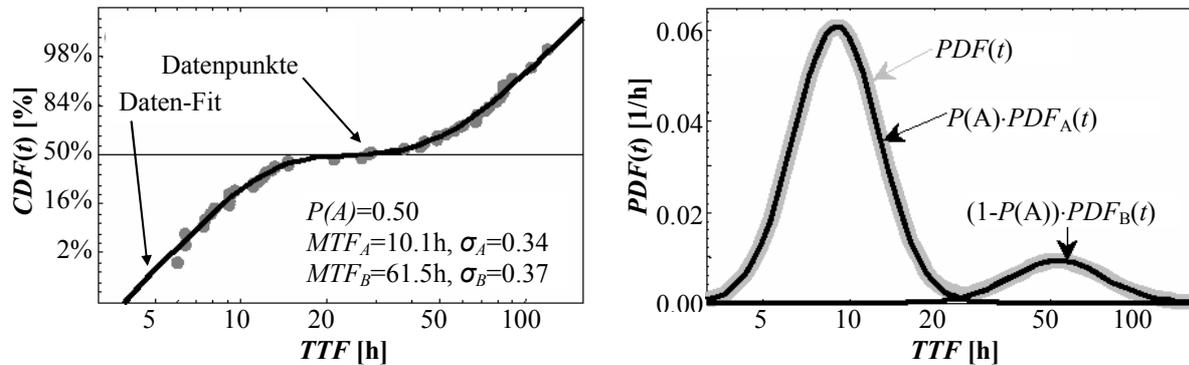


Abb. 2-18: Bimodale Ausfallzeiten gemessen an Via/Leitbahn-Strukturen, die durch das Superpositionsmodell beschrieben wurden (links). Der Ausfallmechanismus A hat eine um den Faktor sechs kleinere mittlere Ausfallzeit und bildet den frühen Ast der resultierenden „S-förmigen“ Verteilung (links). Die korrespondierenden Ausfallwahrscheinlichkeitsdichten *PDF* überlappen nur geringfügig (rechts).

Ein anderer Typ der „S-förmigen“ Ausfallverteilung resultiert aus der Überlagerung einer breiten und einer engen Verteilung ( $\sigma_A \gg \sigma_B$ ). In diesem Fall gehören sowohl die frühen und späten Ausfälle zu ein und derselben breiten Verteilung A. Mechanismus B mit der schmalen Verteilung trägt zu der resultierenden Ausfallverteilung nur für einen kurzen Zeitraum um *MTF<sub>B</sub>* herum bei, was zu einer Stufe in der *CDF* führt. Die entstehende „S-förmige“ Verteilung wird daher in einem sehr weiten Bereich ausschließlich von Mechanismus A dominiert, mit Ausnahme eines sehr schmalen Zeitintervalls um *MTF<sub>B</sub>*.

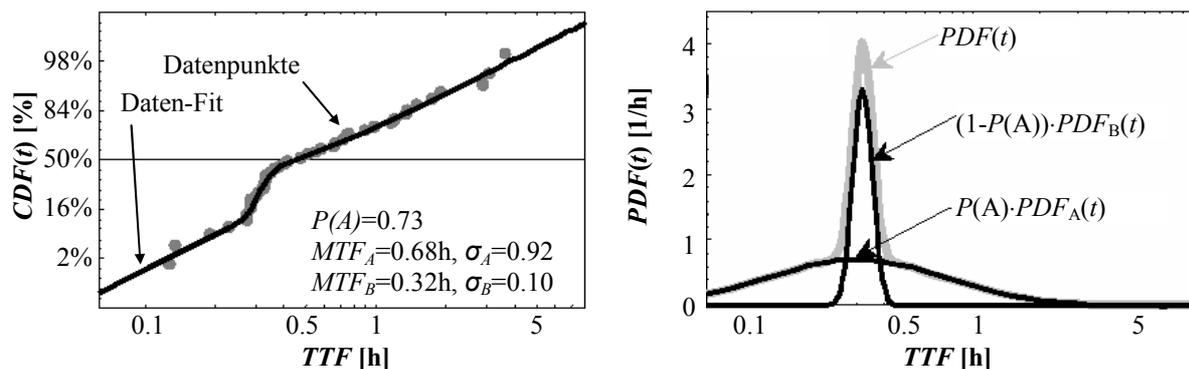


Abb. 2-19: Bimodale Ausfallzeiten gemessen an Via/Leitbahn-Strukturen, die durch das Superpositionsmodell beschrieben wurden (links). Beide Ausfallmechanismen haben eine vergleichbare mittlere Ausfallzeit, jedoch stark von einander abweichende Formfaktoren. Die breite Ausfallverteilung bildet sowohl den frühen als auch den späten Ast der Ausfallverteilung. Die schmale Verteilung B trägt nur innerhalb eines kurzen Zeitintervalls um *MTF<sub>B</sub>* zur resultierenden *CDF* bei. Die korrespondierenden Ausfallwahrscheinlichkeitsdichten *PDF* überlappen vollständig (rechts).

### 2.1.4.2 Das Weak-Link-Modell

Das Weak-Link-Modell basiert auf der Annahme, dass innerhalb einer Teststruktur zwei konkurrierende Ausfallmechanismen A oder B wirken und diese zum Ausfall bringen können. Die Struktur fällt somit aus, wenn A oder B zuerst auftritt.

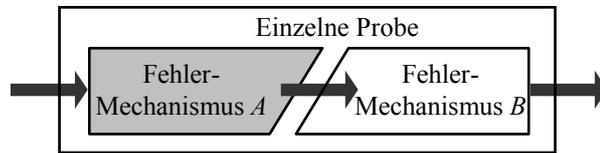


Abb. 2.20: Schematische Darstellung des Weak-Link-Modells. Jede Einzelstruktur der Stichprobe kann sowohl durch Ausfallmechanismus A bzw. B ausfallen.

Die Teststruktur überlebt bis zu einem Zeitpunkt  $t$ , wenn diese weder durch A noch durch B ausgefallen ist. Setzt man voraus, dass die beiden Ausfallmechanismen voneinander statistisch unabhängig sind, ist die Gesamtüberlebenswahrscheinlichkeit zum Zeitpunkt  $t$  somit gegeben durch die *bedingte* Überlebenswahrscheinlichkeit:

$$1 - CDF(t) = (1 - CDF_A(t)) * (1 - CDF_B(t)) \quad (23)$$

Da dieses Szenario analog zu einer Weak-Link-Statistik beschrieben werden kann, bei dem das schwächste Glied einer Kette den Ausfall bestimmt, nennt sich dieses bimodale Modell Weak-Link-Modell. Im Vergleich zum „S-förmigen“ Verlauf der Ausfallverteilungen beim Superpositionsmodell haben die resultierenden Verteilungen des Weak-Link-Modells stets denselben Verlauf, nämlich mit einem flachen frühen Ast, der im zeitlichen Verlauf in einen späten Ast übergeht, der stets eine größere Steigung hat.

Voraussetzung für die Beobachtung eines solchen Weak-Link-Szenarios ist eine signifikante Überlappung der *PDFs* beider Fehlermechanismen. Diese Überlappung ergibt sich in der Praxis nur, wenn ein Fehlermechanismus einen deutlich höheren Formfaktor  $\sigma$  im Vergleich zum anderen aufweist. Dies ist beispielsweise dann nicht mehr gegeben, wenn  $CDF_A$  zum Zeitpunkt  $t$  bereits einen Wert von nahe zu eins aufweist, an dem  $CDF_B(t)$  jedoch gerade erst beginnt, merklich zum Ausfall der Teststrukturen beizutragen. In diesem Fall wird Mechanismus A das Ausfallszenario dominieren und man wird praktisch keine Ausfälle nach B mehr beobachten können.

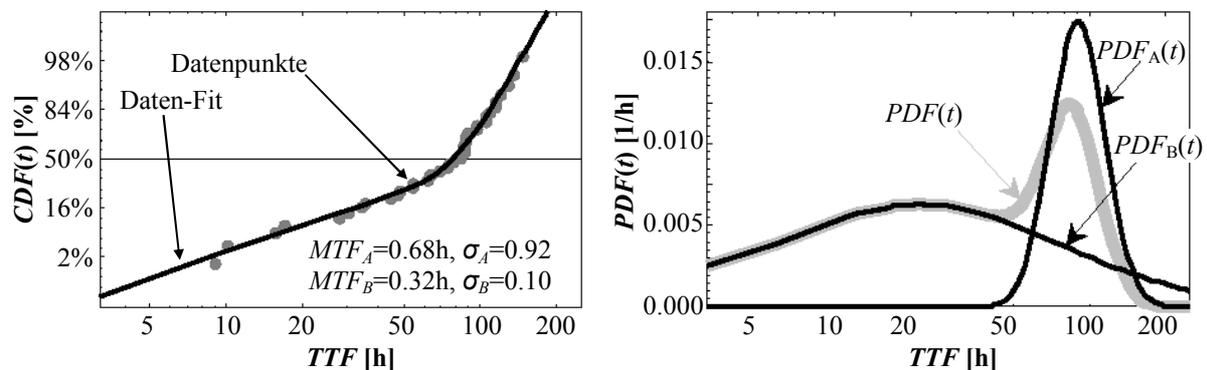


Abb. 2-21: Gemessene Ausfallverteilung von Via-Strukturen mit dem auf dem Weak-Link-Modell basierenden Fit.

Die Gültigkeit des Superpositions- und des Weak-Link-Modells wurde an verschiedenen Teststrukturtypen nachgewiesen [D, H]. Für Kupfermetallisierungen hat das Superpositionsmodell jedoch die größte Verbreitung gefunden. Dabei spielt der erste Typ

(Abb. 2-18) die wichtigste Rolle. Typ zwei (Abb. 2-15) ist seltener anzutreffen und hat seine Ursache oft in starken, meist prozessbedingten Inhomogenitäten innerhalb der Stichprobe.

Es ist wichtig, an dieser Stelle zu unterstreichen, dass die Anwendung eines bestimmten statistischen Modells nur auf Basis geeigneter physikalischer Fehleranalysen erfolgen darf. Es muss stets nachgewiesen sein, dass das Fehlerszenario, das dem Modell zugrunde gelegt wird, mit dem tatsächlich vorliegenden Ausfall auch übereinstimmt.

In verschiedenen Grenzfällen, bei denen das Vorhandensein eines bimodalen Szenarios nicht offensichtlich ist, haben sich quantitative statistische Hilfsmittel wie der Shapiro-Wilk- oder der Kolmogorov-Smirnov-Test [61-62] bewährt. Diese Verfahren können auch ohne vorhandene Fehleranalysen Hinweise einer Abweichung von einer monomodalen Ausfallverteilung geben. Eine Fehleranalyse ersetzen sie jedoch nicht.

Liegt ein bimodales Fehlerszenario vor, so müssen für eine quantitative Lebensdauerabschätzung die Mechanismen getrennt bewertet werden. Basierend auf den individuellen mittleren Ausfallzeiten  $MTF_{A/B}$  und Formfaktoren  $\sigma_{A/B}$  wird eine separate Extrapolation durchgeführt. Dabei muss auch berücksichtigt werden, dass sich sowohl die Aktivierungsenergien als auch die Stromdichteexponenten der beiden Ausfallmechanismen A und B voneinander unterscheiden können und deshalb auch separat voneinander bestimmt werden müssen. Dies ist natürlich mit einem erhöhten Testaufwand verbunden.

Weiterhin ist zu berücksichtigen, dass Abweichungen von einem monomodalen Ausfallverhalten nicht immer durch die aufgeführten bimodalen Modelle beschrieben werden dürfen. Vielmehr können in bestimmten Stichproben so genannte (extrinsische) Frühausfälle auftreten, die ihre Ursache in Defekten grober Natur haben, wie beispielsweise Kratzer, Partikel und Löcher. Diese Frühausfälle, die sich ebenfalls durch einen separaten Ast in der Ausfallverteilung darstellen, sind in der Regel nicht durch Lognormal-Verteilungen in geeigneter Weise zu beschreiben. Solche defektinduzierten Ausfälle müssen in einer Produktionslinie vermieden und durch entsprechende Defektdichte- und Ausbeuteteststrukturen überwacht werden.

## 2.2 Stressmigration in Kupfermetallisierungen und deren Bewertungsmethodik

Die Stressmigration ist ein diffusionsgesteuerter Prozess, bei dem die treibende Kraft für den Materialtransport in Gradienten der mechanischen Spannung begründet ist [68]. In Analogie zur Elektromigration bilden sich im Verlauf dieses spannungsinduzierten Degradationsmechanismus Voids, mit denen sich drei verschiedene Risiken hinsichtlich der Zuverlässigkeit von Integrierten Schaltungen verbinden lassen:

- 1) *Primäres Risiko*: Die Nukleation und das Wachstum von Stress-Voids verursacht eine Erhöhung des Leitbahnwiderstandes, welche die Funktionalität der Schaltung beeinflussen kann.
- 2) *Sekundäres Risiko*: Einfluss von Stress-Voids auf das Elektromigrationsverhalten. Stress-Voids, die in der Metallisierung bereits vor einer Strombelastung vorhanden sind, werden durch Elektromigration nur weiter vergrößert, ohne dass hierbei eine Nukleationsphase durchlaufen wird. Dies ist meist mit einer Reduzierung der Ausfallzeit und des Stromdichteexponenten verbunden [66, 67].
- 3) *Tertiäres Risiko*: Auf Grund des statistischen Charakters ihres Auftretens können Stress-Voids extrinsische Ausfälle provozieren, wenn sie sich beispielsweise innerhalb des Vias, am Kontaktloch oder über die gesamte Leitbahnbreite bilden. An diesen Stellen kann es aufgrund des fehlenden Materials zu einer überproportional hohen Stromdichte (nebst lokaler Erwärmung) kommen, welche selbst bei moderaten Strombelastungen zum Ausfall der Leitbahnkonstruktion führt.

Die wesentliche Erkenntnis, die sich im Verlaufe dieser Arbeit heraus kristallisiert hat, ist die Tatsache, dass sich das Stressmigrationsverhalten von Kupfer fundamental von Aluminiummetallisierungen unterscheidet. Im Gegensatz zu Aluminium, wo Stressmigration lediglich in Leitbahnen und hier in zunehmendem Maße mit immer kleiner werdenden Strukturbreiten auftritt, sind bei Kupfermetallisierungen stets die Vias in Verbindung mit großflächigen Leitbahnkonstruktionen von Stressmigration betroffen [O, 68-70]. Neben diesem designspezifischen Aspekt ist das Stressmigrationsverhalten von Kupfer ganz erheblich von der Herstellungshistorie abhängig, insbesondere der elektrolytischen Abscheidung, den nachfolgenden Wärmebehandlungen sowie der Liner- und Deckschichtprozessierung [G, I, N, Q, R, S, 70-77].

### 2.2.1 Das Prinzip der Stressmigration in Kupfermetallisierungen

Nach der derzeit akzeptierten Modellauffassung ist die Stressmigration Folge einer Leerstellenübersättigung im Kupfervolumen. Angetrieben durch Gradienten im mechanischen Stress werden diese „überschüssigen“ Leerstellen durch einen Diffusionsprozess in Richtung der Vias verschoben und können dort zu makroskopischen Voids akkumulieren. Den Ablauf des Stressmigrationsvorgangs kann man in vier Schritte (Abb. 2-22) untergliedern [68]:

#### Schritt 1

Zunächst werden Leerstellen im Gefüge des Kupfers freigesetzt oder generiert. Dies fängt bereits bei der elektrolytischen Abscheidung an. So ist bekannt [68, 74], dass elektrolytisch abgeschiedenes Kupfer eine gewisse Porosität aufweist, d.h. es ist bereits mit einer Vielzahl von eingebauten Leerstellen versehen (Übersättigung). Im weiteren Verlauf können zusätzliche Leerstellen durch physikalische Vorgänge wie Erholung, Rekristallisation oder Kornwachstum generiert werden. Dies geschieht z.B. in Verbindung mit Wärmebehandlungen, die nach der Abscheidung des Kupfers erfolgen und zum Ausheilen von Defekten oder zur Rekristallisation führen sollen.

Nach der elektrolytischen Abscheidung hat das Kupfer meist eine mittlere Korngröße von etwa 50nm [70, 92]. Ohne spezielle Wärmebehandlungen wachsen diese Körner bei Raumtemperatur innerhalb weniger Tage je nach Geometrie des Grabens zu Größen bis zu

einigen Mikrometern („Self-Anneal“-Effekt [42, 80-85]). Um eine stabile Mikrostruktur zu erhalten, lässt sich dieser Prozess beschleunigen, indem man nach der Abscheidung eine thermische Behandlung durchführt. Durch das bei der Rekristallisation sowie dem Kornwachstum stattfindende Verschmelzen vieler kleiner Kristallite zu größeren Körnern, kommt es zur Absorption von Korngrenzen [68, 83]. Dies führt zu einem lokalen, tensilen Spannungszustand und zu einer Freisetzung von Leerstellen. Ogawa [68] berechnete, dass bei einer Verdopplung des Korndurchmessers von 50nm auf 100nm innerhalb eines Volumens von  $7\mu\text{m}^3$  allein durch die Freisetzung der übersättigten Leerstellen ein makroskopisches Void von etwa  $0.013\mu\text{m}^3$  gebildet werden könnte. Neben diesem Effekt können aber auch durch andere mikrostrukturelle Veränderungen Leerstellen generiert werden, wie beispielsweise durch das Ausheilen von Kristalldefekten [R, S].

### Schritt 2:

Die im Schritt 1 freigesetzten oder generierten Leerstellen können im weiteren Verlauf von Stressgradienten  $\nabla\sigma$  eingefangen und in eine Vorzugsrichtung gelenkt werden. Wie später durch Fehleranalysen nachgewiesen wird, erfolgt die gerichtete Migration stets in Richtung des Vias. Der mit dem Stressgradienten verbundene Massefluss  $J_{SM}$  ist dabei:

$$J_{SM} = \frac{D}{k \cdot T} \nabla\sigma \quad (24)$$

wobei  $D$  die Diffusivität der Leerstellen,  $k$  die Boltzmann-Konstante und  $T$  die Temperatur der Metallisierung ist. Hohe mechanische Stressgradienten  $\nabla\sigma$  treten vorzugsweise an den Übergängen vom Via zur Leitbahn sowie an den Übergängen unterschiedlicher Materialien auf. Deshalb sind solche Kombinationen besonders anfällig für Stressmigration. Die Ursache für die Existenz solcher Gradienten ist hauptsächlich in der Fehlanpassung der thermischen Ausdehnungskoeffizienten der unterschiedlichen, integrierten Materialien begründet.

Die Diffusivität  $D$  und damit die Beweglichkeit der Leerstellen steigt exponentiell mit der Temperatur an. Somit bietet sich die Möglichkeit, den Stressmigrationsvorgang thermisch zu beschleunigen:

$$D = D_o \cdot \exp\left(-\frac{E_a}{k \cdot T}\right) \quad (25)$$

Betrachtet man ein Zeitintervall  $\Delta t$ , so beträgt die im Durchschnitt von einer Leerstelle zurückgelegte mittlere quadratische Wegstrecke  $x_D^2$ :

$$x_D^2(T, \Delta t) \sim 2 \cdot D(T) \cdot \Delta t \quad (26)$$

Mit Ausnahme der treibenden Kraft sind die Kinetik sowie die Thermodynamik der Leerstellenmigration analog zur Elektromigration. Demzufolge kommen für die Diffusionswege (Abb. 2-3) dieselben Migrationspfade in Frage, nämlich Grenzflächen-, Korngrenzen- und Volumendiffusion mit den entsprechenden Aktivierungsenergien  $E_a$  (Tab. 2-3). Bei Kupfer Dual-Damascene Metallisierungen mit einer SiN-Deckschicht erfolgt die Diffusion der Leerstellen daher bevorzugt entlang dieser Grenzschicht.

### Schritt 3:

Die durch den Stressgradienten verursachte Drift freier Leerstellen in eine Vorzugsrichtung führt im Bereich des Vias zu einer Ansammlung von Leerstellen. Diese können zu Mikroporen aggregieren und Nukleationskeime für das weitere Void-Wachstum bilden. Dabei findet die Nukleation vorzugsweise an solchen Stellen statt, die sich durch eine geringe

Nukleationsenergie auszeichnen. Solche Stellen bevorzugter Keimbildung sind beispielsweise: bereits vorhandene Poren, Defekte im Liner oder der Deckschicht und Tripelpunkte. Unter Aufbringung der Nukleationsenergie wird der Nukleus bis zu einer kritischen Größe wachsen und bildet dann den Ausgangspunkt für das weitere Void-Wachstum.

#### Schritt 4:

Nach der Nukleationsphase schließt sich das weitere Wachstum des Voids an. In dessen Folge kommt es zur sukzessiven Erhöhung des Widerstandes der Via/Leitbahn-Konstruktion. Die Höhe des Widerstandsanstiegs richtet sich nach Größe, Form und Lage des Voids (vgl. Kap. 2.2.4).

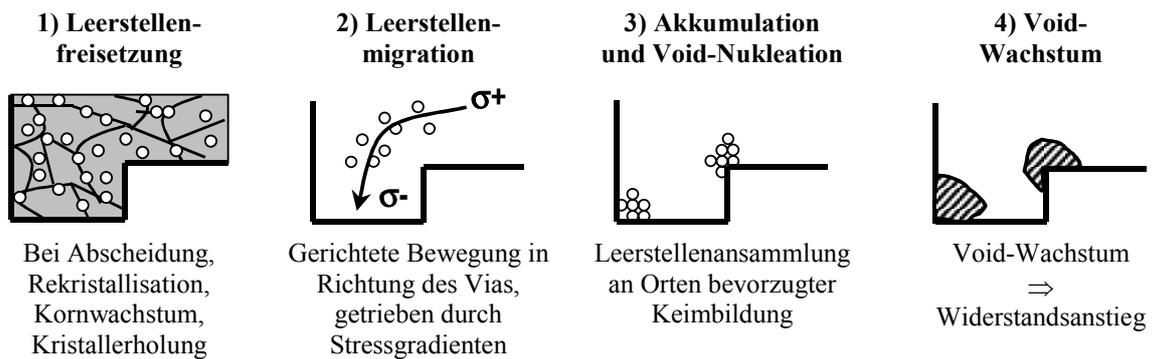


Abb. 2-22: Das Prinzip der Stressmigration bei Kupfermetallisierungen in 4 Teilschritten: 1) Leerstellenfreisetzung, 2) Migration, 3) Akkumulation und Nukleation, 4) Void-Wachstum.

#### 2.2.1.1 Das Konzept des aktiven Volumens für Stressmigration

Basierend auf den oben gemachten Überlegungen wird man stressmigrationsbedingtes Void-Wachstum in der Kupfermetallisierung nur dann vorfinden, wenn es zu einer Überlagerung dreier Teilvolumina (Abb. 2-23) kommt:

- 1) Dem *Metallvolumen* mit einer Übersättigung an Leerstellen, welches die für den Voiding-Vorgang erforderlichen freien Leerstellen überhaupt erst zur Verfügung stellen kann;
- 2) Dem *Diffusionsvolumen*, welches das Gebiet beschreibt, aus dem Leerstellen durch Diffusion potenziell zur Void-Bildung beitragen können. Betrachtet man hierbei ein gewisses Zeitintervall (z.B. das Messintervall oder die Produktlebensdauer), dann kommen hierfür nur jene Leerstellen in Frage, die bei einer gegebenen Temperatur (z.B. der Stress- oder der Produkttemperatur) in einem Abstand kleiner gleich  $x_D$  vom Via entfernt sind (vgl. Gleichung (26));
- 3) Dem Volumen, in dem *Stressgradienten* existieren, welche eine gerichtete Bewegung der Leerstellen ermöglichen.

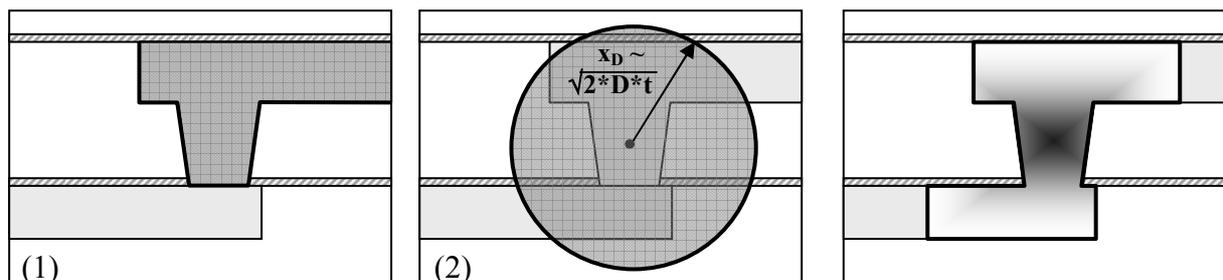


Abb. 2-23: Notwendige Voraussetzung für das Auftreten der Stressmigration bei Kupfermetallisierungen ist die Existenz eines aktiven Volumens, das aus einer Überlagerung dreier Teilvolumina gebildet wird: 1) Metallvolumen mit Leerstellen, 2) Diffusionsvolumen und 3) Volumen mit Stressgradienten.

Das Konzept der überlagerten Teilvolumina wird nach Ogawa [68] auch als *aktives Volumen* bezeichnet. Auf dessen Grundlage kann nun gefolgert werden, dass eine besonders hohe Stressmigrationsanfälligkeit von Via/Leitbahn-Strukturen immer dann gegeben ist, wenn:

- Besonders hohe Stressgradienten existieren,
- Eine besonders hohe Anzahl freier Leerstellen zur Verfügung steht oder durch eine instabile oder defekte Mikrostruktur erzeugt werden kann,
- Stellen bevorzugter Keimbildung existieren, beispielsweise durch Defekte am Via-Liner oder der Mikrostruktur des Vias,
- Eine große Anzahl von aktiven Diffusionspfaden mit niedriger Aktivierungsenergie für eine Materialmigration zur Verfügung steht.

Damit haben die lokale Mikrostruktur des Kupfers, die Grenzflächeneigenschaften der Deckschicht und des Liners sowie die Leitbahngeometrie den entscheidenden Einfluss auf die Bildung von Stress-Voids. Demzufolge haben alle Prozess-Schritte, die diese Eigenschaften modifizieren, direkte Auswirkungen auf das resultierende Stressmigrationsverhalten. Wie später noch im Detail diskutiert wird, sind dies insbesondere: die Abscheidungsbedingungen des Liners, der Kupferkeimschicht und des elektrolytischen Kupfers, die Temperschritte sowie die Via- und Grabenätzung und schließlich die Deckschichtabscheidung nebst zugehöriger Reinigungsschritte.

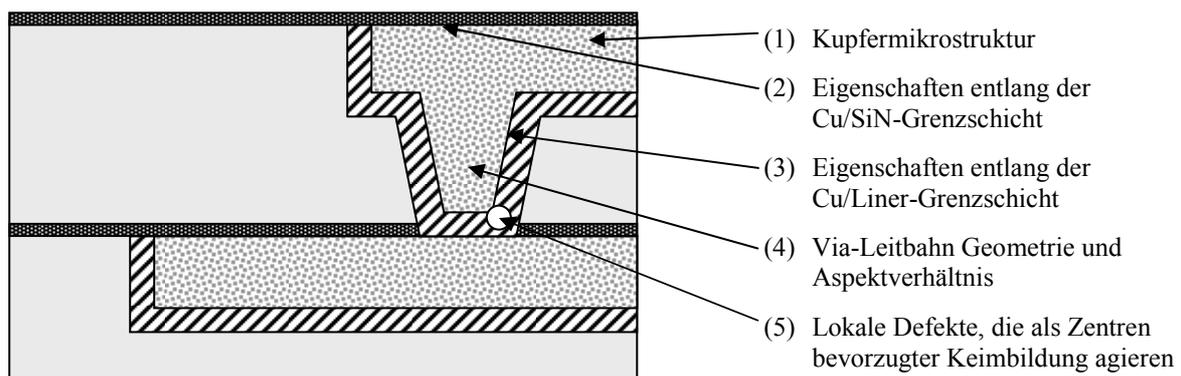


Abb. 2-24: Aspekte, die das Stressmigrationsverhalten von Kupfermetallisierungen beeinflussen.

Wie bereits erwähnt, unterscheidet sich das Stressmigrationsverhalten von Kupfer in fundamentaler Weise von jenem von Aluminium. Während bei Kupfer die Bildung von Stress-Voids am Via auf einer Übersättigung von Leerstellen beruht und durch Stressgradienten getrieben wird, sind bei Aluminium die Leitbahnen betroffen, bei denen die Bildung und das Wachstum der Voids durch die Relaxation eines tensilen Stresses getrieben sind. In Folge dessen ergab sich mit der Einführung von elektrolytisch abgeschiedenen Kupfermetallisierungen mit Dual-Damascene Architektur in hochintegrierten Schaltungen die Notwendigkeit, ein neuartiges Konzept für die Bewertung des Stressmigrationsverhaltens zu entwickeln. Dieses Konzept beinhaltet neben einem Modell für die Beschreibung des statistischen Charakters der Ausfallzeiten auch ein Transformations- und Extrapolationsmodell sowie neuartige, auf die Besonderheiten des Stressmigrationsprinzips in Kupfer zugeschnittene Teststrukturen. Diese sollen in den folgenden Abschnitten näher erläutert werden.

## 2.2.2 Teststrukturen für Stressmigrationsuntersuchungen

Ähnlich wie bei der Elektromigration wurden auch die für Stressmigrationsstudien verwendeten Teststrukturen gezielt auf die Untersuchung bestimmter Ausfallmechanismen zugeschnitten. Um das aktive Volumen (Abb. 2-23) und damit den zu erwartenden Stressmigrationseffekt so effektiv wie möglich zu gestalten, wird ein besonders kritisches Teststrukturdesign dadurch realisiert, dass große Kupfervolumina über einzelne Vias miteinander verbunden werden. Der Übergang auf ein Einzel-Via bedingt einerseits einen möglichst großen Stressgradienten in der Nähe des Vias, andererseits wird durch ein großes Metallreservoir die Anzahl migrationsfähiger, freier Leerstellen maximiert.

Dazu wurden in dieser Arbeit erstmals neuartige Teststrukturen erprobt. Im einfachsten Fall bedient man sich so genannten *Plattenstrukturen*, bei der eine mehrere  $\mu\text{m}^2$  große, rechteckige oder quadratische Kupferplatte über ein Einzel-Via auf eine schmale Leitbahn in der anderen Metallebene angeschlossen wird. Eine spezielle Modifikation der Plattenstruktur wird durch das Aufschlitzen der Platte in mehrere feine, parallel verlaufende Bahnen in der *Gitterstruktur* realisiert. Bei dieser Struktur ist zwar das Metallvolumen und somit das Leerstellenreservoir etwas kleiner als bei der Plattenstruktur, jedoch kann man mit ihr gezielt Phänomene untersuchen, die sich aus der Modifikation der Mikrostruktur in schmalen Gräben ergeben (vgl. Kap. 3.1). Daneben hat diese Struktur eine besondere Produktrelevanz, da sie einen Via-Übergang simuliert, der sich zu vielen Bahnanschlüssen aufteilt, wie er üblicherweise bei Clock-Signal-Verteilern realisiert wird [6]. Um die statistische Signifikanz dieser Teststrukturen bei einer Stressmigrationsuntersuchung zu erhöhen, werden die Einzelkomponenten aus Platten bzw. Gittern zu Ketten aus typischerweise 30 bis 100 Einzelsegmenten zusammengefasst.

In weiterer Analogie zur Elektromigration sind die Platten- und Gitterstrukturen derart gestaltet, dass sich die Stressmigrationsphänomene separat in verschiedenen Metallebenen untersuchen lassen. Dazu befindet sich die Platte bzw. das Gitter jeweils stets über bzw. unter dem Einzel-Via. Entsprechend dieser Konstellation werden die Strukturen als Platte/Gitter „unter dem Via“ bzw. „über dem Via“ bezeichnet (Abb. 2-25, 2-26).

Neben diesen besonders „kritischen“ Designs werden während einer Stressmigrationsstudie jedoch auch alle anderen auf dem Wafer vorhandenen Strukturen untersucht wie z.B. reine Leitbahnen, über schmale Leitbahnsegmente verbundene Einzel-Vias, Konstruktionen mit gestapelten Vias, dejustierte Vias, Via-Felder, etc. Die Details der wichtigsten Teststrukturtypen sind im Nachfolgenden skizziert:

### 2.2.2.1 Die Plattenstruktur

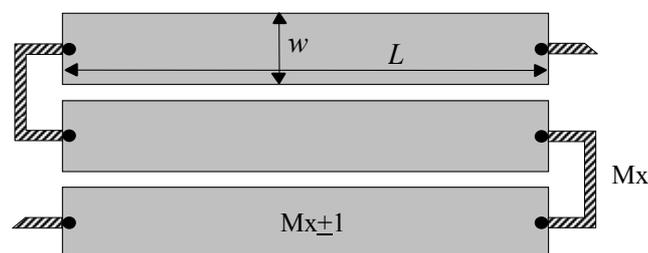


Abb. 2-25: Bei der Plattenstruktur sind 30 Platten (Breite  $w$ , Länge  $L$ ) jeweils über ein Einzel-Via ( $\varnothing=0.28\mu\text{m}$ ) mit schmalen kurzen Leitbahnen ( $w=0.24\dots0.28\mu\text{m}$ ) zu einer Kette verbunden. (Modifikationen: Platte „unter dem Via“ in der Ebene  $M_{x+1}$ , Platte „über dem Via“ in der Ebene  $M_{x-1}$ ; Verbindungsleitbahn jeweils in  $M_x$ ).

### 2.2.2.2 Die Gitterstruktur

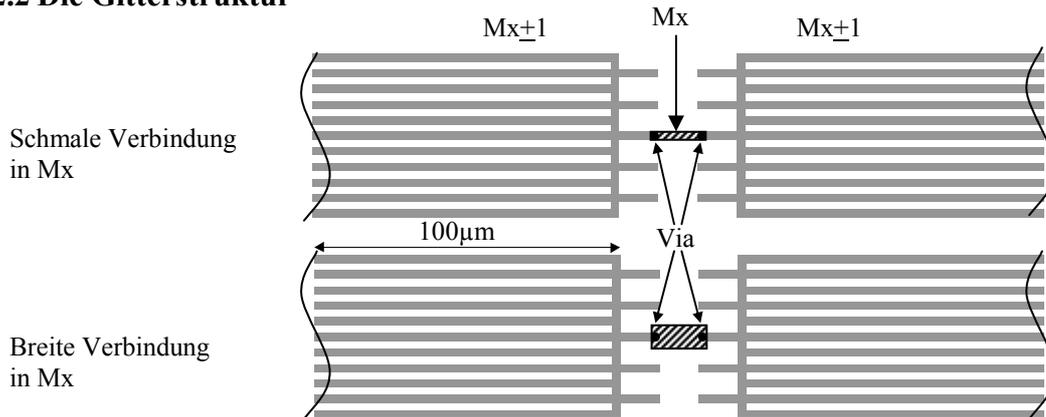


Abb. 2-26: Die Gitterstruktur besteht aus mehreren, parallel geschlossenen, 100µm langen Leitbahnen minimaler Breite ( $w=0.24\dots0.28\mu\text{m}$ ), die über ein Einzel-Via ( $\varnothing=0.28\mu\text{m}$ ) durch kurze Leitbahnstücke in der benachbarten Ebene verbunden sind. (Modifikationen: Gitter „über dem Via“ in der Ebene  $M_{x+1}$ , Gitter „unter dem Via“ in der Ebene  $M_{x-1}$ ; Verbindungsleitbahn jeweils in  $M_x$  in schmäler bzw. breiter Ausführung).

### 2.2.2.3 Die Überlappstruktur

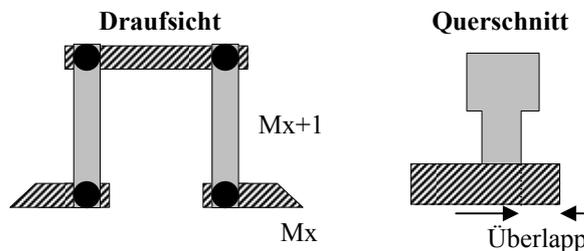


Abb. 2-27: Die Überlappstruktur ist eine Via-Kette bestehend aus etwa 10.000 Einzel-Vias ( $\varnothing=0.28\mu\text{m}$ ), die durch 2µm lange Leitbahnstücke minimaler Breite ( $w=0.24\dots0.28\mu\text{m}$ ) miteinander verbunden sind. In verschiedenen Modifikationen kann der Überlapp der Leiterbahn zum Via in einem Bereich von  $-0.06\dots+0.20\mu\text{m}$  über bzw. unter dem Via variiert werden.

### 2.2.3 Voiding-Szenario bei Stressmigration in Kupfermetallisierungen

Im Unterschied zu Aluminiummetallisierungen, bei denen Stress-Voids ausschließlich in schmalen Leitbahnen auftreten, können bei Kupfermetallisierungen stressmigrations-induzierte Ausfälle stets mit einem Voiding im oder unter dem Via in Verbindung gebracht werden. Dabei werden in Leiterbahnkonstruktionen mit Einzel-Vias die Stress-Voids jeweils nur in der Ebene gefunden, in der ein hinreichend großes, aktives Volumen zur Verfügung steht. Liegt die Platte bzw. das Gitter über dem Einzel-Via, dann sind die Stress-Voids stets innerhalb des anschließenden Dual-Damascene Vias zu finden. Liegt die Platte bzw. das Gitter unter dem Einzel-Via, erfolgt die Void-Bildung immer in der Metallebene direkt unter dem Via (Abb. 2-28).

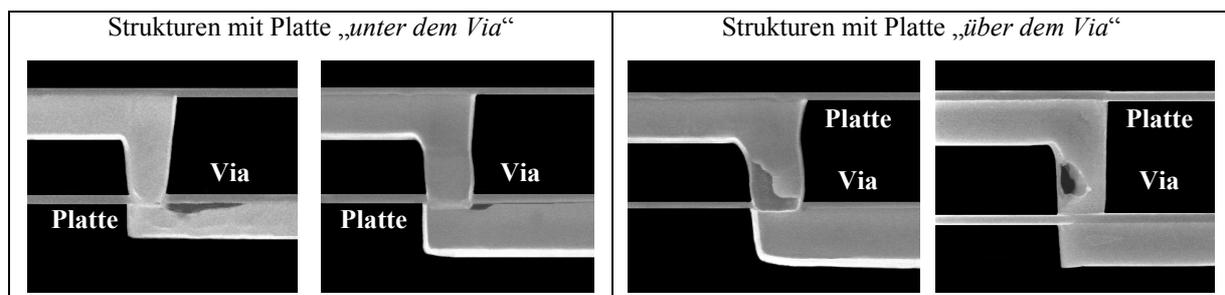


Abb. 2-28: Plattenstrukturen mit Stressmigrationsschädigungen nach 2000h Temperaturlagerung bei 275°C. Das Voiding findet stets in der Ebene mit dem größeren Kupferreservoir statt: Im Falle einer Platte „unter dem Via“ entwickelt sich das Void unterhalb des Vias (links); Im Falle einer Platte „über dem Via“ bilden sich Stress-Voids stets innerhalb des Vias (rechts).

#### 2.2.4 Testmethodik und statistische Beschreibung von Stressmigrationsausfällen

In den meisten Fällen werden Stressmigrationsuntersuchungen auf „wafer-level“ durchgeführt. Dabei wird der gesamte Wafer mit allen sich darauf befindlichen Teststrukturen ohne Strombelastung bei erhöhten Temperaturen gelagert. Für Kupfer liegen die Stresstemperaturen in der Regel zwischen 175 und 300°C. Diese Belastungsart wird als „High Temperature Storage“ (HTS) bezeichnet. Nach der Null-Stunden Referenzmessung erfolgen in regelmäßigen Abständen (z.B. nach 24, 168, 330, 500, 1000h) die Entnahme der Wafer aus den Öfen und eine Widerstandsmessung der verschiedenen Strukturen bei Raumtemperatur.

Der Vorteil dieser Messmethode besteht darin, dass man – neben der Kostenersparnis durch Vermeidung einer aufwändigen Bauteilmontage – eine Vielzahl unterschiedlicher Strukturen messen kann. Darüber hinaus kann man in einfacher Weise, durch Zuordnung des Messwertes mit der Chipposition auf dem Wafer, ein Wafermap des Stressmigrationsverhaltens erstellen. So kann man beispielsweise bei etwaig auftretenden Mitte/Rand-Effekten wertvolle Informationen bezüglich der Inhomogenität bestimmter Prozess-Schritte gewinnen und eine entsprechende Korrektur vornehmen.

Der Nachteil der wafer-level Messmethode liegt allerdings darin, dass kein kontinuierliches Überwachen des Widerstandsverhaltens und somit einer möglichen Stressmigrationsdegradation möglich ist. Notwendigerweise müssen die Widerstandsdriften, die zwischen zwei Messungen liegen, linear interpoliert werden. Dies kann zu einer gewissen Ungenauigkeit bei der Bestimmung der Ausfallzeit führen. Ein weiterer nachteiliger Aspekt hinsichtlich der Produktrelevanz liegt darin, dass der äußere Stresszustand eines großflächigen Wafers einen potenziellen Einfluss auf das Stressmigrationsverhalten der darauf befindlichen Strukturen hat. Im Unterschied dazu wird im Produkt jedoch nur ein Chip mit deutlich kleinerer Fläche verwendet. Auf diese Problematik wird im Abschnitt 2.2.7 näher eingegangen.

Die Ausfallzeiten bei Stressmigration sind durch die Zeiten bestimmt, nach denen ein bestimmter Widerstandsanstieg  $\Delta R/R_0$  erreicht wird (Abb. 2-29 links). Das jeweilige Fehlerkriterium ist meist identisch zu dem der Elektromigration. Wie im Resultat dieser Arbeit erstmals gezeigt wurde, können die resultierenden Ausfallzeiten bei Stressmigration sehr gut durch eine Lognormal-Verteilung beschrieben werden. Selbst der Formfaktor bleibt gegenüber einer gewissen Änderung des Ausfallkriteriums invariant – es verschiebt sich lediglich die mittlere Ausfallzeit (Abb. 2-29 Mitte). Diesen Sachverhalt nutzt man, um Lebensdauerabschätzungen vorzunehmen, auch wenn die Widerstandsdriften noch nicht das geforderte Produktausfallkriterium erreicht haben. Zu diesem Zweck werden die Fehlerzeiten bei mindestens drei Werten ermittelt (z.B.  $\Delta R/R_0=2, 5, 10\%$ ) und auf das Produktausfallkriterium (z.B. 20%) extrapoliert. Im angegebenen Beispiel (Abb. 2-29 rechts) ergibt sich ein linearer Zusammenhang zwischen der mittleren Ausfallzeit und dem Fehlerkriterium, wobei sich die Zeiten von 10% auf 20% um etwa einen Faktor 2 vergrößern. Dieser Faktor muss bei der Berechnung der Produktlebensdauer berücksichtigt werden.

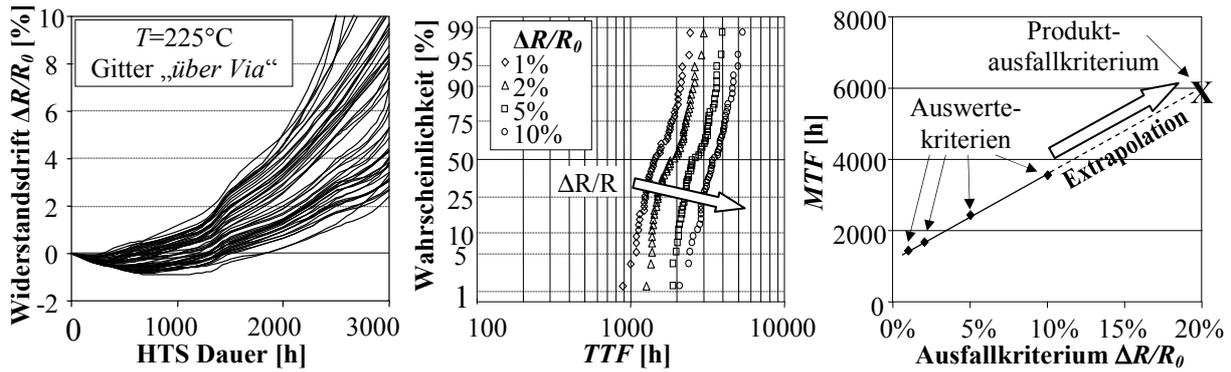


Abb. 2-29: Durch Stressmigration hervorgerufener Widerstandsanstieg an Via/Leitbahn-Strukturen (links). Die zu einem Fehlerkriterium  $\Delta R/R_0$  gehörenden Ausfallzeiten lassen sich durch eine Lognormal-Verteilung beschreiben (Mitte). Der Formfaktor  $\sigma$  ist nahezu invariant bezüglich kleiner Variationen des Fehlerkriteriums. Zur Verkürzung der Messzeit werden die mittleren Ausfallzeiten meist zu Fehlerkriterien unterhalb 20% bestimmt und dann auf das Produktausfallkriterium extrapoliert (rechts).

## 2.2.5 Temperaturabhängigkeit der Stressmigration bei Kupfermetallisierungen

Nach der Diskussion des qualitativen Charakters des Voiding-Szenarios wird in diesem Abschnitt die Temperaturabhängigkeit der Stressmigration an Kupferleitbahnen behandelt. Auf Basis der nachfolgenden Studien konnte dabei erstmals ein prinzipielles Verständnis für die thermische Aktivierung dieses Mechanismus erarbeitet werden [G, N]. Das daraus abgeleitete Transformationsmodell bietet, ähnlich wie die Black'sche Gleichung bei der Elektromigration, die Grundlage für eine quantitative Abschätzung der stressmigrationslimitierten Lebensdauer. Um das Temperaturverhalten eines möglichst breiten Spektrums von Kupfermetallisierungen zu charakterisieren, wurden sowohl reine Dual-Damascene Strukturen als auch Kupfer/Hybrid-Metallisierungen mit Übergängen auf Wolfram-Vias und Aluminiummetallisierungen untersucht.

### 2.2.5.1 Temperaturverhalten der Stressmigration bei Dual-Damascene Integration

Innerhalb des getesteten Temperaturbereiches zwischen 225 und 275°C lassen sich die ermittelten Ausfallzeiten durch eine monomodale Lognormal-Verteilung mit jeweils vergleichbaren Formfaktoren  $\sigma$  beschreiben (Abb. 2-30). Der Ausfall dieser Struktur wird dabei durch Voiding innerhalb des Vias verursacht (Abb. 2-32).

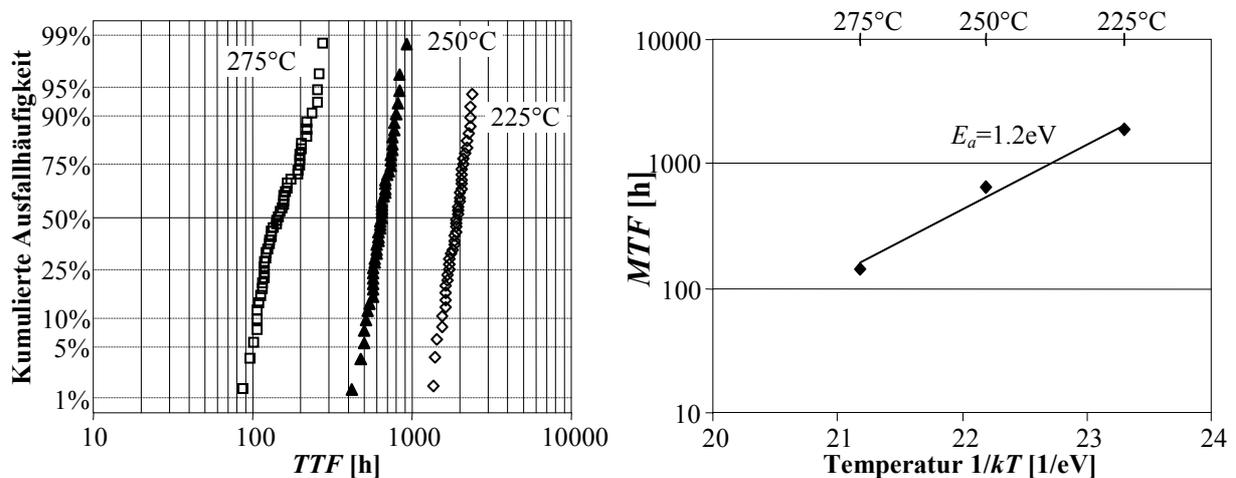


Abb.2-30: Ausfallverteilungen von Platten „über dem Via“ mit Dual-Damascene Architektur gemessen bei verschiedenen HTS-Temperaturen. Der Arrhenius Plot korrespondiert zu einer Aktivierungsenergie von 1.2eV.

Aus Abb. 2-30 wird ersichtlich, dass die Ausfallzeiten stark von der Temperatur abhängen. Mit Temperaturzunahme um  $25^\circ$  ist eine Reduzierung der Ausfallzeiten um etwa den Faktor 4 festzustellen. Trägt man die mittleren Ausfallzeiten in einem Arrhenius-Plot auf, so ergibt sich in guter Näherung eine Gerade, deren Anstieg einer Aktivierungsenergie von 1.2eV entspricht. Dieser Wert entspricht etwa der Aktivierungsenergie für Korngrenzendiffusion (vgl. Tab. 2-3).

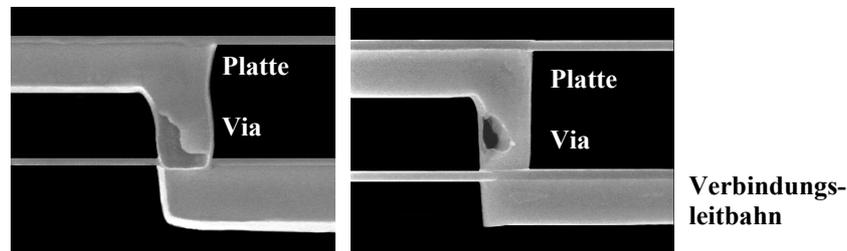


Abb. 2-31: Platten „über dem Via“ mit Dual-Damascene Architektur nach 2500h Lagerung bei  $275^\circ\text{C}$ . Die beobachtete Widerstandsdrift wird durch Stress-Voids innerhalb des Vias hervorgerufen.

### 2.2.5.2 Temperaturverhalten der Stressmigration bei einer Kupfer/Hybrid-Metallisierung

Bei der hier untersuchten Hybridmetallisierung handelt es sich um eine Architektur wie sie in integrierten Schaltungen oft zum Anschluss einer Aluminiumebene auf eine darunter liegende Kupferlage verwendet wird. Die Verbindung dieser beiden unterschiedlichen Metallisierungen wird dabei durch ein Wolfram-Via realisiert (Abb. 2-32). Die Temperaturabhängigkeit des Stressmigrationsverhaltens einer solchen Metallisierung wurde bei insgesamt fünf verschiedenen Temperaturen in einem Bereich von  $200$  bis  $300^\circ\text{C}$  untersucht. Dazu kamen Gitterstrukturen zum Einsatz, bei denen das Gitter in der Kupferebene unterhalb des Wolfram-Vias gebildet wird, welche über einzelne und kurze, schmale Aluminiumverbindungen miteinander verbunden sind (Abb. 2-26).

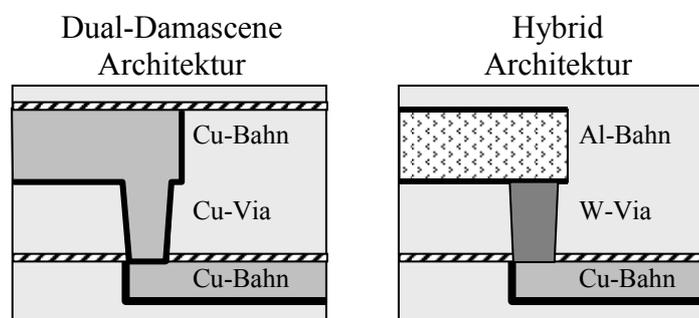


Abb. 2-32: Via/Leitbahn-Strukturen einer Dual-Damascene Architektur mit Kupfer in sämtlichen Ebenen (links) und einer Hybridmetallisierung, bei der die Kupferleitbahn über ein Wolfram-Via mit der Aluminiumebene verbunden ist (rechts).

Die Ausfallverteilungen, welche an den Hybridmetallisierungen ermittelt wurden, zeigen wie im Fall von Dual-Damascene Metallisierungen eine stetige Reduzierung der Fehlerzeiten mit zunehmender Temperatur (Abb. 2-33). Für die niedrigsten Temperaturen  $200$  und  $225^\circ\text{C}$  können die Ausfallverteilungen durch eine monomodale Lognormal-Verteilung beschrieben werden. Im Unterschied dazu zeigen die Verteilungen ab  $250^\circ\text{C}$  eine deutliche Bimodalität, wobei ein früher Ast mit steigender Temperatur immer ausgeprägter hervortritt. Die bimodalen Verteilungen wurden dann gemäß des Superpositionsmodells (vgl. Kap. 2.1.4) bewertet und so die zwei charakteristischen Größen ( $MTF$ ,  $\sigma$ ) für den frühen und den späten Ast separat bestimmt (Abb. 2-33 rechts). Trägt man die mittleren Ausfallzeiten in einem Arrhenius-Plot auf, so ergibt sich für den späten Ast ein linearer Verlauf über den gesamten Temperaturbereich von  $200$  bis  $300^\circ\text{C}$ , dessen Steigung einer Aktivierungsenergie von 0.9eV entspricht. Darüberhinaus gibt es auch einen linearen Zusammenhang für den frühen Ast in

dem Temperaturbereich seiner Beobachtung (250...300°C). Sein Anstieg ist etwas steiler im Vergleich zum späten Ast und korrespondiert zu einer deutlich höheren Aktivierungsenergie von 1.4eV.

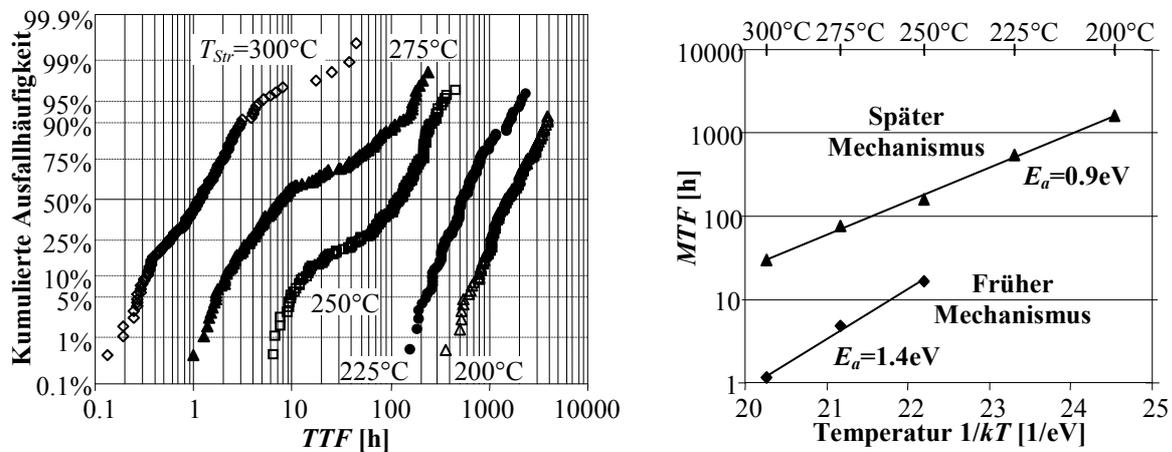


Abb. 2-33: Verteilungen der SM-Ausfallzeiten an Gitterstrukturen mit Hybridmetallisierung bei verschiedenen Stresstemperaturen (links). Bei Temperaturen oberhalb 225°C zeigt sich eine ausgeprägte Bimodalität. Für den frühen Ausfallmechanismus ergibt sich eine höhere Aktivierungsenergie (rechts).

Das Vorhandensein einer Bimodalität deutet auf das Auftreten zweier unterschiedlicher Fehlermechanismen innerhalb der Stichprobe hin. Fehleranalysen, welche an ausgefallenen Strukturen des frühen und des späten Astes durchgeführt wurden, brachten zwei verschiedene Typen von Voids zum Vorschein, welche sich stets in der Kupfermetallisierung nicht jedoch im Wolfram-Via oder in der Aluminiumleitbahn befinden. Strukturen mit kleinen Ausfallzeiten und den hohen Aktivierungsenergien, welche den frühen Ast der Verteilung bilden, zeigen volumenartige Voids, die das gesamte Leitbahnsegment unter dem Wolfram-Via ausfüllen (Abb. 2-34 links). Ausfälle des späten Astes zeigen hingegen flache, langgestreckte Voids, die sich entlang der Cu/SiN-Grenzschicht ausbreiten und mit einer niedrigeren Aktivierungsenergie korrespondieren.

Die Differenzen in den Aktivierungsenergien und den Void-Formen beider Fehlermechanismen deuten auf unterschiedliche Diffusionsmechanismen hin. Volumenförmige Voids und eine hohe Aktivierungsenergie (1.4eV) legen eine Diffusion entlang der Korngrenzen als dominierenden Migrationspfad für den frühen Ausfallmechanismus nahe. Die flachen, langgestreckten Voids entlang der Cu/SiN-Grenzschicht mit niedrigerer Aktivierungsenergie (0.9eV) deuten auf Grenzflächendiffusion als Hauptdiffusionspfad hin.

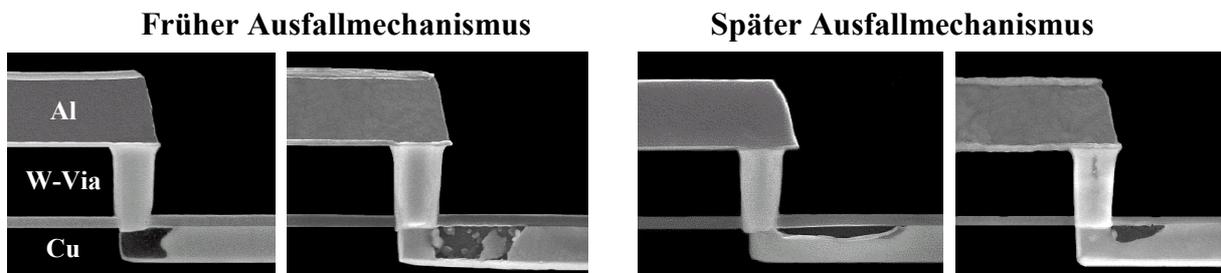


Abb. 2-34: Unterschiedliche Stressmigrationsmechanismen beobachtet an Kupfer/Hybrid-Metallisierungen nach 2000h Lagerung bei 275°C. Früher Ausfallmechanismus mit großen volumenartigen Voids in der Kupferebene (links). Später Ausfallmechanismus mit flachen, langgestreckten Voids entlang der SiN-Deckschicht (rechts).

### 2.2.5.3 Transformationsmodell für Stressmigration in Kupfermetallisierungen

Basierend auf den Untersuchungen zum Temperaturverhalten der Stressmigration lässt sich für sämtliche beobachtete Voiding-Szenarien folgendes einfaches Transformationsmodell ableiten:

$$MTF_{SM} = B \cdot \exp\left(\frac{E_a}{k \cdot T}\right) \quad (27)$$

mit  $MTF_{SM}$  als der mittleren Ausfallzeit,  $B$  einer material- und strukturspezifischen Konstanten,  $E_a$  der Aktivierungsenergie des Stressmigrationsmechanismus,  $k$  der Boltzmann-Konstanten und  $T$  der Temperatur der Metallisierung. Mit Hilfe dieser phänomenologischen Beziehung ist es möglich, die unter Einwirkung der Stresstemperatur gemessenen, mittleren Ausfallzeiten auf Betriebstemperaturen zu transformieren und so die stressmigrationslimitierte Lebensdauer auf Produktebene zu bestimmen. In Analogie zu Black's Gleichung für Elektromigration (5) wird in Gl. (27) die Temperaturabhängigkeit durch einen Arrhenius-Term beschrieben. Die treibende Kraft, welche durch den Gradienten im mechanischen Stress gegeben ist, ist in Gl. (27) im Vorfaktor  $B$  enthalten. Sie ist für Teststrukturen aus ein und derselben Stichprobe als konstant anzusehen. Da sie nur durch das Design, die verwendeten Materialkombinationen und den Herstellungsprozessen bestimmt ist, ist sie nicht mehr als eine von außen beeinflussbare, variable Messgröße anzusehen. Der Stressmigrationsmechanismus lässt sich für ein gegebenes Teststrukturdesign daher ausschließlich über die Temperatur beschleunigen.

#### Vergleich mit dem Temperaturverhalten in Aluminiummetallisierungen

Im Unterschied zum Temperaturverhalten der Stressmigration in Kupfermetallisierungen wie sie in Gleichung (27) beschrieben wird, hat sich bei Aluminiummetallisierungen eine abweichende Abhängigkeit ergeben [E, I, 66, 67]. Hier wird eine maximale Stressmigrationsrate, d.h. ein Minimum der mittleren Ausfallzeiten, in einem Temperaturbereich von 225 bis 250°C gefunden (Abb. 2-35). Davon abweichende Temperaturen führen zu jeweils höheren Ausfallzeiten. Die Ursache dieses Verhaltens liegt darin begründet, dass zum einen mit der Temperatur die Beweglichkeit der Leerstellen abnimmt, was zu einer Verlangsamung der Stressmigration führt. Zum anderen verringern sich der tensile Stress in einer Aluminiumleitbahn und damit die treibende Kraft des Stressmigrationsvorgangs mit zunehmender Metallisierungstemperatur. Dies folgt aus der Tatsache, dass die Metallisierung nach ihrer Einkapselung in Siliziumoxid bei hoher Abscheidetemperatur stressfrei vorliegt. Bei einer Abkühlung wird dann tensiler Stress aufgebaut, da die Metallisierung einen größeren Ausdehnungskoeffizienten besitzt als ihre Umgebung. Analytisch lässt sich die daraus resultierende Temperaturabhängigkeit der Ausfallzeit nach [67, E] wie folgt darstellen:

$$MTF_{SM} = B \cdot \frac{T_{Dep}}{T_{Dep} - T_{Str}} \cdot \exp\left(\frac{E_a}{k \cdot T_{Str}}\right) \quad (28a)$$

bzw. in leicht modifizierter Form gemäß Dunn / McPherson [86] nach:

$$MTF_{SM} = B' \cdot \frac{1}{(T_{Dep} - T_{Str})^{n'}} \cdot \exp\left(\frac{E_a}{k \cdot T_{Str}}\right) \quad (28b)$$

mit  $T_{Str}$  als der HTS-Stresstemperatur und  $T_{Dep}$  als der Abscheidetemperatur der Metallisierung sowie  $n'$  als den so genannten „Creep“-Exponenten.

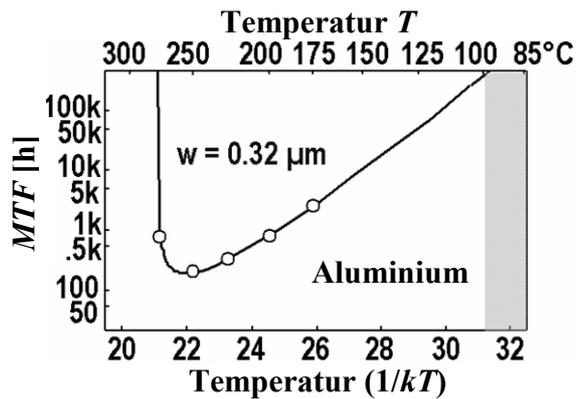


Abb. 2-35: Typische Temperaturabhängigkeit des Stressmigrationsverhaltens von Aluminiumleitbahnen. Der Verlauf der mittleren Ausfallzeit ( $MTF$ ) wird beschrieben durch Gl. (28a/b). Die maximale Voiding-Rate, welche zu minimalen Ausfallzeiten korreliert, tritt in einem Temperaturbereich von 225 bis 250°C auf. Der Verlauf der Kurve unterscheidet sich fundamental von der Temperaturabhängigkeit, welche für Kupfermetallisierungen in Gl. (27) gefunden wurde.

#### Anmerkungen zum Temperaturmodell

In diesem Zusammenhang sei angemerkt, dass eine Reihe von Veröffentlichungen [68, 73, 75] das in den Gleichungen (28a/b) wiedergegebene Temperaturverhalten auch mit Kupfermetallisierungen in Verbindung bringen. Über die Diskrepanz, die sich daraus im Vergleich zu Gleichung (27) ergibt, lassen sich bisher nur Vermutungen anstellen. Der Hauptgrund könnte in der Temperaturbehandlung der Kupfermetallisierungen liegen. Kupfermetallisierungen, die ein aluminiumähnliches Temperaturverhalten nach Gleichung (28a/b) zeigen, unterscheiden sich von den Metallisierungen, die im Rahmen dieser Arbeit untersucht wurden (und für die Gleichung (27) gilt), vermutlich hinsichtlich zweier Aspekte:

- Bei den Ergebnissen, die von Ogawa [68] publiziert wurden, wird ganz und gar auf eine Wärmebehandlung des Kupfers nach der elektrolytischen Abscheidung verzichtet und so durch eine instabile Mikrostruktur die Stressmigration gewissermaßen erzwungen.
- In anderen Publikationen [73, 75] wurden Kupfermetallisierungen untersucht, die einer Wärmebehandlung bei besonders hohen Temperaturen (300...400°C) unterzogen wurden. Im Vergleich dazu werden die in dieser Arbeit verwendeten Kupferproben bei weitaus niedrigeren Temperaturen von etwa 110°C getempert.

Diese Unterschiede in der thermischen Historie der verschiedenen Proben könnten dann vermutlich für die Verschiebung des stressfreien Zustandes in der jeweiligen Metallisierung verantwortlich sein: Erfolgt die Wärmebehandlung nach der elektrolytischen Abscheidung bei hohen Temperaturen, so wird der stressfreie Zustand eher in diesem Hochtemperaturbereich zu finden sein. Bei thermischen Behandlungen weit unterhalb der späteren Stresstemperaturen ist der stressfreie Zustand tendenziell bei niedrigeren Temperaturen zu finden. Dies könnte schließlich zu den Unterschieden im Temperaturverhalten führen, wie sie von den zitierten Autoren gefunden wurden.

#### **2.2.6 Methodik zur Bestimmung der Stressmigrationslebensdauer**

Mit der Einführung von Kupfermetallisierungen in hochintegrierten Schaltungen hatte die Bewertung der Stressmigration in der Prozessqualifikation zunächst einen eher qualitativen Charakter: es galt, Stress-Voids grundsätzlich zu vermeiden. Nachdem in der frühen Entwicklungsphase jedoch immer häufiger Stressmigrationseffekte beobachtet wurden, die sich nicht durch einfache Prozessmodifikationen unterdrücken ließen, stellte sich in Analogie zur Behandlung der Elektromigration die Frage, ob ein gewisses Maß von Stress-Voiding in einer Via/Leitbahn-Konstruktion nicht doch zulässig wäre, solange dadurch die

Produktfunktionalität unbeeinträchtigt bleibt. Basierend auf der Entwicklung des statistischen Modells (vgl. Kap. 2.2.4) nach dem die Stressmigrationsausfallzeiten durch eine Lognormal-Verteilung beschrieben werden können und durch die Ableitung des Transformationsmodells (vgl. Kap. 2.2.5), welche die Temperaturabhängigkeit beschreibt, wurde im Rahmen dieser Arbeit erstmals ein quantitatives Modell für die Abschätzung der stressmigrationslimitierten Lebensdauer für Kupfermetallisierungen vorgeschlagen [G, N]. Zunächst werden die bei der Stresstemperatur ( $T_{Str}$ ) an den Teststrukturen ermittelten Ausfallzeiten mit Hilfe der Transformationsgleichung (27) auf die Betriebstemperatur des Produktes ( $T_{Op}$ ) transformiert (Abb. 2-36). In Analogie zur Elektromigration wird dabei angenommen, dass die Streuung  $\sigma$  der Ausfallverteilung unter Betriebstemperatur identisch ist mit jener unter Stressbedingungen. Desweiteren nimmt man erneut an, dass die unter Stressbedingungen ermittelte Aktivierungsenergie in Gleichung (27) Gültigkeit über den gesamten Transformationsbereich hat. Im zweiten Schritt erfolgt die Extrapolation der transformierten Fehlerverteilung auf die für das Produkt maximal zulässige Ausfallhäufigkeit  $CDF_{max}$ . Da sich die Ausfallverteilung wiederum nur auf die Teststruktur bezieht, wird analog zu Gleichung (18) ein produktspezifischer Komplexitätsfaktor  $M_{krit}$  berücksichtigt, demgemäß die Extrapolation auf  $cdf_{max}=CDF_{max}/M_{krit}$  erfolgt. Die durch Stressmigration limitierte Lebensdauer  $t_{EOL}$  des Produktes ist dann durch die Zeit gegeben, nach der die auf Betriebstemperatur transformierte Ausfallverteilung den extrapolierten Wert  $cdf_{max}$  erreicht. Die Prozedur für die Lebensdauerabschätzung ist in Abb. 2-36 für zwei typische Fälle illustriert. Demnach reduziert sich die extrapolierte Lebensdauer um einen Faktor 6 auf 50.000h (5.7 Jahre), wenn die Einsatztemperatur von 100 auf 125°C gesteigert werden soll.

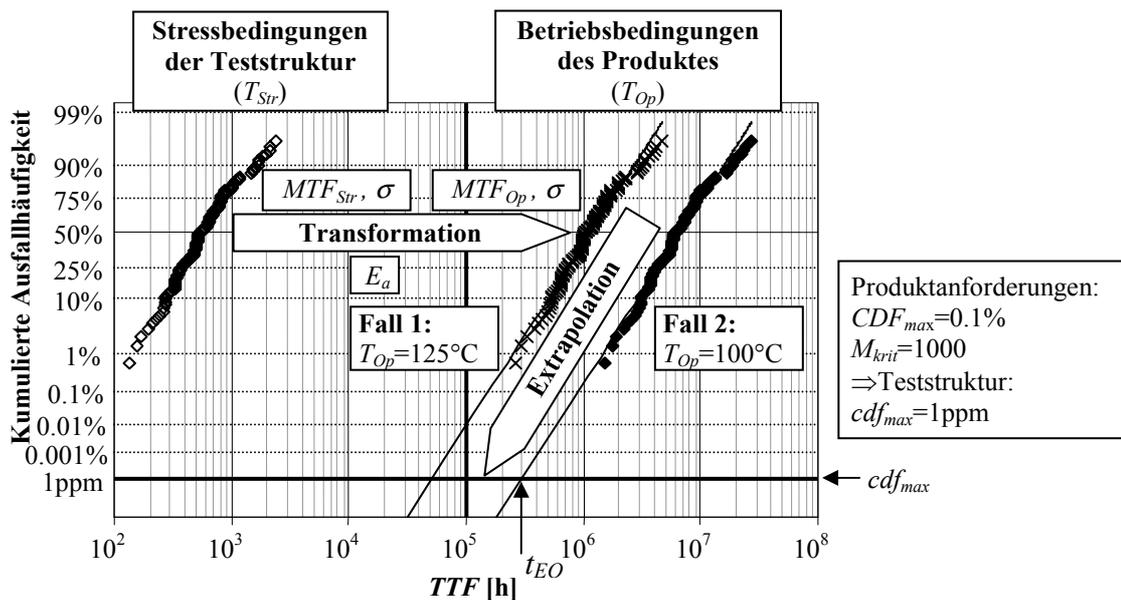


Abb. 2-36: Die bei der Stresstemperatur ermittelten Ausfallzeiten werden mittels Transformationsgleichung (27) auf die Betriebstemperatur des Produktes transformiert. Die Produktlebensdauer ist durch die Zeit gegeben, bei der die transformierte Ausfallverteilung den extrapolierten Wert  $cdf_{max}$  erreicht. Im konkreten Fall ( $T_{Str}=225^{\circ}\text{C}$ ,  $E_a=0.9\text{eV}$ ,  $CDF_{max}=0.1\%$ ,  $M_{krit}=1000$ ,  $cdf_{max}=1\text{ppm}$ ) ergibt sich für  $T_{Op}=100^{\circ}\text{C}$  eine Produktlebensdauer von 300.000h. Diese Lebensdauer verkürzt sich auf 50.000h für eine Betriebstemperatur von  $T_{Op}=125^{\circ}\text{C}$ .

Analytisch lässt sich die stressmigrationslimitierte Lebensdauer  $t_{EOL}$  in Analogie zu (19) wie folgt berechnen:

$$t_{EOL} = MTF_{Str} \cdot \exp\left[\frac{E_a}{k} \cdot \left(\frac{1}{T_{Op}} - \frac{1}{T_{Str}}\right)\right] \cdot \exp(-z(cdf_{max}) \cdot \sigma) \quad (29)$$

wobei  $T_{Op}$  und  $cdf_{max}$  produktspezifische Targets sind,  $\sigma$  der Formfaktor der Stressmigrationsverteilung und  $MTF_{Str}$  die bei Stresstemperatur  $T_{Str}$  gemessene mittlere Ausfallzeit ist.

Wird für die Bestimmung der Ausfallzeiten ein Fehlerkriterium  $\Delta R/R_0$  verwendet, das unterhalb des Ausfallkriteriums auf Produktebene liegt, müssen die Ausfallzeiten nochmals durch die in Abschnitt 2.2.4 beschriebene Prozedur extrapoliert werden.

### 2.2.7 Veränderung des Stressmigrationsverhaltens bei kleinen Chipflächen

Wie bereits in der Einführung 2.2.4 angedeutet, besteht ein Nachteil der „wafer-level“-basierenden Messmethode darin, dass sich der innere Stresszustand der Teststrukturen auf einem großflächigen Wafer möglicherweise von jenem auf einem kleinen Chip unterscheidet. Um diesen Aspekt systematisch zu untersuchen, wurden Stressmigrationsuntersuchungen sowohl an großflächigen  $\varnothing$  200mm Wafern als auch an kleinen Chips durchgeführt, die in Keramikgehäuse montiert wurden. Diese Chiplets haben eine Größe von  $\sim 1 \times 3 \text{mm}^2$  und sind darüber hinaus auf eine Dicke von etwa  $400 \mu\text{m}$  dünn geschliffen. Im Resultat dieser Untersuchungen wurde eine systematische Verschiebung der mittleren Stressmigrationsausfallzeit entdeckt. Dabei stellte sich heraus, dass die mit identischen Strukturen und bei denselben Fehlerkriterien bestimmten Ausfallzeiten im Falle der kleinflächigen Chips für alle untersuchten Temperaturen stets doppelt so hoch waren als jene auf großflächigen Wafern (Abb. 2-37). Die Aktivierungsenergie der Stressmigration blieb jedoch von der Chipgröße unbeeinflusst. Die Ursache dieses Phänomens dürfte in einem zusätzlichen Stress begründet sein, welcher in einem großflächigen Wafer auf die Teststruktur einwirkt und so die treibende Kraft des Stressmigrationsmechanismus verstärkt.

Der Effekt der Reduzierung der mittleren Ausfallzeit bei „wafer-level“ Messungen muss berücksichtigt werden, wenn die produktrelevante Lebensdauer aus den Teststrukturdaten abgeleitet werden soll. Dazu müssen gegebenenfalls weiterführende, systematische Untersuchungen zur Abhängigkeit des Stressmigrationsverhaltens von der Chipfläche sowie der Siliziumdicke durchgeführt werden, um die Messergebnisse auf die entsprechenden Chipflächen und Siliziumdicken der Produkte zu transformieren. In jedem Falle stellen aber die Ausfallverteilungen, die an ungedünnten, ungesägten Wafern gewonnen werden, eine gewisse „worst-case“ Abschätzung dar, die in der Regel ausreichend ist, um eine Risikoanalyse des Stressmigrationsverhaltens für eine bestimmte Technologiegeneration zu ermöglichen.

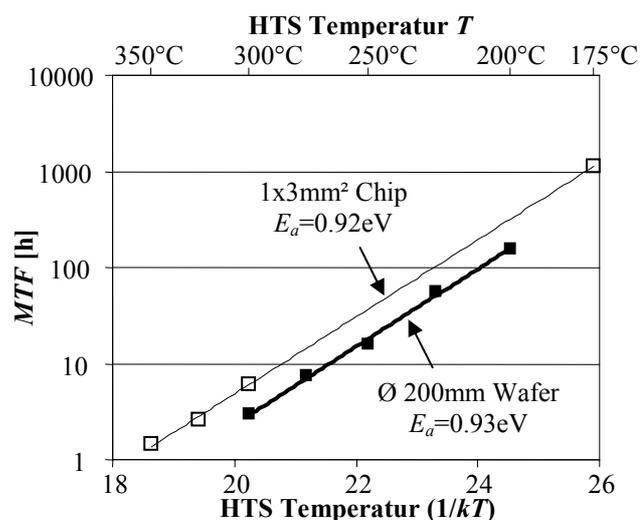


Abb. 2-37: Vergleich der mittleren Stressmigrationsausfallzeiten von Gitterstrukturen in kleinen Chips bzw. großflächigen Wafern. Teststrukturen auf den großflächigen Wafern zeigen über den gesamten Temperaturbereich halb so große Ausfallzeiten. Die Aktivierungsenergie des Stressmigrationsmechanismus bleibt von der Siliziumgröße unbeeinflusst.

## 2.2.8 Zusammenhang zwischen Void-Wachstum im Via und Widerstandsanstieg

Im Unterschied zu den meist abrupt auftretenden Widerstandsanstiegen bei Elektromigration (vgl. Abb. 2.4) zeichnen sich die durch das Wachstum von Stressmigrations-Voids hervorgerufenen Widerstandserhöhungen meist durch einen kontinuierlichen Anstieg aus. Die Charakteristik des Widerstandsverlaufes ist dabei abhängig von Form, Größe und Position des Voids im Via. Ein wesentliches Merkmal der Voiding-Kinetik bei der Stressmigration ist die Tatsache, dass der Widerstandsanstieg sowie die mittlere Ausfallzeit primär mit der Geometrie der anschließenden Leitbahn in Zusammenhang steht, die das aktive Volumen definiert. Dazu sollen im Folgenden mit einer Modellrechnung der Widerstandsverlauf für zwei verschiedene Grenzfälle, einer schmalen bzw. einer sehr breiten Leitbahn, betrachtet werden, in denen das Void jeweils in der unteren Ecke des Vias nukleiert.

Für den Voiding-Vorgang und somit den Widerstandsanstieg kommen nach Kapitel 2.2.1.1 nur solche Leerstellen in Betracht, deren Abstand vom Via  $r_i$  innerhalb des durch die Diffusionslänge  $\Delta x_d$  definierten Kreisgebiets liegen (Abb. 2-38)

$$r_i \leq \Delta x_d(T, t_{Stress}) \quad (30)$$

wobei  $T$  die jeweilige Metallisierungstemperatur und  $t_{Stress}$  das betrachtete Zeitintervall der Temperatureinwirkung ist. Bei einer konstanten Metallisierungsdicke ist die Anzahl der für den Voiding-Vorgang potenziell in Frage kommenden Leerstellen  $\Delta N$  proportional zu dem von der Diffusionslänge definierten, zusammenhängendem Kupfervolumen.

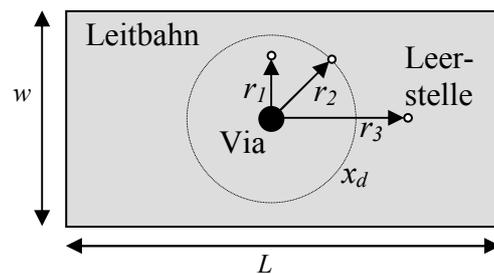


Abb. 2-38: „Voiding-Bedingung“ für Strukturen mit Einzel-Via. Innerhalb eines betrachteten Zeitintervalls können nur solche Leerstellen zum Voiding beitragen, deren Abstände  $r_i$  vom Via innerhalb eines Kreisgebiets liegen, das durch die Diffusionslänge  $\Delta x_d$  definiert ist.

Für die schmale Bahn ist die Diffusionslänge bei den in Frage kommenden Stresstemperaturen stets größer als die geometrische Breite ( $x_d \gg \frac{1}{2}w$ ). Somit ergibt sich für die Anzahl einfangbarer Leerstellen

$$\Delta N(T, t_{Stress}) \sim 2 \cdot w \cdot x_d \quad (31)$$

d.h. durch die Leitbahngeometrie wird praktisch ein eindimensionales Einzugsgebiet vorgegeben. Der Faktor 2 entfällt, falls das Via die Leitbahn abschließt und die Leerstellen nur aus einer Richtung herandiffundieren können. Mit Gleichung (26) ergibt sich dann eine wurzelförmige Abhängigkeit der Leerstellenzahl für das betrachtete Zeitintervall  $t_{Stress}$ :

$$\Delta N(t) \sim \sqrt{t_{Stress}} \quad (32)$$

Für eine breite Leitbahn ist die Diffusionslänge zunächst klein gegenüber den geometrischen Abmessungen ( $x_d \leq \frac{1}{2}w, \frac{1}{2}L$ ). Somit ist das Einzugsgebiet von Leerstellen ein Kreis mit dem Radius  $\Delta x_d$  um das Via:

$$\Delta N(T, t_{Stress}) \sim 2 \cdot \pi \cdot x_d^2 \quad (33)$$

Nach sehr großen Zeiten ist die Diffusionslänge  $x_d \gg \frac{1}{2}w$  und das Einzugsgebiet in erster Näherung wieder durch die Bahnbreite  $w$  begrenzt. Demzufolge ergeben sich mit Gleichung (26) zwei verschiedene Zeitabhängigkeiten für die Anzahl der potenziell für den Voiding-Vorgang zur Verfügung stehenden Leerstellen:

- Zu Beginn ( $x_d(t) \leq \frac{1}{2}w$ ) eine lineare Abhängigkeit:

$$\Delta N(T, t_{Stress}) \sim t_{Stress} \quad (34a)$$

- Im späteren Verlauf ( $x_d \gg \frac{1}{2}w$ ) eine wurzelförmige Abhängigkeit:

$$\Delta N(t) \sim \sqrt{t_{Stress}} \quad (34b)$$

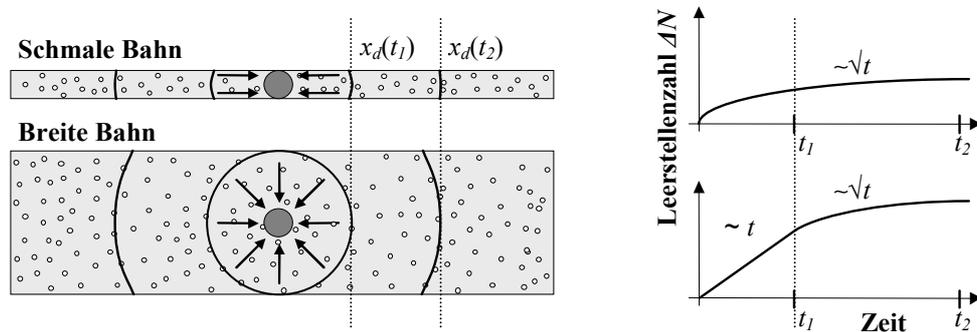


Abb. 2-39: Anzahl der für den Voiding-Vorgang in Frage kommenden Leerstellen  $\Delta N$ : Bei schmalen Bahnen ist das Einzugsgebiet praktisch eindimensional und es ergibt sich eine wurzelförmige Zeitabhängigkeit; bei breiten Bahnen können die Leerstellen zunächst aus einem zweidimensionalen Gebiet eingefangen werden ( $\Delta N \sim t$ ), welches im späteren Verlauf wieder in den eindimensionalen Fall übergeht ( $\Delta N \sim \sqrt{t}$ ).

Auf Grund des abgeleiteten zeitlichen Verhaltens können bei sehr breiten Bahnen mehr Leerstellen pro Zeit von einem Stressgradienten eingefangen werden und zum Via diffundieren. Deshalb muss für solche Geometrien mit einem stärkeren Widerstandsanstieg und somit einem früheren Ausfall gerechnet werden.

In einem vereinfachten Modell soll der Einfluss des wachsenden Via-Voids auf den Widerstand der Via-Struktur ermittelt und mit experimentellen Daten verglichen werden. Ausgangspunkt der Modellbetrachtung ist ein würfelförmiges Via der Kantenlänge  $L$ , in dem ein ebenfalls würfelförmiges Void der Kantenlänge  $a(t)$  wächst, beginnend in einer Ecke am Via-Boden (Abb. 2-40).

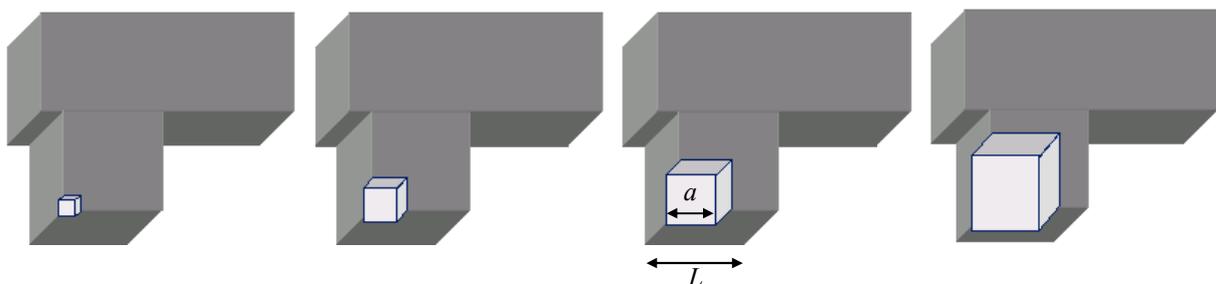


Abb. 2-40: Modellannahmen zur Simulation des Void-Wachstums: Das würfelförmige Void (Kantenlänge  $a(t)$ ) wächst vom Via-Boden beginnend in das Volumen des Vias (Kantenlänge  $L$ ) hinein und füllt dieses nach und nach aus.

Der Widerstand des Vias  $R_{Via}$  ergibt sich aus den Anteilen des reinen Kupfers ( $R_{Kupfer}$ ) und des Liners an den Seitenwänden ( $R_{Liner}$ ):

$$\frac{1}{R_{Via}(t)} = \frac{1}{R_{Kupfer}(t)} + \frac{1}{R_{Liner}} \quad (35)$$

Der Beitrag des Liners am Via-Boden soll hierbei unberücksichtigt bleiben. Er wird bei der Ermittlung des Gesamtwiderstandes der Via/Leitbahn-Konstruktion additiv hinzugefügt.

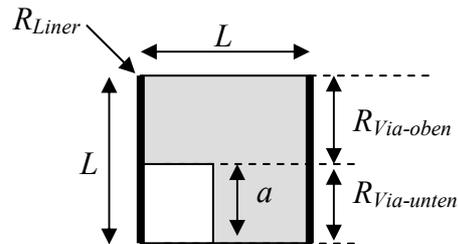


Abb. 2-41: Der resultierende Widerstand des Vias (Kantenlängen  $L$ ) setzt sich aus drei Teilen zusammen: 1) Beitrag des Liners an den Seitenwänden, 2) Anteil des Kupfers im oberen Bereich des Vias und 3) Anteil des durch das Void mit Kantenlänge  $a$  reduzierten Gebietes.

Der Kupferkern des Vias wird im nächsten Schritt in zwei Teilgebiete unterteilt (Abb. 2-41), einem oberen Teil, ohne das Void, und einem unteren Teil, der durch das Void-Volumen reduziert ist:

$$R_{Kupfer} = R_{Kupfer-oben} + R_{Kupfer-unten} \quad (36)$$

Die Widerstandsbeiträge beider Teile sind abhängig von der Void-Größe  $a$  und ergeben sich aus:

$$R_{Kupfer-oben}(a) = R_{Kupfer}^0 \frac{L-a}{L} \quad (37)$$

$$R_{Kupfer-unten}(a) = R_{Kupfer}^0 \frac{a \cdot L}{L^2 - a^2} \quad (38)$$

wobei  $R_{Kupfer}^0$  der anfängliche Widerstand des Kupferkerns ohne Void ist. Damit folgt für den resultierenden Widerstand des Vias:

$$\frac{1}{R_{Via}(t)} = \frac{1}{R_{Kupfer}^0 \left( \frac{L-a(t)}{L} + \frac{a(t) \cdot L}{L^2 - a^2(t)} \right)} + \frac{1}{R_{Liner}} \quad (39)$$

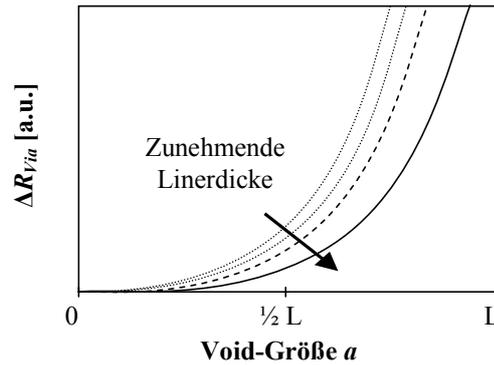


Abb. 2-42: Simulierte Änderung des Via-Widerstandes ( $\Delta R_{Via} = R_{Via}(a) - R_{Via}(a=0)$ ) in Abhängigkeit von der Void-Größe  $a$  gemäß Gleichung (36). Erreicht das Void die Via-Größe, ist der Via-Widerstand durch den des Liners bestimmt. Dieser Restwiderstand ist umso kleiner, je dicker der Liner ist.

Nimmt man nun noch in vereinfachender Weise an, dass das Void-Volumen  $a^3(t)$  für beide geometrischen Grenzfälle proportional zur Anzahl der im Diffusionsvolumen enthaltenen Leerstellen ist, so ergibt sich

$$a^3(t) \sim \Delta N(t) \quad (40)$$

Mit Hilfe der Gleichungen (32) und (34) lässt sich dann der zeitliche Widerstandsverlauf des Vias bei Anschluss auf eine schmale bzw. breite Bahn beschreiben (Abb. 2-43). Die sich ergebende zeitliche Abhängigkeit mit einem sehr schnellen Widerstandsanstieg im Falle der breiten Bahnen und einem flacheren Verlauf bei schmalen Bahnen stimmt dabei sehr gut mit experimentell ermittelten Ergebnissen überein.

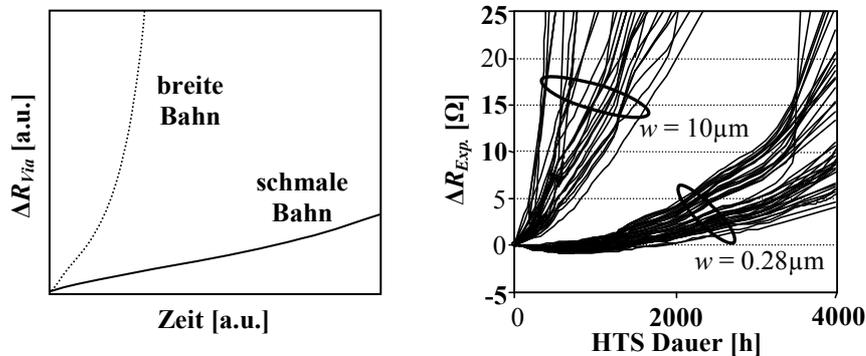


Abb. 2-43: Nach Gleichungen (39) und (40) simulierte zeitliche Verläufe der Widerstandsanstiege im Via für die Grenzfälle breiter bzw. schmaler Bahnen (links). Die experimentell ermittelten Widerstandsverläufe (rechts) an Via/Leitbahn-Strukturen mit schmalen ( $w=0.28\mu\text{m}$ ,  $L=1500\mu\text{m}$ ) bzw. breiten Platten ( $w=10\mu\text{m}$ ,  $L=1500\mu\text{m}$ ) stimmen gut mit dem simulierten Verhalten überein.

### 2.3 Degradation des Inter-Metall-Dielektrikums

Mit der Einführung von Kupfer als niederohmigem Leitbahnmaterial ergab sich neben der Elektromigration und der Stressmigration ein neuartiges potenzielles Zuverlässigkeitsrisiko. Dieses resultiert aus der Tatsache, dass Kupfer durch seine hohe Diffusivität sehr leicht in das umgebende Dielektrikum (Siliziumoxid) eindringen kann [5, 17, 24, 25, 49, 75, 87-92]. Zum einen können hierdurch die Isolationseigenschaften des Dielektrikums degradieren. Zum anderen kann es zu einer Verunreinigung der aktiven Siliziumgebiete kommen, wo sich durch Bildung tiefer Störstellen selbst die Transistoreigenschaften verändern können [24]. Um diese Ausdiffusion zu verhindern, muss die Metallisierung mittels geeigneter Diffusionsbarrieren hermetisch eingekapselt werden. Bei der Damascene Architektur müssen daher die auf der Oberseite der Kupferleitbahn abgeschiedene dielektrische Grenzschicht sowie der an den Seitenwänden und am Boden des Grabens haftende Liner über entsprechende Barriereigenschaften verfügen.

Bei Aluminium stellt die Ausdiffusion von Metallionen in das Dielektrikum im Allgemeinen kein Zuverlässigkeitsrisiko dar, da zum einen Aluminium eine sehr viel geringere Diffusivität in Siliziumoxid besitzt. Darüberhinaus verfügt Aluminium über eine immer vorhandene natürliche Oxidschicht, die automatisch auch als Diffusionsbarriere fungiert.

Für die Entwicklung von Technologien mit Kupfermetallisierungen stellt die Realisierung von möglichst niederohmigen schmalen Leitbahnen bei gleichzeitig effektiver Einkapselung eine große Herausforderung dar. Auf der einen Seite sollen in den schmalen Dual-Damascene Gräben möglichst große Kupferquerschnitte realisiert werden (d.h. möglichst geringe Linerdicke). Auf der anderen Seite müssen die Barrieren eine Ausdiffusion von Kupfer möglichst vollständig unterbinden (d.h. Linerdicke so groß wie möglich). Um einen guten Kompromiss zwischen beiden Randbedingungen zu finden, sind geeignete, auf die Grabengeometrie abgestimmte Abscheideverfahren für den Liner zu entwickeln. Darüberhinaus sollte das Linermaterial selbst bei hohen Aspektverhältnissen möglichst defektfrei und homogen abgeschieden werden sowie eine gute Haftung zwischen Dielektrikum und Kupfer vermitteln.

Die Wahl geeigneter Materialien für die Diffusionsbarrieren wird auch davon beeinflusst, dass die Grenzflächendiffusion bezüglich Kupfermigration möglichst klein sein sollte, um so eine akzeptable Elektromigrations- und Stressmigrationsfestigkeit zu erreichen. Als Standardmaterialien für die Deckschicht bzw. für den Liner haben sich Systeme aus SiN, SiC bzw. Ta, TaN, TiN herauskristallisiert [49, 90, 92]. Diese gewährleisten gute Haftungs- und Barriereigenschaften und ermöglichen eine adäquate Migrationsfestigkeit.

In einer eingekapselten Damascene Leitbahn kommen für die Ausdiffusion von Kupferionen in das umgebende Dielektrikum zwei verschiedene Pfade in Betracht. Im ersten Fall erfolgt die Diffusion entlang der Grenzfläche zur Deckschicht, im anderen Fall durch den Liner hindurch (Abb. 2-44).

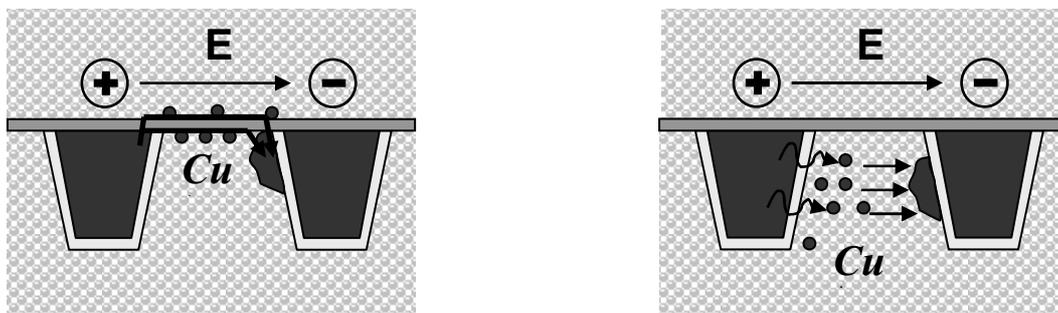


Abb.: 2-44: Potenzielle Pfade, die bei Damascene Architektur für die Ausdiffusion von Kupfer in das umgebende Dielektrikum in Frage kommen. Ausdiffusion entlang der Grenzfläche zur Deckschicht (links), Ausdiffusion durch den Liner hindurch (rechts).

Eine besonders hohe Kontamination des Dielektrikums wird immer dann stattfinden, wenn lokale Dünnungen oder Defekte im Liner vorliegen (Abb. 2-45) aber auch, wenn die Deckschicht eine schlechte Adhäsion besitzt. Angetrieben wird die Migration der Kupferionen durch das vorhandene, natürliche Konzentrationsgefälle (welches auch ohne angelegtes elektrisches Feld existiert). Der Effekt wird verstärkt, wenn zwischen zwei Bahnen ein elektrisches Potenzialfeld anliegt. Die Folge einer Kontamination des Dielektrikums ist eine Degradation bezüglich zweier Aspekte: Zum einen steigt mit zunehmender Verunreinigung der Leckstrom im Leitbahnnetzwerk, zum anderen ändert sich die kapazitive Kopplung zwischen benachbarten Leitbahnsystemen. Diese Phänomene können die Produktfunktionalität beeinflussen. Sie stellen daher ein Zuverlässigkeitsrisiko dar, welches während der Technologieentwicklung bewertet werden muss.

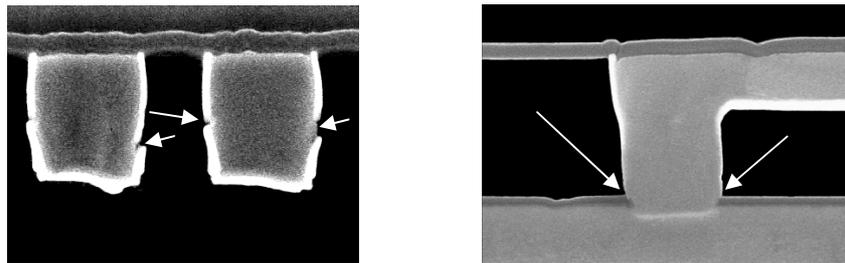


Abb. 2-45: Prozessbedingte Effekte wie z.B. Porendefekte im Liner (links) sowie extrem verdünnte Liner am unteren Via-Rand (rechts) können die Integrität der Einkapselung der Metallisierung beeinträchtigen. In deren Folge können Kupferionen in das umgebende Dielektrikum hineindiffundieren.

### 2.3.1 Methodik zur Untersuchung der Barriere-Integrität

Zur Bewertung der Integrität der verwendeten Diffusionsbarrieren haben sich für Cu/Oxid-Systeme eher qualitative Verfahren etabliert. In so genannten Bias-Temperatur-Stress-Tests (BTS) wird die Ausdiffusion von Kupfer in das Dielektrikum durch das dauerhafte Anlegen einer äußeren elektrischen Spannung bei erhöhter Temperatur beschleunigt. Dabei liegen die angelegte Spannung sowie die Temperatur oberhalb der Produkthanforderungen – der Beschleunigungsfaktor für den Degradationsmechanismus wird aber meist nicht näher quantifiziert. Als Standardtestbedingungen haben sich Felder von etwa 0.5MV/cm und Temperaturen von 200°C bewährt. Über einen Zeitraum von etwa 1000 bis 2000h wird bei einem permanent anliegenden Feld der Leckstrom zwischen zwei benachbarten Leitbahnen überwacht. Tritt ein systematischer, signifikanter Anstieg des Leckstroms auf, ist von einer zu geringen Barriereeffektivität bzw. einer bereits vorhandenen Kontamination des Oxides auszugehen. Für die Untersuchungen zur Barriere-Integrität mittels BTS-Tests verwendet man üblicherweise zwei Arten von Teststrukturen:

- 1) Im einfachsten Fall kommen reine Leitbahnstrukturen ohne Via zum Einsatz, welche minimale Leitbahnbreiten bei minimal zulässigem Abstand zueinander haben. Solche Strukturen sind bezüglich Degradation der Isolationseigenschaften besonders kritisch auf Grund des maximal möglichen Aspektverhältnisses bzw. wegen der hohen elektrischen Feldstärken. In der Praxis werden diese Strukturen durch kombinierte Mäander/Kamm-Strukturen realisiert, deren Gesamtlängen bis zu einigen Metern betragen (Abb. 2-46 links).
- 2) Da die Abscheidung des Liners in das Dual-Damascene Via aus prozesstechnischer Sicht besonders schwierig ist (höchstes Aspektverhältnis), kommen neben der Leitbahnstruktur auch ineinander verflochtene Via-Ketten zur Untersuchung der Linerintegrität zum Einsatz. Dabei werden beide Teilketten so realisiert, dass sie sich in einem möglichst minimalen Abstand sowohl in der Via- als auch in der Leitbahnebene gegenüber stehen (Abb. 2-46 rechts).

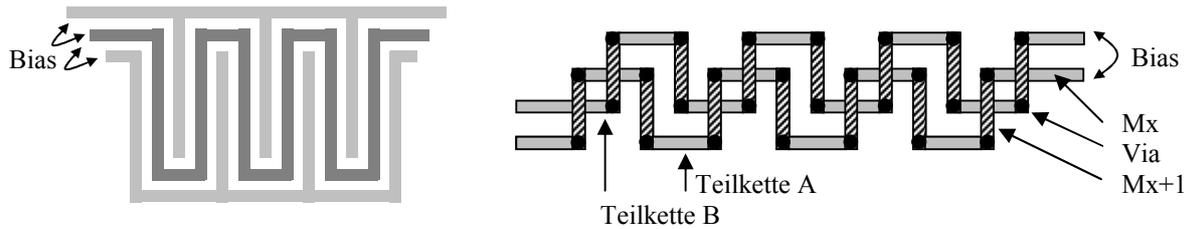


Abb. 2-46: Teststrukturen für den BTS-Test zur Untersuchung der Barriere-Integrität: Mäander/Kamm-Strukturen (links) und verflochtene Via-Ketten (rechts). Beide Strukturtypen werden jeweils mit minimalen Abständen realisiert.

Am Rande sei bemerkt, dass sich mit der Einführung neuartiger Intermetalldielektrika mit niedrigen Dielektrizitätskonstanten (*low-k*) neue Herausforderungen hinsichtlich der Bewertung der Isolationseigenschaften ergeben. Bei diesen Materialien kommt es auf Grund der reduzierten Durchbruchfestigkeit, den immer kleiner werdenden Abständen benachbarter Leitbahnen sowie den immer dünner werdenden Diffusionsbarrieren bei gleichzeitig immer höher werdenden Aspektverhältnissen zur Begrenzung der Produktlebensdauer durch den Fehlermechanismus des zeitabhängigen, dielektrischen Durchbruchs (TDDB). Dieser Mechanismus stellte bisher nur ein Zuverlässigkeitsproblem an Gate-Oxiden dar. Die Methodik der Bewertung vollzieht sich daher ähnlich zu jener bei dünnen Oxiden [93]. Hierauf soll im weiteren Verlauf der Arbeit jedoch nicht näher eingegangen werden.

### **3 Untersuchungen zu mikrostrukturellen Aspekten polykristalliner Kupfermetallisierungen**

Wie in den einführenden Kapiteln bereits angedeutet, werden die beschriebenen zuverlässigkeitsrelevanten Ausfallmechanismen wie Elektromigration, Stressmigration und Degradation der Isolationseigenschaften über lokale und globale mikrostrukturelle Eigenschaften der Kupfermetallisierungen sowie der beteiligten Grenzflächen beeinflusst. Deshalb soll an dieser Stelle auf die wichtigsten, für das Verständnis obiger Mechanismen notwendigen Materialeigenschaften eingegangen werden.

Die Mikrostruktur polykristalliner Kupferleitbahnen lässt sich im Wesentlichen durch folgende Merkmale kennzeichnen:

- Kornstruktur (Form und Größe der Kristallite)
- Textur (Verteilung der kristallographischen Orientierung der Kristallite)
- Substruktur (Gitterfehler).

Im Vergleich zu Aluminium unterscheidet sich Kupfer trotz derselben kubisch-flächenzentrierten Kristallstruktur (fcc) hinsichtlich wichtiger mikromechanischer Eigenschaften, die fundamentalen Einfluss auf die resultierenden makroskopischen Eigenschaften der Leitbahn haben können:

1. Abgeschiedenes Kupfer neigt zur Rekristallisation bereits bei niedrigen Temperaturen
2. Elastische und plastische Eigenschaften der Kupferkristallite sind durch eine ausgeprägte Anisotropie gekennzeichnet, während die des Aluminiums nahezu isotrop sind (Tab. 3-1)
3. Kupfer tendiert wegen seiner geringen Stapelfehlerenergie zur Zwillingsbildung.

Kristall-orientierung	E-Modul [GPa]	Poisson-Zahl	Thermoelastische Steigung [MPa/K]
Al polykristallin	71	0.34	-2.00
Cu polykristallin	121	0.34	-2.29
Cu {111}	191	0.27	-3.27
Cu {100}	67	0.42	-1.44

Tab. 3-1: Vergleich mikromechanischer Eigenschaften von Kupfer und Aluminium [94-97]. Im Gegensatz zu Aluminium besitzt Kupfer elastische und plastische Eigenschaften, die von der Kristallorientierung abhängen.

#### **3.1 Die Kornstruktur**

Die Form und Größe der Kristallite in polykristallinen Kupfermetallisierungen wird primär durch die Abscheideart bestimmt und kann im weiteren Verlauf durch thermische Behandlungen modifiziert werden. Desweiteren sind sie abhängig von der Schichtdicke und im Falle der Damascene Integration von der Grabengeometrie.

Hinsichtlich der Abscheideart unterscheidet sich elektrolytisch abgeschiedenes Kupfer von gesputterten Kupferfilmen bezüglich der mittleren Korngröße wie folgt: Während gesputterte, ganzflächige Kupferschichten Korngrößen im Bereich von etwa 1µm aufweisen, besitzt elektrolytisch abgeschiedenes Kupfer um mehr als eine Größenordnung kleinere Körner [117]. Nach der üblicherweise bei Raumtemperatur stattfindenden Abscheidung kann sich die Kornstruktur durch Prozesse wie beispielsweise Rekristallisation und Kornwachstum noch deutlich verändern. Diese können durch Wärmebehandlungen bei hohen Temperaturen noch beschleunigt werden. Bei elektrolytisch abgeschiedenem Kupfer kann man jedoch eine Rekristallisation bereits bei Raumtemperatur beobachten. Als Ursache dieses so genannten "self-anneal"-Effekts [42, 80-85] werden Verunreinigungen vermutet, die insbesondere durch chemische Zusätze im Kupferbad (Additive) gebildet werden [98-104]. Auf diese Weise kann bei Raumtemperatur an unstrukturierten Schichten eine Zunahme der mittleren Korngröße von typischerweise 50nm auf bis zu 1µm in einem Zeitraum von 10 bis 100h nach der Abscheidung festgestellt werden [79, 83].

Neben dem Abscheideverfahren und der thermischen Behandlung wird die maximal erreichbare Korngröße auch durch die Dicke der Schicht bestimmt. Für den Fall einer unpassivierten Kupferschicht kann die maximal mögliche Korngröße in Abhängigkeit der Dicke nach Mullins abgeschätzt werden [105]. Mullins geht davon aus, dass das Kornwachstum in der Schicht durch Wanderung der Korngrenzfurchen bestimmt ist. Überschreiten die Radien der Furchen durch das Wachstum einen kritischen Wert, so werden sie immobil und das Kornwachstum wird gestoppt. Zwischen der maximal möglichen Korngröße  $D_{max}$  und der Schichtdicke  $h$  besteht folgender linearer Zusammenhang:

$$D_{max} = 3\gamma_s / a \gamma_b \cdot h \quad (41)$$

wobei  $\gamma_s$  und  $\gamma_b$  die Oberflächen- bzw. Korngrenzenenergie sind und  $a$  eine Konstante, die nach Mullins etwa einen Wert von 5 hat. Mullins zeigte, dass für unstrukturierte, großflächige Kupferfilme das Verhältnis von Oberflächen- und Korngrenzenenergie einen konstanten Wert von etwa 2.78 hat [106], woraus sich für solche Schichten eine maximal mögliche Korngröße ergibt. Sie entspricht etwa dem 1.67-fachen Wert der Schichtdicke. Findet die Abscheidung der Metallisierung nicht großflächig statt, sondern in strukturierte Gräben und Via-Löcher, so beobachtet man eine Modifizierung der resultierenden Kornstruktur: die mittlere Korngröße beispielsweise von elektrolytisch abgeschiedenen Kupfer hängt ganz erheblich von der jeweiligen Geometrie des Grabens ab. Generell kann mit kleiner werdenden Grabengeometrien eine Abnahme der Korngröße festgestellt werden [M, P, S, 107-111].

Wie sich im späteren Verlauf der Arbeit noch herausstellen wird, ist die Kenntnis des mittleren Korndurchmessers von großem Vorteil, da sich dieser Wert mit bestimmten Ausfallmechanismen oftmals korrelieren lässt. Deshalb sollen an dieser Stelle die wichtigsten Korngrößenstudien vorgestellt werden. Dazu wurden Korngrößenverteilungen von Damascene Kupferleitbahnen gleicher Grabentiefe mit Breiten von 43nm bis 10µm mit der Linien/Segment-Methode [112] bestimmt. Sämtliche Leitbahnen wurden nach der Kupferabscheidung einer Temperaturbehandlung bei 100°C unterworfen, um eine stabile Mikrostruktur einzustellen. Wie in Abbildung 3-1 (links) ersichtlich, lassen sich alle Korngrößenverteilungen durch eine Lognormal-Verteilung beschreiben. Dabei verschieben sich die Korngrößenverteilungen für kleinere Bahnbreiten in Richtung kleinerer Korngrößen unter gleichzeitiger Abnahme des Formfaktors (steilere Anstiege).

Die Abhängigkeit der mittleren Korngröße von der Grabenbreite lässt sich in einem doppelt-logarithmischen Maßstab in zwei Regime unterteilen: Schmale Bahnen bis 1µm Breite zeigen eine relativ starke Abhängigkeit der mittleren Korngröße, Bahnen breiter als 1µm weisen einen flacheren Verlauf auf. So wächst die mittlere Korngröße beim Übergang von 0.1 auf 1µm Breite um den Faktor 6, während sie sich bei 1 bzw. 10µm breiten Bahnen lediglich um einen Faktor 1.5 ändert. Interessanterweise wird das Auftreten des Übergangsbereiches zwischen beiden Regimen bei 1µm beobachtet. Dies entspricht genau der Dicke von 1µm, welche der in die Gräben abgeschiedene Kupferfilm vor seinem Entfernen durch Chemisch-Mechanisches-Polieren (CMP) hat. In Gräben mit Breiten über 1µm ist die Korngröße lediglich durch diese Schichtdicke und nur noch schwach durch die Einflüsse der Seitenwände des Grabens bestimmt. Damit erklärt sich die Abflachung des Anstieges in Abb. 3-1 für breite Bahnen.

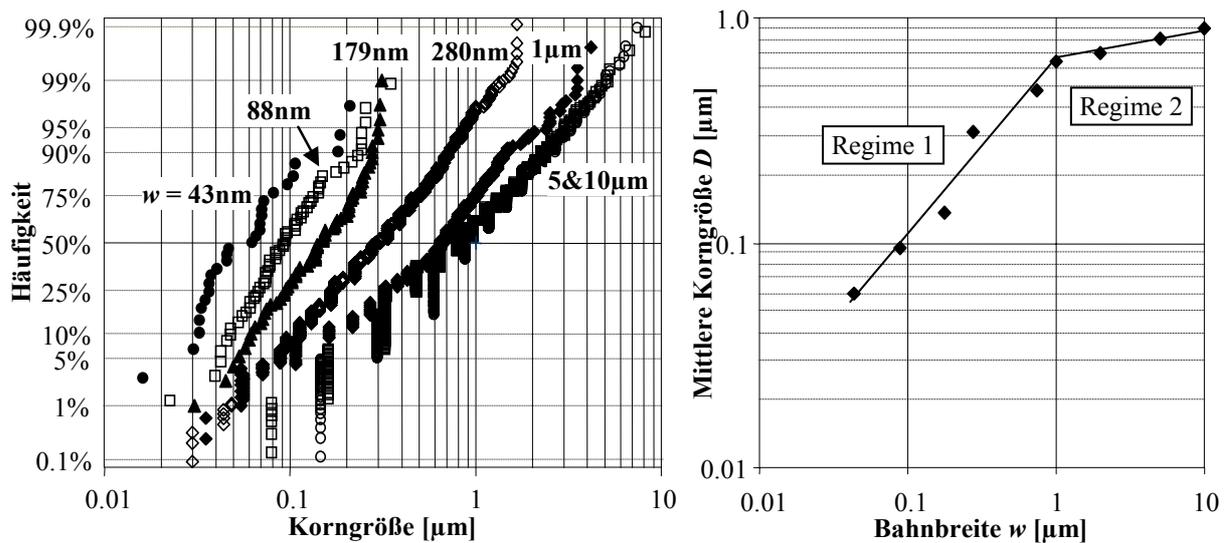


Abb. 3-1: Korngrößenverteilungen gemessen an Damascene Kupferleitbahnen unterschiedlicher Grabenbreite. Die Korngrößen sind lognormal-verteilt (links). Die mittlere Korngröße  $D$  steigt mit zunehmender Grabenbreite  $w$ , wobei sich der Anstieg für Breiten größer  $1\mu\text{m}$  deutlich abflacht (rechts). Anmerkung: Sämtliche Leitbahnen wurden nach der Abscheidung der selben Temperaturbehandlung unterzogen ( $100^\circ\text{C}$ ).

### 3.2 Die Textur

Neben der Korngröße und Korngrößenverteilung kann auch die Textur polykristalliner Metallisierungen Auswirkungen auf die Migrationsmechanismen haben, die zu Ausfällen durch Elektromigration oder Stressmigration führen. Grund hierfür ist, dass auf mikroskopischer Ebene die Diffusion entlang der durch verschiedene Kristallite gebildeten Korngrenzen auch von deren Missorientierung abhängen kann. In Folge dessen können sich mikroskopische Flussdivergenzen bilden, die zu einer Verarmung und schließlich zu Voids führen können (vgl. Kap. 2.1.1.4).

Die Abhängigkeit der Elektromigration von bestimmten Texturkomponenten wurde an Aluminiummetallisierungen eindrucksvoll nachgewiesen. Da Aluminium auf Grund seiner großflächigen Abscheidung und späteren Strukturierung eine ausgeprägte  $\langle 111 \rangle$  Faser Textur besitzt, treten in Aluminiumleitbahnen elektromigrationsbedingte Ausfälle insbesondere an solchen Korngrenzen auf, an denen sich Körner befinden, die eine von der  $\langle 111 \rangle$  Faser abweichende Orientierung aufweisen [U-W, X, AC]. Quantitativ lässt sich der Zusammenhang zwischen der mittleren Elektromigrationsausfallzeit und dem Anteil von Kristalliten mit einer abweichenden Orientierung nach Vaidya [116] mittels folgendem empirischen Modells annähern:

$$MTF_{\infty} \propto \frac{D}{\sigma^2} \log \left[ \frac{I_{(111)}}{I_{(200)}} \right]^3$$

wobei  $D$  die mittlere Korngröße,  $\sigma$  die lognormale Standardabweichung der Korngröße und  $I_{(111)}$  bzw.  $I_{(200)}$  die Intensität der (111) bzw. (200) Reflexe sind.

Bei Kupfermetallisierungen mit Damascene Architektur wurde bisher noch kein primärer Zusammenhang zwischen dem Auftreten einzelner Texturkomponenten und den daraus resultierenden Elektromigrations- und Stressmigrationseigenschaften gefunden [A, B]. Die Ursache hierfür liegt darin, dass das polykristalline Kupfer bei Abscheidung in Damascene-Gräben (mit seinen Seitenwänden) und anschließenden Temperaturbehandlungen eine relativ regellose Orientierungsverteilung zeigt und keine dominierenden Texturkomponenten besitzt. Solange darüber hinaus die Grenzfläche zwischen Kupfer und der Deckschicht den Hauptdiffusionspfad für die Migrationsmechanismen darstellt, wird der Textur in der Zuverlässigkeitsmethodik eine kleinere Bedeutung zukommen als bei Aluminium.

### 3.3 Widerstandsverhalten bei Erholung und Ausheilung von Kristalldefekten

Das Widerstandsverhalten einer polykristallinen Metallisierung kann nicht nur durch die Korngröße und Korngrößenverteilung beeinflusst werden, sondern auch durch die Substruktur der Kristallite. Unter der Substruktur versteht man Gitterfehler in den Metallkristalliten, wie beispielsweise Zwischengitteratome, Leerstellen, Frenkel-Defekte, Kleinwinkelkorngrenzen etc., die durch thermische Einflüsse, plastische Verformungen oder Verunreinigungen hervorgerufen werden können. Diese Defekte, welche eine Erhöhung des spezifischen Widerstandes verursachen, können bei hohen Temperaturen zum Teil wieder ausheilen. Bei diesen Erholungsvorgängen unterscheidet man verschiedene Erholungsstufen [113]:

- 1) Abbau von null-dimensionalen Gitterbaufehlern (z.B. Frenkeldefekte, Zwischengitteratome, Leerstellen)
- 2) Abbau von Versetzungen (Aufhebung entgegengesetzter Versetzungen)
- 3) Klettern von Leerstellen und Versetzungen
- 4) Polygonisation (Abbau und Neuordnung von Versetzungen)
- 5) Zellbildung (Neuordnung von Versetzungen)

In Folge der Ausheil- und Erholungsvorgänge wird das Kristallgitter in seinem Aufbau immer perfekter, wodurch der spezifische Widerstand innerhalb des makroskopischen Volumens sinkt. So kann man während einer Temperaturlagerung, wie sie beispielsweise im Rahmen von Stressmigrationsuntersuchungen erfolgt, einen Abfall des Widerstandes der Kupferleitbahnen beobachten (Abb. 3-2). Je nach Stabilität der jeweiligen Mikrostruktur kann dem in Abbildung 3-2 dargestellten Verlauf noch eine zusätzliche Widerstandserniedrigung überlagert sein, die beispielsweise durch eine weitere Zunahme der Korngröße hervorgerufen ist (vgl. Kap. 8.6).

Solange durch die Ausheilvorgänge keine Leerstellen oder Zentren bevorzugter Keimbildung etc. gebildet werden, die die Degradation der Leitbahnen beeinflussen können, haben die relativ geringfügigen Widerstandsabfälle meist keine besondere Relevanz für die Produktzuverlässigkeit. Wie an einem eindrucksvollen Beispiel in Abschnitt 8.7 noch gezeigt wird, können durch nicht ausgeheilte Kristalldefekte jedoch Stressmigrationsausfälle provoziert werden, die zu einem frühzeitigen Ausfall von Via/Leitbahn-Konstruktionen führen.

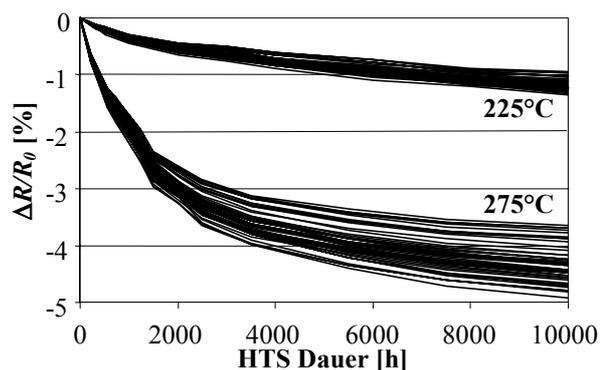


Abb. 3-2: Widerstandserniedrigung bei Temperaturlagerung in Folge des Ausheilens von Kristalldefekten gemessen an einer elektrolytisch abgeschiedenen Kupferleitbahn ohne Vias. Der Widerstandsabfall ist ausgeprägter bei höheren Lagerungstemperaturen.

### 3.4 Der TCR-Wert als Indikator für Mikrostruktur und Zuverlässigkeit (TCR-Methode)

Die Temperaturabhängigkeit des Widerstandes in Metallen ist ein seit langem bekanntes und gut verstandenes Phänomen. Der lineare Bereich dieser Abhängigkeit wird durch den Temperatur Koeffizient des Widerstandes (*TCR*) beschrieben, der für die meisten Metalle im Bereich von  $10^{-3}/K$  liegt [97]. In der Zuverlässigkeitsmethodik wurde der *TCR* bisher nur im Zusammenhang mit der Bestimmung des so genannten „Joule-Heatings“ verwendet, um die bei hohen Strombelastungen auftretenden Temperaturerhöhungen in der Leitbahn zu quantifizieren. Da der *TCR*-Wert, welcher an polykristallinen Metallisierungssystemen gemessen wird, auch mit mikrostrukturellen Aspekten verknüpft ist [115], lassen sich aus der Analyse dieser elektrisch zugänglichen Messgröße wertvolle Informationen über das Gefüge von Leitbahnsystemen gewinnen. Da die Mikrostruktur wiederum der Schlüssel zum Verständnis bestimmter Degradationsmechanismen ist, kann die Kenntnis des *TCR* wichtige Hinweise auf die zu erwartende Zuverlässigkeit geben. Wie in späteren Abschnitten noch zu sehen sein wird, ist der *TCR*-Wert in idealer Weise geeignet, kleine prozessbedingte Änderungen in der Mikrostruktur zu überwachen. Die sich daraus ergebenden Änderungen im Degradationsverhalten lassen sich dann über die Änderung des *TCR*-Werts überwachen. Damit ist es möglich, Vorhersagen über die Änderung des Zuverlässigkeitsrisikos zu machen, ohne die Resultate von aufwändigen Fehleranalysen bzw. Langzeitmessungen abwarten zu müssen.

Um ein Verständnis des Zusammenhanges zwischen Mikrostruktur und *TCR* von Damascene Kupfermetallisierungssystemen zu erlangen, wurden zunächst ausführliche Studien zu unterschiedlichen Leitbahngeometrien durchgeführt. Sie dienen als Grundlage für die *TCR-Methode*, mit welcher später Zuverlässigkeitsrisiken bewertet werden und die im Folgenden kurz skizziert werden sollen.

Der spezifische Widerstand  $\rho$  einer Metallisierung setzt sich aus zwei Komponenten zusammen:

$$\rho = \rho_T(T) + \rho_R$$

mit  $\rho_T$  als einem temperaturabhängigen Anteil, der mit der Elektronenstreuung an Phononen erklärt werden kann und  $\rho_R$  als einer temperaturunabhängigen Komponente, die durch Streuung an Oberflächen, Korngrenzen, Defekten, Verunreinigungen, etc. verursacht wird.

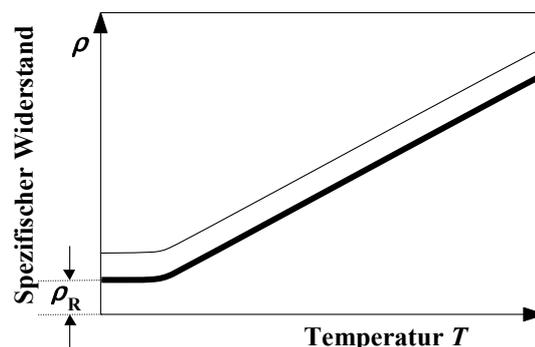


Abb. 3-3: Qualitativer Verlauf des spezifischen Widerstandes eines metallischen Leiters.

Für praxisrelevante Temperaturregionen ist der Widerstand einer Metallisierungsstruktur linear abhängig von der Temperatur. In diesen Bereichen ist der Temperaturkoeffizient *TCR* dann wie folgt in guter Näherung definiert:

$$TCR = \frac{R_1 - R_2}{R_T(T_1 - T_2)} \quad (42)$$

mit  $R_1$  bzw.  $R_2$  als den Widerständen bei den Temperaturen  $T_1$  bzw.  $T_2$  und  $R_T$  als dem Widerstand bei einer bestimmten Referenztemperatur [114]. In dieser Arbeit erfolgen die Widerstandsmessungen stets bei  $T_1=40^\circ\text{C}$  und  $T_2=120^\circ\text{C}$ ; die Referenztemperatur liegt bei  $0^\circ\text{C}$ . Nachdem der absolute Widerstand  $R$  proportional zum spezifischen Widerstand  $\rho$  ist, kann der  $TCR$  auch ausgedrückt werden durch:

$$TCR = \frac{\rho_T(T_1) - \rho_T(T_2)}{(\rho_T(T) + \rho_R) \cdot (T_1 - T_2)} \quad (43)$$

Danach werden höhere spezifische Restwiderstände  $\rho_R$  in Leitbahnen, in denen beispielsweise geringere Korndurchmesser oder auch eine erhöhte Anzahl von Kristalldefekten vorliegen, direkt in einem kleineren  $TCR$  abgebildet. An dieser Stelle ist es wichtig zu erwähnen, dass die Verwendung des  $TCR$ -Werts zur Detektion einer durch die Änderung von  $\rho_R$  hervorgerufenen Änderung des Leitbahnwiderstandes grundsätzlich besser geeignet ist als die bloße Messung dieses Leitbahnwiderstandes. Dies ist dadurch begründet, dass die genaue Leitbahngeometrie im „Nano“-Bereich nicht mehr exakt für jede einzelne Struktur angegeben werden kann. Vielmehr kommt es innerhalb eines Wafers zu gewissen lithographie- und prozessbedingten Schwankungen der Abmessungen z.B. in der Schichtdicke. Deshalb ist es kaum möglich, innerhalb einer Stichprobe mit identischen makroskopischen Geometrien zwischen Widerstandsänderungen zu differenzieren, die durch Unterschiede in den Gefügeeigenschaften ( $\rho_R$ ) oder durch die Geometrievariationen hervorgerufen sind. Dem gegenüber ist der  $TCR$ -Wert in Gleichung (43) invariant gegenüber kleinen Geometrieschwankungen der Leitbahn. Änderungen im  $TCR$ -Wert korrelieren dann direkt zu Änderungen im spezifischen Restwiderstand  $\rho_R$ .

Die von Schatzkes/Mayadas [115] gefundene Korrelation zwischen der mittleren Korngröße und dem gemessenen  $TCR$ -Wert konnte durch eine Vielzahl von Messungen an Kupfermetallisierungen mit Damascene Architektur aus unterschiedlichen Technologiegenerationen bestätigt werden. Vergleicht man die aus Abbildung 3-1 für die verschiedenen Grabenbreiten ( $w=43\text{nm} \dots 10\mu\text{m}$ ) ermittelten mittleren Korngrößen mit den jeweiligen  $TCR$ -Werten, so ergibt sich für den  $TCR$  derselbe charakteristische Verlauf wie für die mittlere Korngröße  $D$  (Abb. 3-4). Daraus lässt sich in erster Näherung folgende Korrelation ableiten:

$$TCR \sim \log(D) \quad (44)$$

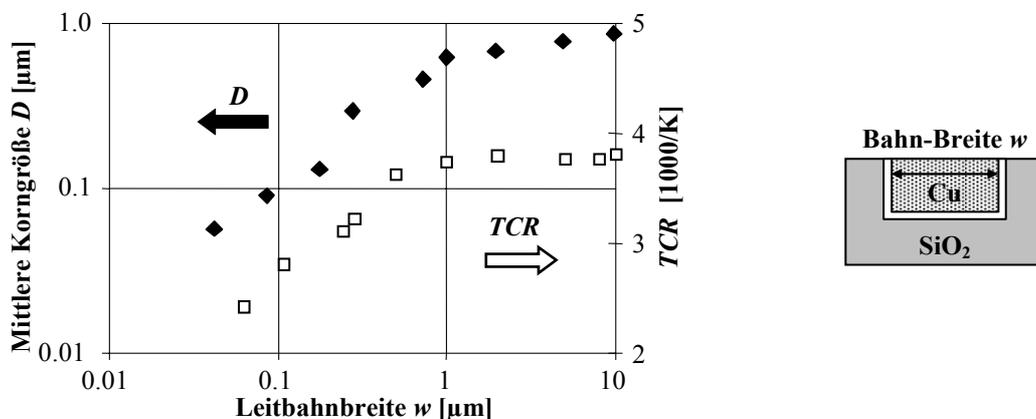


Abb. 3-4: Korrelation zwischen mittlerer Korngröße und  $TCR$ -Wert einer Dual-Damascene Kupferleitbahn. Die Abhängigkeit des  $TCR$ -Werts von der Bahnbreite zeigt denselben charakteristischen Verlauf wie für die Abhängigkeit der mittleren Korngröße (vgl. Abb. 3-1).

Für schmale Leitbahnen bis  $1\mu\text{m}$  Breite ergibt sich wiederum eine deutliche Abhängigkeit von der Grabenbreite, wobei der  $TCR$ -Wert beim Übergang von  $0.1\mu\text{m}$  auf  $1\mu\text{m}$  Breite um etwa 35% zunimmt. Für Bahnen breiter als  $1\mu\text{m}$  bleibt der  $TCR$ -Wert hingegen nahezu konstant.

Eine vergleichbare Korrelation zwischen Änderungen der Mikrostruktur und Änderung des  $TCR$ -Werts wurde auch in einer Studie beobachtet, bei der Kupfer mit unterschiedlicher Dicke in relativ breite Gräben ( $10\mu\text{m}$ ) elektrolytisch abgeschieden wurde. Wie in Abbildung 3.5 dargestellt, vergrößert sich der  $TCR$ -Wert um rund 5%, wenn an Stelle einer  $1.0\mu\text{m}$  dicken Kupferschicht eine etwa dreimal so dicke Schicht abgeschieden wird. Nach Mullins (30) ist dieses Verhalten mit der Zunahme der mittleren Korngröße zu erklären, die durch die Dicke der abgeschiedenen Metallisierung begrenzt wird. In Folge der Zunahme der mittleren Korngröße in dickeren Schichten ist auch eine Erhöhung des  $TCR$ -Werts zu beobachten (Abb. 3-5).

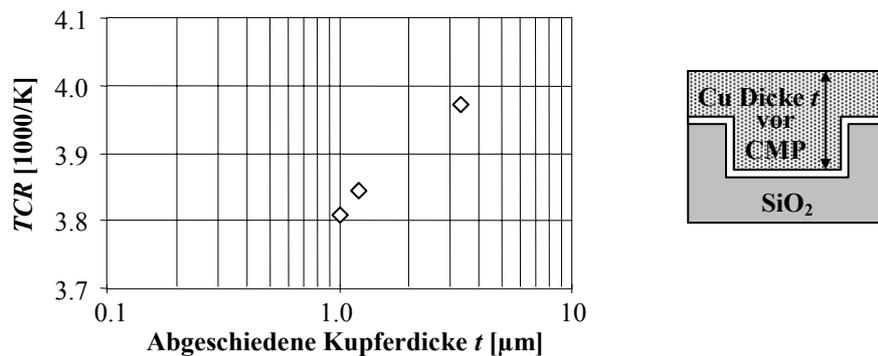


Abb. 3-5: Abhängigkeit des  $TCR$ -Werts von der Schichtdicke  $t$  der abgeschiedenen Kupfermetallisierung. Die in  $10\mu\text{m}$  breite Damascene Gräben mit zunehmenden Dicken abgeschiedene Kupferschicht zeigt eine Zunahme des  $TCR$ -Wertes auf Grund größer werdender mittlerer Korngrößen.

Wie in den dargestellten Studien gezeigt wurde, ergibt sich aus der Korrelation des  $TCR$ -Wertes und der mittleren Korngröße die Möglichkeit, auf einfachem Wege über eine elektrisch messbare Größe eine Charakterisierung des Gefüges von strukturierten Damascene Leitbahnen vorzunehmen. Damit kann man über die Messung des  $TCR$  ein schnelles, nicht-destruktives Verfahren in der Zuverlässigkeitsmethodik etablieren, welches Rückschlüsse auf das zu erwartende Degradationsverhalten zulässt. Insbesondere ist diese Methodik für Splitvergleiche geeignet, um Änderungen der Mikrostruktur, die sich aus bestimmten technologischen Prozessabläufen ergeben, in einfacher Weise zu überprüfen. Im Rahmen dieser Arbeit wurde der  $TCR$ -Wert erstmals konsequent mit den Ergebnissen von Zuverlässigkeitsstudien in Verbindung gebracht und systematische Korrelationen beobachtet. Basierend auf diesen Ergebnissen ist es erstmals möglich, den  $TCR$  als Indikator für das Zuverlässigkeitsverhalten von Kupfermetallisierungen zu verwenden.

#### 4. Grundlagen der Herstellung von Kupfermetallisierungen mit Damascene Architektur

Mit der Einführung von Kupfer als niederohmigem Metallisierungsmaterial ergab sich für die Prozessintegration die Notwendigkeit, neuartige Integrationskonzepte sowie Einzelprozesse zu entwickeln und auf die Bedürfnisse der Massenproduktion zu optimieren. Zunächst musste für Kupfer auf Grund seiner schlechten Trockenätzbarkeit eine völlig neue Strukturierungsmethode entwickelt werden. IBM [3, 23] präsentierte hierzu im Jahre 1997 erstmals die (Dual-) Damascene Methode nebst geeigneter elektrolytischer Abscheidungsverfahren (ECD) und Planarisierungsprozesse (CMP). Mit kleinen Modifikationen bilden sie heute die Standardmethode zur Integration von Kupfer. Wie bereits in Kapitel 2 angedeutet, haben bei der (Dual-) Damascene Architektur bestimmte Einzelprozesse sowie die verwendeten Materialien einen entscheidenden Einfluss auf die spätere Zuverlässigkeit des Leitbahnsystems. Wesentliche Aspekte sind hierbei die lokale Mikrostruktur, lokale Eigenschaften entlang der Cu/SiN-Grenzschicht, lokale Eigenschaften entlang der Cu/Liner-Grenzschicht sowie Defekte, die als potenzielle Zentren bevorzugter Keimbildung agieren können. Demzufolge sind alle Prozesse, welche unmittelbare oder mittelbare Auswirkung auf diese Aspekte haben, als zuverlässigkeitsrelevant einzustufen und im Rahmen der Technologie Qualifikation besonders intensiv zu untersuchen.

Gemäß Tabelle 4-1 können Einzelprozesse hinsichtlich ihrer Auswirkungen auf zuverlässigkeitsrelevante Eigenschaften in drei verschiedene Typen unterteilt werden:

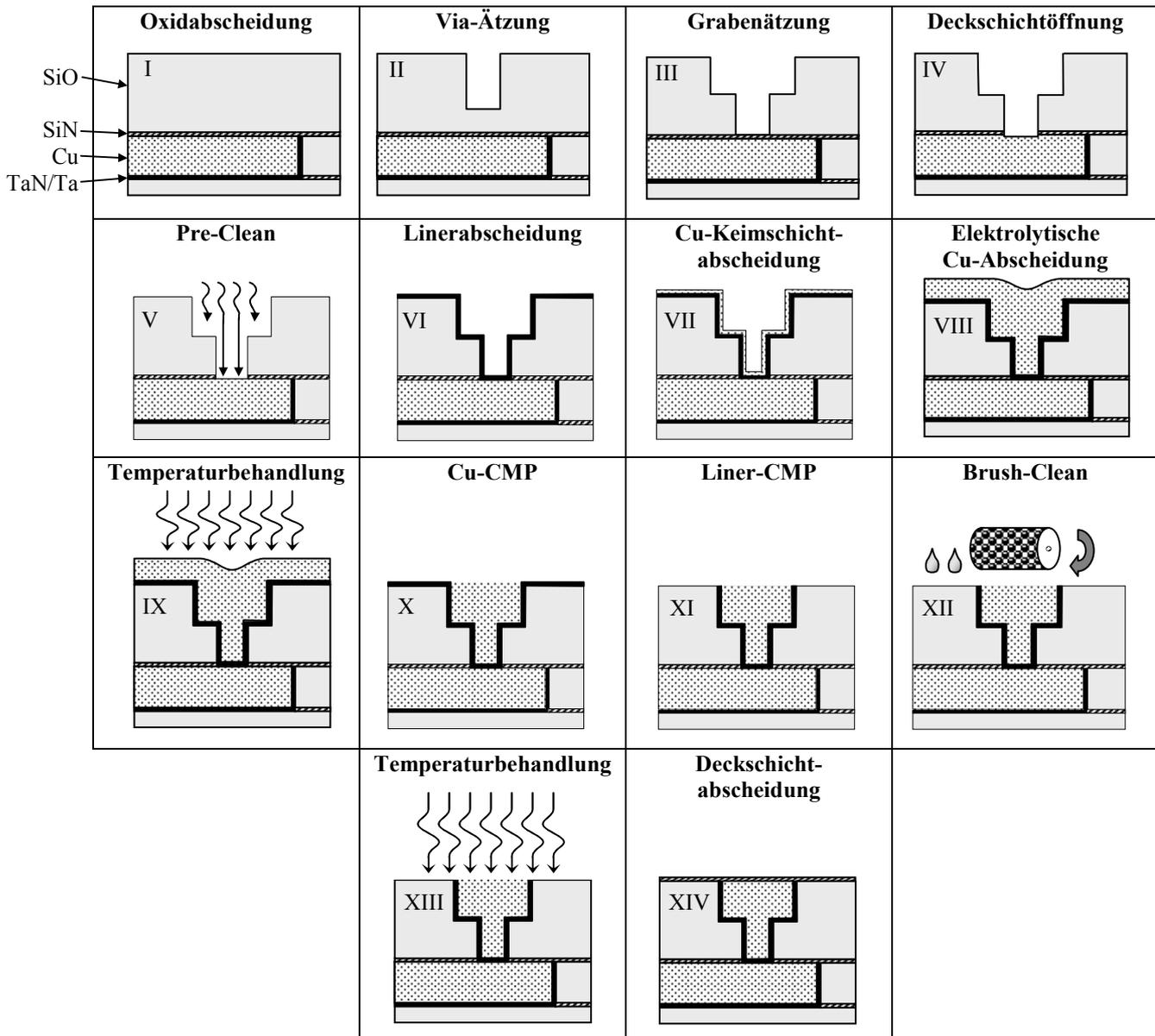
- *Typ 1:* Prozesse, die lokale Eigenschaften in Via Nähe beeinflussen, z.B. die lokale Mikrostruktur sowie lokale Defekte am Liner und der Grenzschicht
- *Typ 2:* Prozesse mit Auswirkungen auf die globale Kornstruktur des Kupfers wie z.B. der Korngrößen, der Korngrenzenverteilung, Kristalldefekten innerhalb des makroskopischen Metallvolumens
- *Typ 3:* Prozesse mit Einfluss auf die globalen Eigenschaften der Cu/SiN-Grenzfläche wie z.B. der Adhäsion zwischen dem Kupfer und der Deckschicht, der Aktivierungsenergie des Hauptdiffusionspfades sowie dem Leckstromverhalten

Prozessmodul	Zuverlässigkeitsrelevante Einzelprozesse	Potenzielle Auswirkungen auf
Oxidstrukturierung	Via- und Grabenätzung Nicht-selektive und selektive Plasmaätzverfahren Photolackveraschung	lokale Eigenschaften in Via Nähe ( <i>Typ 1</i> )
Liner- und Seedlayer-Abscheidung	Pre-Clean Linerabscheidung Keimschichtabscheidung	
Kupferabscheidung	Elektrolytische Kupferabscheidung	globale Cu-Kornstruktur ( <i>Typ 2</i> )
Wärmebehandlung nach Kupferabscheidung	Thermische Behandlung unter Schutzgas in einem Ofen	
Planarisierungsprozesse	Selektive Kupfer-CMP Nicht-selektiver Liner-CMP Reinigungsschritt	globale Eigenschaften der Cu/SiN-Grenzfläche ( <i>Typ 3</i> )
Deckschichtabscheidung	Pre-Clean Deckschichtabscheidung	

Tab. 4-1: Vereinfachte Darstellung des Prozessablaufes bei Dual-Damascene Integration in sechs Modulen nebst dazugehörigen Einzelprozessen und möglicher Einflüsse auf zuverlässigkeitsrelevante Eigenschaften.

Auf Grund der enormen Komplexität und Variationsmöglichkeiten, welche heutzutage Gesamtprozesse mit 40 Maskenebenen und 300 Einzelprozesse haben, soll auf die Grundlagen der Prozessierung von Damascene Leitbahnen nur soweit eingegangen werden, wie es für das Verständnis der in den folgenden Kapiteln ausgeführten Einflüsse auf die Zuverlässigkeit notwendig ist. Bei der Dual-Damascene Architektur sind dies im Wesentlichen sechs Prozessmodule, die in Tabelle 4-1 zusammengefasst sind.

Im Folgenden soll auf diese Module und die enthaltenen Einzelprozesse (Tab. 4-2) näher eingegangen werden, wobei angenommen wird, dass die unterste Metallisierungslage (M1) bereits im Single-Damascene Verfahren prozessiert wurde.



Tab. 4-2: Vereinfachter schematischer Ablauf zur Herstellung von Kupfermetallisierung mit Dual-Damascene Architektur. Die hier dargestellten Teilprozesse (I bis XIV) gehören zu sechs verschiedenen Prozessmodulen (Tab. 4-1), welche für die spätere Zuverlässigkeit der Leitbahnsysteme von besonderer Bedeutung sind.

#### 4.1 Die Oxidstrukturierung: Via- und Grabenätzung

Die Besonderheit beim Dual-Damascene Verfahren besteht darin, dass das Via und die Leitbahn in einer Prozessfolge gemeinsam strukturiert und dann in einem einzigen Prozess mit der Metallisierung aufgefüllt werden. In den allermeisten Fällen wird hierbei zunächst das Via partiell geätzt und dann mit der Grabenätzung finalisiert („Via-First-Approach“).

Der vereinfachte, sequentielle Ablauf zur Oxidstrukturierung bei Dual-Damascene Integration in vier Teilprozessen ist in Abbildung 4.1 dargestellt. Im ersten Schritt (I) wird das Dielektrikum (SiO) auf die SiN-Deckschicht der bereits fertiggestellten Metallebene (M1) abgeschieden (Abb. 4-1-I). Deren Dicke richtet sich nach der im Design Manual festgelegten Via- und Leitbahnhöhe. Beim „Via-First-Approach“ wird dann mittels Fotolithografie eine Ätzmaske auf der obersten Schicht erzeugt, mit der das Via im Dielektrikum strukturiert werden soll. Mittels eines nicht selektiven aber anisotropen Plasmaprozesses wird das Via in die dielektrische Schicht partiell hineingeätzt (Abb. 4-1-II). Danach werden die Fotolackreste durch Veraschung entfernt.

In einem weiteren Fotolithografieprozess wird eine Ätzmaske erzeugt, um die Leitbahngräben zu strukturieren. Ein anschließender Plasmaprozess ätzt die Struktur des Leitbahngrabens in das Oxid hinein. Gleichzeitig wird auch das bereits vorstrukturierte Via bis zu der unteren SiN-Stoppschicht verlängert (Abb. 4-1-III). Damit das Via-Loch auf der SiN-Deckschicht stoppt, ist für diesen Ätzprozess eine hohe SiO/SiN-Selektivität notwendig. Es ist hierbei von großer Bedeutung, dass an dieser Stelle das SiN noch nicht durchgeätzt wird, da ansonsten bei der darauf folgenden Fotolackveraschung das offen liegende Kupfer oxidieren könnte. Im letzten Schritt wird die noch vorhandene SiN-Schicht durchgeätzt, so dass das Kupfer der darunterliegenden Leitbahn am späteren Via kontaktiert werden kann (Abb. 4-1-IV).

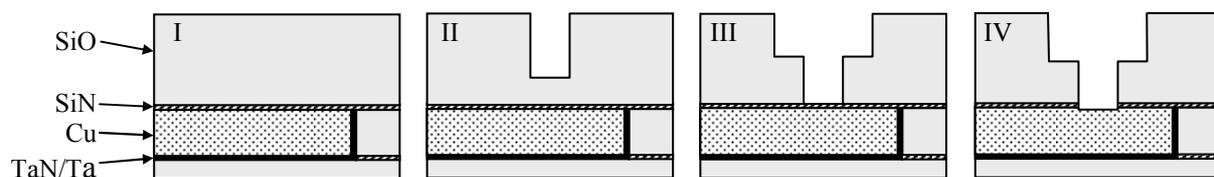


Abb. 4-1: Oxidstrukturierung bei Dual-Damascene Integration mit „Via-First-Approach“: Abscheidung des SiO-Dielektrikums (I), partielle Via-Ätzung (II), Grabenätzung und Via-Finalisierung (III), abschließende Öffnung der dielektrischen SiN-Deckschicht am Via-Boden (IV).

Bei der Oxidstrukturierung sind hinsichtlich der Zuverlässigkeit der späteren Leitbahnkonstruktion verschiedene Aspekte relevant: Zunächst werden durch den Strukturierungsprozess (Teilprozesse II und III) über die Ätzprofile die *Geometrieverhältnisse* der Leitbahnen bzw. der Vias festgelegt. Je nach Prozessführung beeinflusst man dadurch die effektive Breite bzw. den Durchmesser, den Neigungswinkel der Leitbahnseitenwände bzw. des Vias („Taper“) sowie die Form der jeweiligen Querschnitte (Abb. 4-2). Dadurch werden in erster Linie die für den Stromtransport zur Verfügung stehenden effektiven Leitbahn- und Via-Querschnitte definiert. Darüberhinaus kann die Oxidstrukturierung Einfluss auf die nachfolgenden Prozesse wie beispielsweise der Linerabscheidung haben. So sind z.B. bei den dabei angewendeten Sputterprozessen die geometrischen Aspektverhältnisse (vor allem am Via) sowie die *Seitenwandrauigkeit* für die spätere Qualität der Kupfer/Liner-Grenzschicht maßgebend. Wie in Abbildung 4-3 ersichtlich, kann eine erhöhte Rauigkeit an den Seitenwänden des Grabens oder der Via-Löcher bei der späteren Liner- und Keimschichtabscheidung zur Bildung von Poren führen, die als Zentren bevorzugter Keimbildung agieren können.

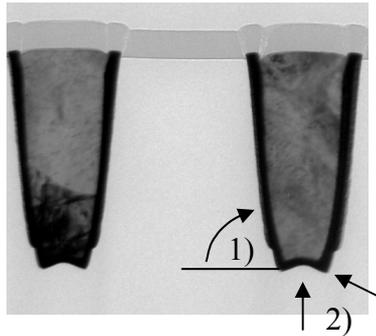


Abb. 4-2: Leitbahnprofil (Querschnitt) infolge eines nicht-optimierten Grabenätzprozesses: Zu geringer Taper-Winkel (1) führt zur Reduktion des effektiven Leitbahnquerschnitts. Zusätzlich weist der Grabenboden (2) ein unebenes Profil auf („Mikro-Trenching“), was bei der nachfolgenden Liner- und Seedlayer-Abscheidung zu Defekten führen kann.

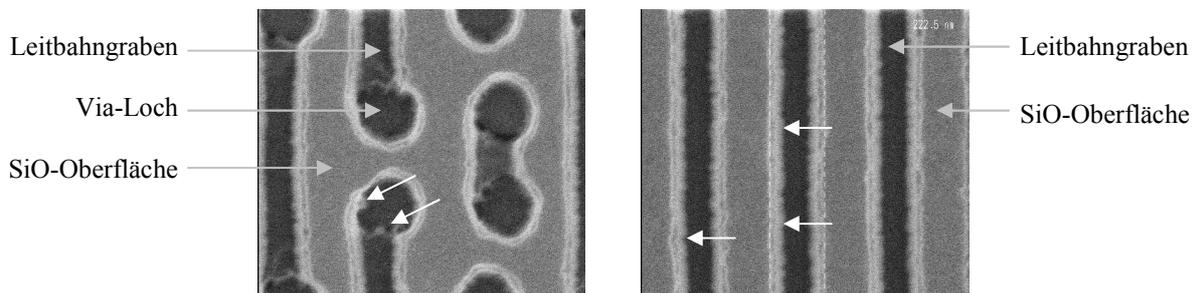


Abb. 4-3: Erhöhte Seitenwandrauigkeit infolge nicht-optimierten Oxidätzprozesses führt bei der späteren Liner- und Keimschichtabscheidung zu rauen Oberflächen und zur Bildung von Poren, die als Zentren bevorzugter Keimbildung agieren können.

Ein weiterer prozesstechnischer Aspekt mit Zuverlässigkeitsrelevanz ist in der Selektivität des Ätzprozesses zur Via-Finalisierung (Teilprozess III) zu sehen. Wird während dieser Ätzung die SiN-Deckschicht in erheblichem Maße gedünnt, so kann bei der nachfolgenden Veraschung des Fotolacks mit einem  $O_2$ -Plasma Sauerstoff in die darunterliegende Kupferleitbahn eindringen. In Folge dieser lokalen Oxidation unter dem Via kann es dann zu erhöhten Übergangswiderständen oder bei nachfolgenden nass-chemischen Reinigungsschritten zur Entfernung des Kupferoxids zu einer Unterätzung in der Leitbahn kommen. An derartig unterätzten Via/Leitbahn-Übergängen können dann keine kontinuierlichen Diffusionsbarrieren und Seedlayer abgeschieden werden, was zu einer unvollständigen Kupferauffüllung führen kann (Abb. 4-4). Die dadurch hervorgerufenen Defekte werden dann als Zentren bevorzugter Keimbildung bei Elektromigration und Stressmigration wirken und zum vorzeitigen Ausfall des Vias führen (vgl. Kap. 8.3.1).

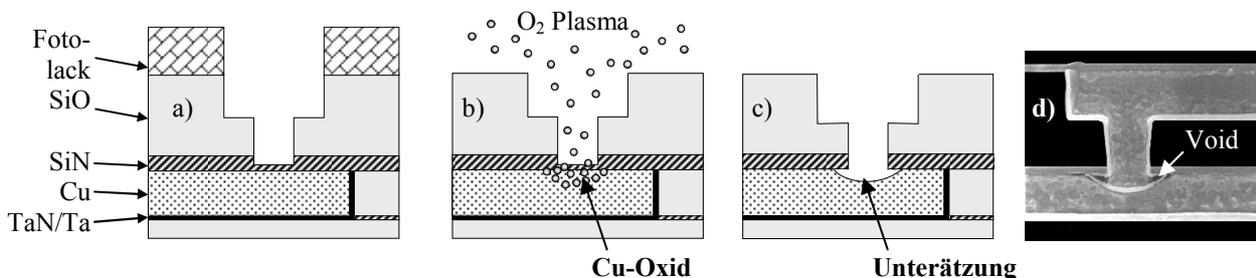


Abb. 4-4: Lokale Unterätzung unterhalb des Vias in Folge nicht-optimierten Dual-Damascene Ätzprozesses. Durch eine zu starke Via/Graben-Ätzung wird die SiN-Schicht lokal am Via gedünnt (a). Bei der Fotolackveraschung mittels  $O_2$ -Plasma kann Sauerstoff in die darunterliegende Leitbahn eindringen und zu einer lokalen Bildung von Kupferoxid führen (b). Nachfolgende nass-chemische Reinigungsschritte entfernen das Kupferoxid und führen zu einer Unterätzung im Via-Bereich (c) in deren Folge defektbehaftete „nietenförmige“ Vias entstehen können (d).

Zuverlässigkeitsrelevante Einflüsse können auch mit der Öffnung der dielektrischen SiN-Deckschicht am Via-Boden (Teilprozess IV) in Zusammenhang gebracht werden. Ziel dieses Ätzprozesses ist es, auf der einen Seite eine möglichst homogene und vollständige Öffnung der SiN-Deckschicht am gesamten Via-Boden zu realisieren, auf der anderen Seite aber nicht zu weit in die darunterliegende Kupfermetallisierung hineinzuzäten.

In der Praxis wird an leicht überätzten Vias in den allermeisten Fällen keine Beeinträchtigung der Zuverlässigkeit beobachtet (Abb. 4-5). Eine Überätzung ist aus Sicht der Zuverlässigkeit nur dann als kritisch zu betrachten, wenn es dadurch zu Defekten am Liner, zu Unterätzungen oder zu Mikro-Voids kommt (ähnlich Abb. 4-4). Im Gegensatz dazu ist eine unvollständige Öffnung der SiN-Schicht am Via-Boden als kritisch einzustufen (Abb. 4-6). Aus Integrationssicht ist hier einerseits mit einem erhöhten Übergangswiderstand zu rechnen. Daneben kann aber auch die Zuverlässigkeit des Via/Leitbahn-Übergangs erheblich beeinträchtigt werden, da der reduzierte Kupferquerschnitt zu einer Überhöhung der elektrischen Stromdichte am Via-Boden führt oder bei der nachfolgenden Abscheidung des Liners mikrostrukturelle Defekte induziert werden können.

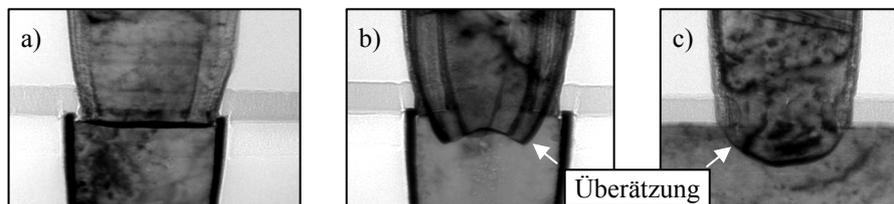


Abb. 4-5: Mögliche Via-Profile als Resultat unterschiedlicher SiN-Öffnungsprozesse und nachfolgender Reinigungsschritte: a) Via-Boden exakt gelandet auf darunterliegender Leitbahn, b) & c) in die Leitbahn hineingeätzte Vias mit unterschiedlicher Profilausprägung. Solange durch die unterschiedlichen Ätzprofile keine Defekte induziert werden, können mit allen drei Varianten adäquate Zuverlässigkeitskriterien erfüllt werden.

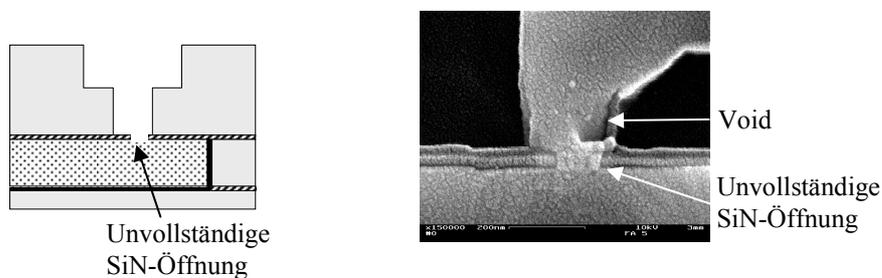


Abb. 4-6: Partielle SiN-Öffnung am Via-Boden in Folge nicht optimierten Ätzprozesses bedingt hochohmige Übergangswiderstände, überhöhte lokale Stromdichten im Kupfer und kann Defekte an der Kupfer/Liner-Grenzfläche induzieren.

## 4.2 Die Liner- und Seedlayer-Abscheidung

Unter den für die Zuverlässigkeit von Via/Leitbahn-Konstruktionen relevanten Einzelprozessen stellt die Linerabscheidung erfahrungsgemäß die größte Herausforderung dar. Wie bereits in der Einleitung ausgeführt, erfüllt der Liner im Wesentlichen zwei Hauptaufgaben. Zum einen soll er verhindern, dass Kupferionen aus den Gräben in das Dielektrikum diffundieren – zum anderen muss der Liner als Haftvermittler zwischen der Kupfermetallisierung und dem Dielektrikum fungieren. Ein guter Liner sollte demnach folgende Eigenschaften aufweisen:

- Undurchlässigkeit für Kupfer Ionendiffusion
- Gute Haftvermittlung sowohl zum Kupfer als auch zum Dielektrikum
- Defektfreie Abscheidbarkeit, um eine bevorzugte Voidbildung zu vermeiden
- Abscheidbarkeit mit möglichst dünner Schichtdicke, um bei schmalen Gräben den Widerstand gering zu halten
- Niederohmigkeit, um den Übergangswiderstand am Via niedrig zu halten
- Hohe Temperaturbeständigkeit, um die Temperaturführung des Gesamtprozesses nicht zu beschränken
- Kostengünstige und zeitoptimierte Prozessierbarkeit

Aus Sicht der Zuverlässigkeit von Via/Leitbahn-Systemen stellt das Prozessmodul der Linerabscheidung meist den kritischsten Aspekt dar. Zuverlässigkeitsrelevante Linerdefekte wie z.B. Poren können einerseits unmittelbar während der Abscheidung hervorgerufen werden. Andererseits können sie aber auch über bereits existierende Defekte aus den vorhergehenden Prozessen (z.B. erhöhte Seitenwandrauhigkeit, zu steile Taper-Winkel, Unterätzungen) abgebildet werden.

Mit der Einführung der Kupfermetallisierung haben PVD-basierende Verfahren zur Linerabscheidung die weiteste Verbreitung gefunden. Dies wurde insbesondere durch ökonomische Aspekte wie schnelle Durchlaufzeiten bei geringen Toolkosten getrieben. Beim Übergang zur nächsten Technologiegeneration waren jedoch stets Modifikationen des Abscheideverfahrens notwendig geworden, um die erwähnten Linereigenschaften zu erreichen, insbesondere eine homogene, konforme Kantenbedeckung auch bei den kleineren geometrischen Verhältnissen. Dies gelingt bei den neuen Technologien nur bei Verwendung sogenannter Rücksputter Verfahren [124], bei denen ein Teil des am Boden abgeschiedenen Linermaterials durch Ionenbeschuss wieder zerstäubt wird und sich an den abgeschatteten Seitenwänden anlagern kann. Die Grenzen von PVD-Sputterverfahren werden derzeit mit Einführung der 45nm Technologie erwartet. Bei den dann vorliegenden Geometrie- und Aspektverhältnissen werden CVD-basierende Abscheideverfahren (z.B. atomic layer deposition – ALD [125]) favorisiert.

In der industriellen Praxis haben sich zur Realisierung geeigneter Diffusionsbarrieren vor allem Ta-basierende Schichten (Ta, TaN) bzw. Schichtsysteme (TaN/Ta, Ta/TaN/Ta) etabliert [9, 24, 38, 49, 89, 103, 127-134]. Bei IBM [89] fand man heraus, dass die Schichtkombination aus TaN und Ta besonders geeignet ist, da sie einerseits eine sehr gute Haftung zwischen TaN und SiO vermittelt, zum anderen einen geringen Kontaktwiderstand ermöglicht, weil das Ta in der niederohmigen  $\alpha$ -Phase auf dem TaN aufwächst und eine exzellente Haftung zum Kupfer gewährleistet. Darüberhinaus ist diese einige 10nm dicke Doppelschicht selbst bei Temperaturen bis zu 800°C undurchlässig für Cu-Ionen. Diese „Doppelbarriere“ wird im Rahmen dieser Arbeit als Standardliner verwendet. Bei CVD-basierenden Verfahren werden Diffusionsbarrieren insbesondere mittels TiN, TiSiN, WCN etc. [5, 8, 24, 75, 87, 88, 91, 92, 126, 133, 135-140] realisiert. Sie sollen im Weiteren jedoch nicht mehr diskutiert werden.

Das Prozessmodul für die Liner- und Seedlayer-Abscheidung kann vereinfacht in drei Teilprozesse (V bis VII) untergliedert werden (Abb. 4-7).

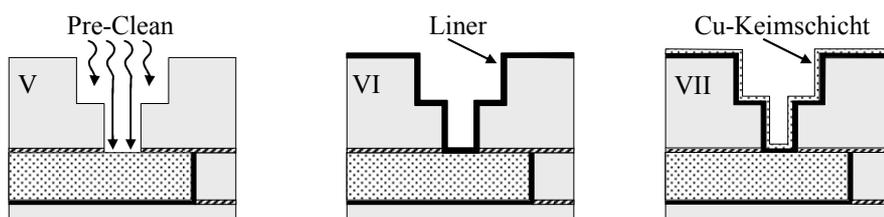


Abb. 4-7: Vereinfachte Prozessfolge für die Liner- und Keimschichtabscheidung bei Dual-Damascene-Architektur: Reinigungsschritt (Pre-Clean) zur Entfernung von Prozessrückständen (V) nach Öffnung der SiN-Deckschicht (IV), Abscheidung des Linermaterials (VI) und der Kupferkeimschicht (VII).

Vor der eigentlichen Linerabscheidung wird zunächst ein Reinigungsschritt (Pre-Clean) durchgeführt, um etwaige Rückstände nach Öffnung der SiN-Deckschicht oder Oberflächenkontaminationen an den Seitenwänden sowie der offenliegenden Kupferoberfläche zu entfernen. Hierbei kommen sowohl nass-chemische als auch Trockenätzverfahren in Betracht. Für die Zuverlässigkeit des Via/Leitbahn-Übergangs ist der Pre-Clean insbesondere dann kritisch, wenn dadurch lokale mikrostrukturelle Veränderungen der Kupferoberfläche (z.B. durch chemische Reaktionen) hervorgerufen werden (Abb. 4-8).

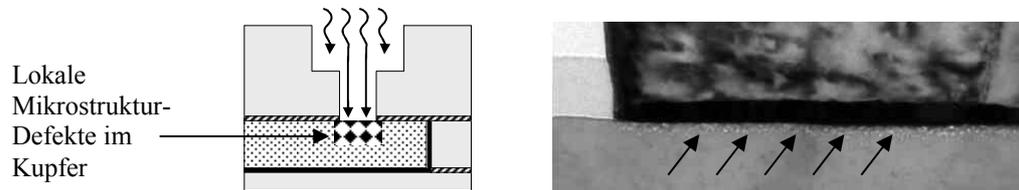


Abb. 4-8: Durch Wahl ungeeigneter Plasmaparameter (z.B. Ionenart, Plasmaintensität) oder Nass-Chemie kann es während des Säuberungsschrittes vor der Linerabscheidung zu lokalen Defekten unterhalb des Vias kommen, die zu einer reduzierten Elektromigrations- oder Stressmigrationsfestigkeit führen können.

Ziel der auf den Reinigungsschritt folgenden Linerabscheidung (Teilprozess VI) ist es, eine gleichmäßig dicke Schicht in der Damascene Topologie abzuschneiden, welche einerseits eine möglichst geringe Schichtdicke haben soll, um einen möglichst hohen effektiven Kupferquerschnitt zu gewährleisten, andererseits aber eine hinreichend große Dicke aufweisen muss, um als effektive Diffusionsbarriere zu wirken.

Die Erreichung einer guten Konformität stellt eine große Herausforderung hinsichtlich der Optimierung des eingesetzten PVD-Abscheidungsverfahrens an die jeweiligen geometrischen Gegebenheiten der Technologiegeneration dar. Im Falle einer nicht-konformen Abscheidung des Linermaterials können zwei prinzipielle Defektarten auftreten, welche die Zuverlässigkeit des Vias beeinträchtigen können:

- 1) Bei einer zu dünnen Schicht kann es insbesondere im Bereich des Via-Bodens zu einem völligen Fehlen des Linermaterials kommen (Abb. 4-9a). Bei der anschließenden Seedlayer-Abscheidung kann dann kein Kupfer in diesem Bereich haften bleiben, und die elektrolytische Abscheidung bleibt hier aus. In Folge dessen bilden sich großvolumige Voids im unteren Via-Bereich, die zu einer Hochohmigkeit bzw. vollständigen Unterbrechung der Via/Leitbahn-Übergänge auch ohne vorherige Strombelastung führen.
- 2) Versucht man das Fehlen des Linermaterials im unteren Bereich des Vias zu vermeiden, indem man den Liner dicker abscheidet, so kann es bei nicht-konformer Abscheidung zu einer Kragenbildung am oberen Via-Rand kommen (Abb. 4-9b). Bei der elektrolytischen Abscheidung des Kupfers hat dies meist eine Saumbildung und ein Voiding entlang der Mittellinie des Vias zur Folge, welche als Migrationskanal dienen können und daher offensichtlich ein Zuverlässigkeitsrisiko darstellen.

Die Grenzen des jeweiligen Sputterverfahrens sind in der Praxis durch die Geometrie und die Aspektverhältnisse festgelegt. Während bei der 0.35 $\mu$ m oder 0.18 $\mu$ m Technologiegeneration die notwendige Konformität noch mit einfachen PVD- und IMP-Sputterverfahren (IMP: Ionized Metal Plasma) erreicht werden konnte, kann diese bei der 130 oder 90nm Technologie meist nur noch mittels hochoptimierter Rückspulterverfahren wie SIP (Self-Induced Plasma) und HCM (Hollow Cathode Magnetron) [120] realisiert werden. Diese Verfahren bieten den Vorteil, dass ein Teil des am Boden abgeschiedenen Linermaterials durch Ionenbeschuss abgetragen wird und sich so an den abgeschatteten Seitenwänden wieder anlagern kann (Abb. 4-10). Die Rückspulterrate kann über eine angelegte Spannung (Bias) beeinflusst werden. Da sich damit die Möglichkeit ergibt, die Schichtdicke und Art der

Konformität des Liners zu beeinflussen, stellt diese Größe einen Prozessparameter dar, welcher Auswirkungen auf die Metallisierungszuverlässigkeit haben kann.

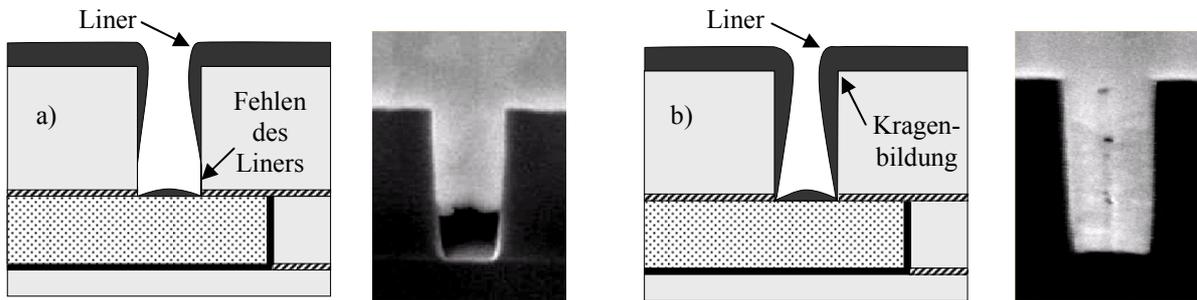


Abb. 4-9: Auswirkungen einer nicht-konformen Linerabscheidung auf die Defektanfälligkeit bei der anschließenden elektrolytischen Kupferauffüllung: a) vollständiges Fehlen des Liners im unteren Via-Bereich führt zur Voidbildung im Via, b) Saumbildung und Voiding entlang der Mittellinie des Vias in Folge zu großer Schichtdicke [123].

Im letzten Teilprozess VII wird eine dünne Kupferschicht auf den Liner mittels PVD-Verfahren abgeschieden, die als niederohmige Keimschicht (Seedlayer) für den darauf folgenden Elektroplattierungsprozess benötigt wird. Da sich bei der anschließenden elektrolytischen Kupferabscheidung das Kupfer nur an solchen Stellen ablagert, an denen sich diese niederohmige Keimschicht befindet, ist die Realisierung einer durchgängigen, defektfreien Sputterschicht eine fundamentale Voraussetzung für eine vollständige ECD-Auffüllung der Dual-Damascene Strukturen. Voraussetzung dafür ist wiederum eine durchgängige Abscheidung des Linermaterials – an Stellen mit fehlendem Liner kann keine Kupferschicht haften und sie können so zum Ausgangspunkt einer Porenbildung im Kupfer führen (Abb. 4-9a).

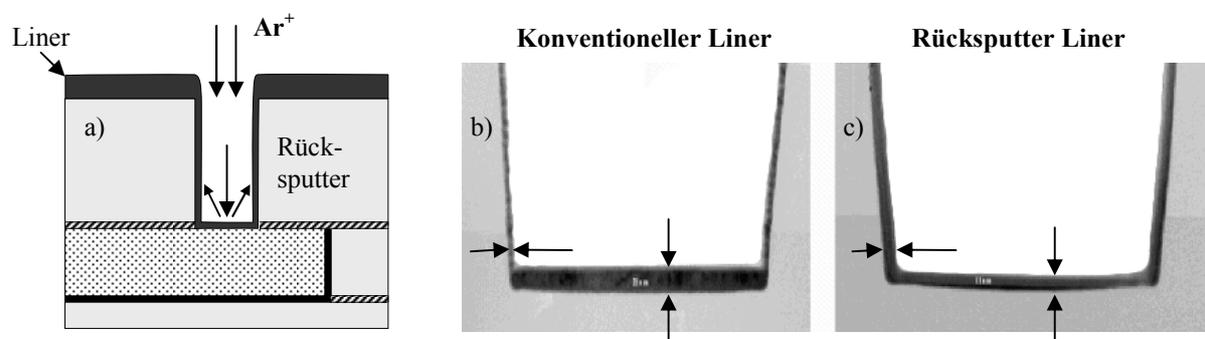


Abb. 4-10: Beim Rücksputtern wird ein Teil des am Boden abgeschiedenen Linermaterials durch Ionenbeschuss wieder abgetragen und kann sich an den Seitenwänden des Grabens anlagern (a). Hierdurch kann eine nicht-konforme Abscheidung, bei der sich typischerweise mehr Linermaterial am Boden als an der Seitenwand der Struktur anlagert (b), derart optimiert werden, dass die Linerdicke in allen Bereichen gleich ist (c) [120].

### 4.3 Auffüllung der Damascene Gräben durch elektrolytische Kupferabscheidung

Das Auffüllen der Damascene Gräben und Via-Löcher mit Kupfer erfolgt mittels elektrolytischer Abscheidung (ECD, Teilprozess VIII, Abb. 4-11). Hierzu wird die gesamte Waferoberfläche bei Raumtemperatur in ein elektrolytisches Bad eingetaucht, welches die Ionen des abzuscheidenden Materials enthält.

Wie bei der Diskussion des Teilprozesses VII bereits ausgeführt, ist es für ein defektfreies Auffüllen notwendig, dass die Damascene Gräben vollständig mit der Kupferkeimschicht überzogen sind. In dem Elektrolytbad wird dann über eine externe Spannungsquelle diese niederohmige Metalloberfläche auf ein negatives Potenzial (Kathode) gelegt. Infolge dessen kommt es zu einer gerichteten Bewegung der im Bad gelösten Kupferionen hin zur Kathode. Im Resultat einer Reaktion der Kupferionen mit den Elektronen auf der Oberfläche scheidet sich das Metall in der Damascene Topologie ab.

Für ein void-freies Füllen schmaler Gräben bzw. Vias mit hohem Aspektverhältnis und der gleichzeitigen Realisierung eines adäquaten Füllens breiter Strukturen ist ein komplexes Zusammenspiel verschiedener Prozessaspekte und Parameter notwendig, die hier nur kurz gestreift werden sollen. Der wichtigste Aspekt bei der Auffüllung von Bereichen mit den größten Aspektverhältnissen (z.B. schmale Leitbahn mit Via) ist die Verwendung geeigneter chemischer Additive [119]. Durch eine geeignete Wahl von sogenannten Suppressoren, Enhancern etc. wird so eine optimale Adsorptions- und Desorptionskinetik der Kupferionen eingestellt, die idealerweise eine Abscheidung an den Seitenwänden unterdrückt. So wird ein gezielter „bottom-up fill“ ermöglicht, bei dem die Metallisierung vom Via-Boden in den Trench wächst. Daneben spielen aber auch die Stromdichte sowie die Stromdichteverteilung über den Wafer eine wichtige Rolle für ein optimales Abscheiden der Metallisierung. Eine weitere Möglichkeit, die Abscheidekinetik zu beeinflussen, besteht in der zeitlichen Änderung des Stromes. Hier kann man z.B. über einen gepulsten Strom/Zeit-Verlauf oder durch das Eintauchen des Wafers mit oder ohne Strom in das elektrolytische Bad eine Optimierung erreichen.

Ein besonderer Aspekt für die Zuverlässigkeit von Kupfermetallisierungen besteht darin, dass bei der elektrolytischen Abscheidung grundsätzlich eine Vielzahl von Leerstellen in die Mikrostruktur eingebaut wird [68, 74]. Durch diese Leerstellenübersättigung weist derart abgeschiedenes Kupfer stets eine gewisse Mikroporosität auf, die durch Elektromigration und Stressmigration zur Voidbildung führen kann (s. Kap. 2.2.1). Der Einbau von Leerstellen kann auch durch Optimierung des elektrolytischen Prozesses nie ganz unterdrückt werden. Allerdings müssen makroskopische Defekte, wie z.B. „granulare“ Mikrostruktur, Saum- oder Lunkerbildung unbedingt vermieden werden, um eine hohe Zuverlässigkeit der Metallisierung zu gewährleisten (Abbn. 4-12 und 4-9).

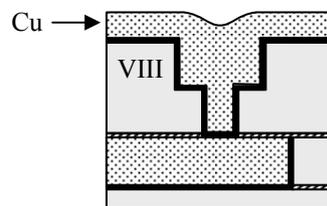


Abb. 4-11.: Auffüllen der Dual-Damascene Gräben mit Kupfer durch elektrolytische Abscheidung (Teilprozess VIII).

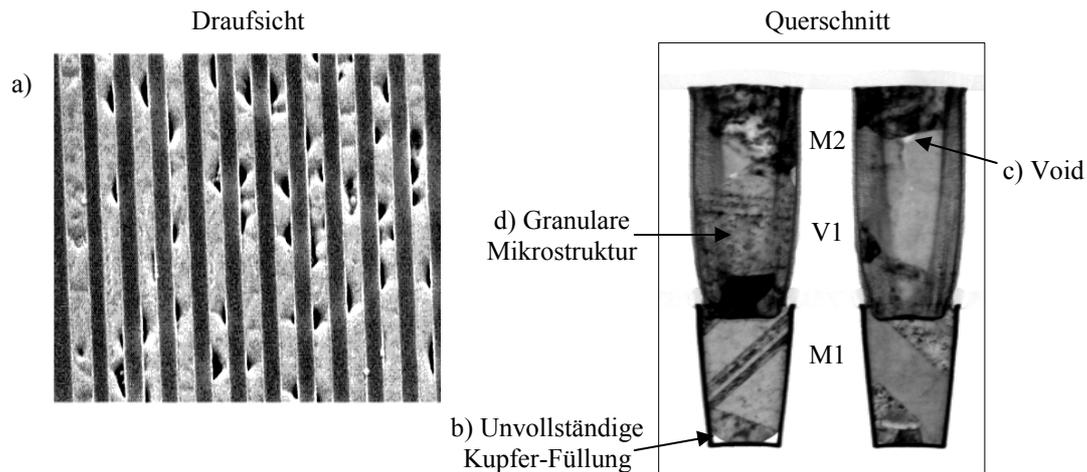


Abb. 4-12: Makroskopische Defekte in Kupfermetallisierungen, die durch nicht-optimale elektrolytische Abscheidung in den Damascene Gräben hervorgerufen werden: volumenartige Voids im oberen Bereich des Damascene Grabens (a), Voids am Grabenboden (b) bzw. im Metallvolumen (c) sowie „granulare“ Mikrostruktur im Via mit erhöhter Mikroporosität (d).

#### 4.4 Thermische Behandlung nach der elektrolytischen Abscheidung (Post-Plating Anneal)

Neben der Vermeidung von Defekten bei der elektrolytischen Abscheidung, die zu Saum-, Lunker- und Voidbildung führen, ist das wichtigste Ziel, eine geeignete und vor allem stabile Kornstruktur mit möglichst großer mittlerer Korngröße zu erreichen. Dies ist notwendig, um einen möglichst kleinen spezifischen Widerstand der Metallisierung zu realisieren (Produktfunktionalität), eine Freisetzung von Leerstellen während der Betriebslebensdauer zu vermeiden (Zuverlässigkeit) sowie reproduzierbare Polierraten [80, 81] zu gewährleisten (CMP-Prozess).

Wie bereits in Kapitel 2.2.1 ausgeführt, ist das Kupfer unmittelbar nach der elektrolytischen Abscheidung durch eine feinkörnige Mikrostruktur charakterisiert mit mittleren Korngrößen von etwa 50nm [70, 92]. Ohne spezielle Temperaturbehandlung würden diese Körner bei Raumtemperatur durch den „Self-Anneal“ Effekt unter Freisetzung von Leerstellen innerhalb weniger Tage je nach Grabengeometrie zu Größen von bis zu einigen Mikrometern anwachsen [80-85]. Um eine stabile Mikrostruktur noch vor dem CMP-Prozess zu erhalten und so eine Freisetzung von Leerstellen im späteren Leitbahnvolumen zu vermeiden, werden über eine gezielte thermische Behandlung (Teilprozess IX, Abb. 4-13) die Rekristallisation, das Kornwachstum und das Ausheilen von Gitterdefekten beschleunigt und auf diese Weise innerhalb kurzer Zeit eine stabile Mikrostruktur eingestellt.

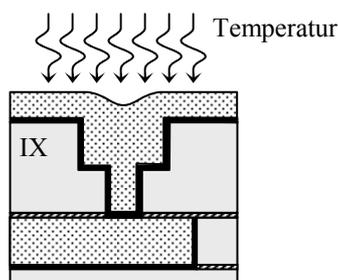


Abb. 4-13: Durch eine gezielte thermische Behandlung unmittelbar nach dem elektrolytischen Abscheiden wird im Kupfer durch eine Beschleunigung der Rekristallisation, des Kornwachstums und der Ausheilvorgänge eine stabile Mikrostruktur erzielt (Teilprozess IX).

Hinsichtlich des thermischen Budgets, d.h. der Temperatur und Zeitdauer der Wärmebehandlung nach elektrolytischer Abscheidung, gibt es in der industriellen Praxis derzeit zwei verschiedene Ansätze. Während Firmen wie Infineon und IBM einen Niedrigtemperatur-Anneal bei 100 bis 150°C mit einer Dauer von etwa einer Stunde verwenden, favorisieren Firmen wie Texas Instruments, Samsung oder ST Microelectronics einen Hochtemperatur-Anneal bei 300 bis 400°C mit deutlich kürzeren Zeitdauern. Diese unterschiedlichen Ansätze sind in erster Linie auf Aspekte wie Defektdichte, Ausbeute und Durchlaufzeit zurückzuführen und nicht mit Zuverlässigkeitsgesichtspunkten begründbar. Zur Realisierung einer stabilen Mikrostruktur und damit der Erhöhung der Zuverlässigkeit sind grundsätzlich jedoch beide Verfahren geeignet. Der einzige Unterschied zwischen hoch- und niedrigtemperaturbehandelten Kupfermetallisierungen könnte, wie in Kapitel 2.2.5 diskutiert wurde, in der Temperaturabhängigkeit der Stressmigrationsrate liegen. Allerdings gibt es dafür bisher noch keinen endgültigen Nachweis.

Die thermische Behandlung des elektrolytisch abgeschiedenen Kupfers muss *zwingend* vor dem CMP-Prozess erfolgen, wenn das Kupfer noch großflächig über der gesamten Grabentopologie vorhanden ist (Abb. 4-14a). Zum einen wird dadurch der Rekristallisationsprozess erleichtert, so dass ein Kornwachstum aus der unstrukturierten dicken Oberschicht (Abb. 4-14b) in die feinstrukturierten Gräben hinein erfolgen kann (Abb. 4-14c). Zum anderen werden die Leerstellen, welche bei diesem Rekristallisations- und Kornwachstumsprozess in den Gräben erzeugt werden, vorzugsweise durch diese Schicht aufgenommen und stehen somit für potenzielle Voiding-Prozesse im Leitbahnsystem nicht mehr zur Verfügung [73]. Die endgültige Korngröße ist neben dem thermischen Budget auch noch von den jeweiligen Grabengeometrien (vgl. Kap. 3.1), der Dicke der gesamten abgeschiedenen elektrolytischen Schicht (vgl. Kap. 3.4) sowie im zunehmenden Maße von der Wahl und der Zusammensetzung der chemischen Additive abhängig [119, 121, 122].

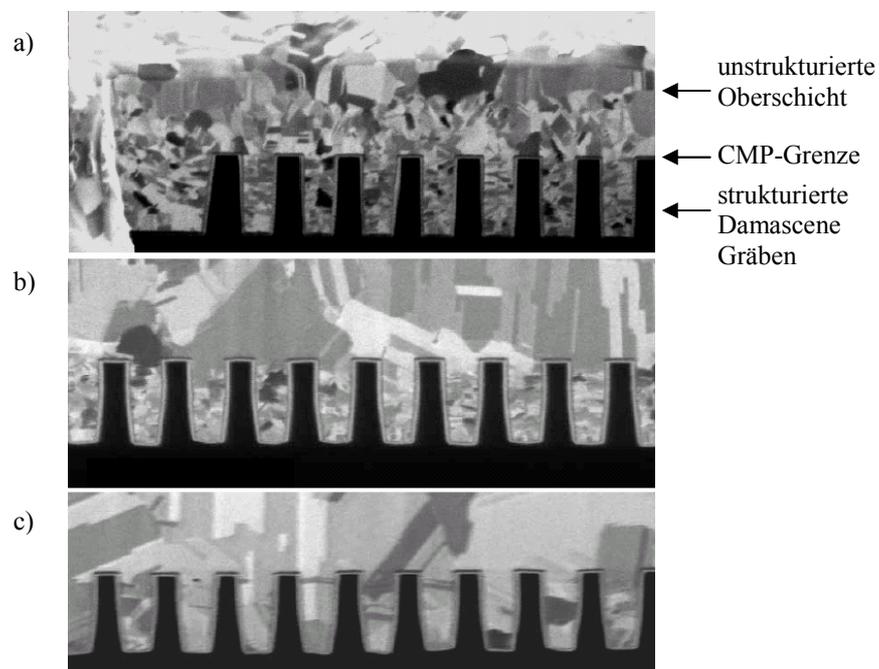


Abb. 4-14: Einstellung einer stabilen Mikrostruktur durch Vergrößerung der mittleren Korngröße mittels thermischer Behandlung nach elektrolytischer Abscheidung. Die Bildsequenz zeigt den Querschnitt einer auf eine Damascene Topologie abgeschiedenen Kupferschicht mit feinkörniger Struktur (a). Während der thermischen Behandlung rekristallisieren und wachsen die Körner zunächst in der unstrukturierten Oberschicht (b). Das Kornwachstum setzt sich dann in die Gebiete der strukturierten Damascene-Gräben fort, wodurch am Ende der Wärmebehandlung eine stabile Mikrostruktur mit größtmöglicher Korngröße auch im späteren Leitbahngebiet realisiert wird [123].

#### 4.5 Die Chemisch-Mechanische Planarisierung (CMP)

Nach der elektrolytischen Abscheidung und der Wärmebehandlung ist der Wafer von einem massiven Kupferfilm überzogen. Um das überschüssige Material zu entfernen, muss durch einen Planarisierungsprozess das Kupfer oberhalb der Damascene Gräben (Abb. 4-13) entfernt werden, ohne dabei die darunterliegenden, strukturierten Damascene Gebiete zu beeinträchtigen. Dazu kommen kombinierte chemisch-mechanische Polierverfahren (CMP) zum Einsatz, bei denen durch chemische Komponenten das überschüssige Material gelöst und über eine mechanische Komponente abgeschliffen wird. Der Poliervorgang erfolgt über eine rotierende Polierscheibe (Pad) unter Ausübung mechanischer Kraft. Zwischen Wafer und Pad befindet sich eine CMP-Flüssigkeit (Slurry), welche sich aus Ätzchemikalien bzw. abrasiven Partikeln (z.B. Aluminiumoxid-Körnchen) zusammensetzt und so für den chemischen bzw. physikalischen Abtrag der Kupferschicht sorgt.

Typischerweise erfolgt das chemisch-mechanische Polieren in zwei Schritten: Beim so genannten Kupfer-CMP (Teilprozess X) wird zunächst nur das Kupfer bis hinunter zum Liner wegpoliert. Damit die Planarisierung exakt am Liner stoppt, wird hierzu eine CMP-Slurry verwendet, die eine hohe Selektivität zwischen Kupfer und dem in der Regel Tantal-basierenden Linermaterial besitzt (Abb. 4-15-X). Bei dem nachfolgenden Liner-CMP-Prozess (Teilprozess XI) wird die dünne Linerschicht (z.B. TaN/Ta) unter Verwendung einer nicht-selektiven CMP-Slurry entfernt (Abb. 4-15-XI).

Um die nach diesen Poliervorgängen auf der Waferoberfläche zurückgebliebenen Schmutzpartikel zu entfernen, ist es wichtig, die Oberfläche entsprechend zu reinigen. Insbesondere sind Kupferpartikel problematisch, die mit dem Oxid in Verbindung gekommen sind, da diese zu einem erhöhten Leckstrom sowie einer Kontamination der aktiven Gebiete führen können. Der nach den CMP-Prozessen durchgeführte Reinigungsschritt beinhaltet meist eine Kombination aus physikalischer (mittels Bürste) und nass-chemischer Komponente (Teilprozess XII, Abb. 4-15-XII).

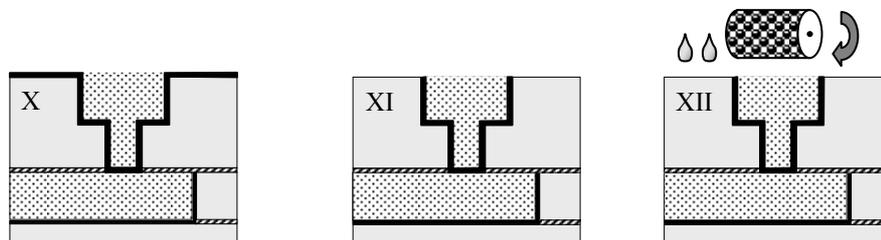


Abb. 4-15: Chemisch-mechanische Planarisierung nach der elektrolytischen Abscheidung in drei Teilprozessen: Kupfer-CMP mit Stopp am Liner (Teilprozess X) und anschließendem Liner-CMP (XI). Zurückgebliebene Kontaminationen auf der Oberfläche werden durch einen kombinierten chemisch-mechanischen Reinigungsschritt entfernt (XII).

Bei der Entwicklung der Planarisierungsverfahren steht primär die Realisierung einer homogen über den Wafer verteilten Poliertrate im Fokus. In der Praxis sind jedoch insbesondere Gebiete mit sehr unterschiedlichen Kupfer/Oxid-Belegungsichten problematisch, da hier auf Grund der unterschiedlichen Materialeigenschaften ein ungleichmäßiger Polierabtrag erfolgt. Dies äußert sich bei breiten Leitbahnen im so genannten „Dishing“ mit einer reduzierten effektiven Schichtdicke in der Mitte der Leitbahn bzw. in einer „Oxiderosion“ bei großen Oxidflächen. Gelöst wird dieses Problem, indem man dafür sorgt, dass über den gesamten Layoutbereich ein möglichst konstantes Kupfer/Oxid-Verhältnis realisiert wird. Dazu werden in breiten Kupferleitbahnen gezielt Oxidflecken („Cheesing“) eingebracht bzw. in breiten Oxidbereichen so genannte Kupferstützstellen („Fills“).

Aus Zuverlässigkeitssicht stellt eine Inhomogenität der Poliertrate über dem Wafer ein gewisses Problem dar. Existieren z.B. am Waferrand höhere Polierraten, so werden dort die

Leitbahndicken und somit die effektiven Leitbahnquerschnitte entsprechend reduziert. Damit kommt es beim Einprägen ein und desselben Stroms zu unterschiedlichen Stromdichten je nachdem aus welchem Bereich des Wafers der Chip stammt. Dies sollte zum einen bei der Festlegung der Designströme des Produkts unter Betriebsbedingungen berücksichtigt werden, d.h. stets vom unteren Limit der Leitbahndicke ausgegangen werden (also kleinster anzunehmender Querschnitt). Zum anderen ergibt sich aus der Variation der effektiven Kupferquerschnitte ein Problem hinsichtlich der quantitativen Auswertung von Ausfallverteilungen bei beschleunigten Stresstests. Befinden sich nämlich Leitbahnstrukturen mit unterschiedlichen Querschnitten in derselben Stichprobe, so werden bei einem Elektromigrationstest mit einem konstanten Stress-Strom tendenziell die früheren Ausfälle an Leitbahnen mit kleinem Querschnitt erwartet (da größere Stromdichte), wohingegen spätere Ausfälle eher mit größeren Querschnitten korrespondieren (da kleinere Stromdichte). Infolge dessen kommt es zu einer künstlichen Verbreiterung der Elektromigrationsausfallverteilung, die bei Nichtberücksichtigung der Querschnittvariationen zur Ableitung einer zu pessimistischen Lebensdauer führt. Ein quantitatives Modell, welches diese Variationen bei der Lebensdauerberechnung berücksichtigt, wurde erstmals durch den Autor in [F] vorgestellt. Neben Inhomogenitäten in den Polierraten können durch nicht optimierte CMP-Prozesse Defekte verursacht werden, die meist „grober Natur“ sind und in der Regel zu Null-Stunden Ausfällen oder extremen Frühausfällen während der Stresstests führen. Diese zuverlässigkeitsrelevanten Defekte können hinsichtlich ihrer Ursache in *chemische* und *mechanische* Defekte unterteilt werden. Bei den chemischen Defekten handelt es sich meist um eine durch die chemischen Bestandteile der CMP-Slurry oder des nass-chemischen Reinigungsschritts hervorgerufene globale Erosion entlang des Liners, die entweder innerhalb der Kupferleitbahn oder auch im Oxid auftreten kann (Abb. 4-16).

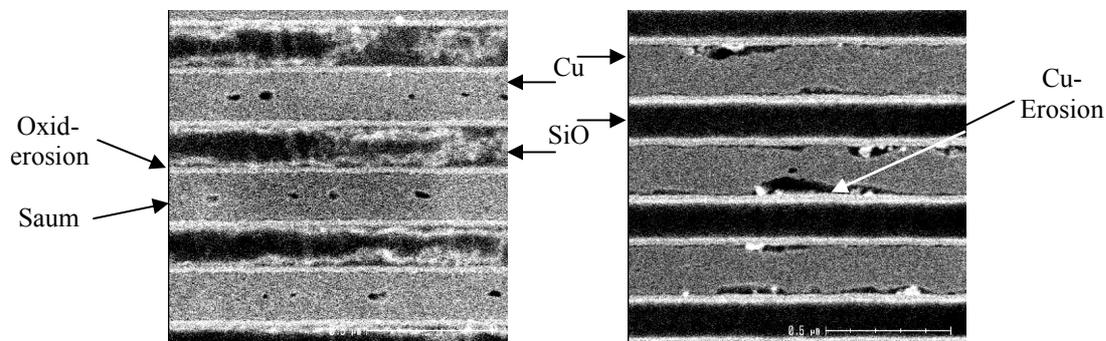


Abb. 4-16: Globale Defekte entlang des Liners hervorgerufen durch die chemischen Bestandteile der CMP-Slurry: Oxiderosion (links) und Kupfererosion (rechts). Zusätzlich erkennt man links einen Saum, der durch nicht-optimierte elektrolytische Abscheidung hervorgerufen wurde und durch das CMP noch verstärkt wird.

Neben diesen chemisch bedingten Erosionen können mechanisch induzierte, lokale Defekte die Zuverlässigkeit des Leitbahnsystems beeinträchtigen. Im Zusammenhang mit dem CMP-Prozess sind dies in erster Linie Kratzer, die im Oxid bzw. im Kupfer auftreten und eine Erhöhung des Leckstromes bis hin zu Kurzschlüssen bzw. zur Verdünnung des Leitbahnquerschnittes verursachen (Abb. 4-17). Schließlich können auch Rückstände und Verunreinigungen, die nicht durch den Reinigungsschritt (Teilprozess XII) entfernt wurden, zu einer Beeinträchtigung der Eigenschaften entlang der Cu/SiN- bzw. SiO/SiN-Grenzflächen führen. Dies kann sich in einer Erhöhung und Degradation des Leckstromniveaus zwischen benachbarten Leitbahnen aber auch in einer Reduzierung der Adhäsion äußern, worauf im nächsten Kapitel noch näher eingegangen wird.

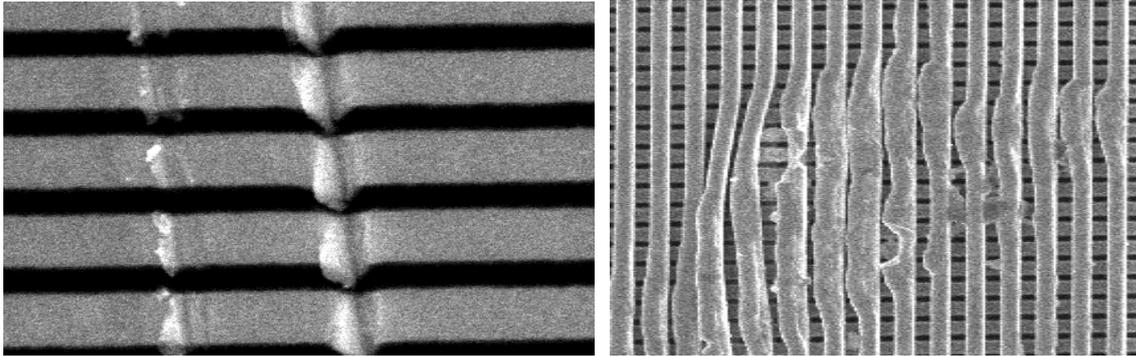


Abb. 4-17: Lokale Defekte der Metallisierung hervorgerufen durch mechanische Bestandteile der CMP-Slurry: Oberflächenkratzer (links), welche Querschnittsverengungen (und damit lokal überhöhte Stromdichten) sowie Erhöhungen des Leckstromniveaus bedingen; großflächige Schädigung der Metallisierung (rechts), welche zu Kurzschlüssen und extremen Frühausfällen bei Strombelastung führen können.

#### 4.6 Die Deckschichtabscheidung

Nachdem das Kupfer strukturiert und planarisiert wurde, wird die Einkapselung durch die Abscheidung einer ganzflächigen, dielektrischen Diffusionsbarriere auf der Oberseite der Gräben vervollständigt. Dieser Abscheidung (Teilprozess XIV) wird zunächst ein Reinigungsschritt vorangestellt (Teilprozess XIII), um etwaige Rückstände, insbesondere Kupferoxide zu entfernen und eine Verbesserung der Haftung sowie des Leckstromniveaus zu ermöglichen (Abb. 4-18). Dazu wird die Waferoberfläche üblicherweise mit einem Plasma behandelt. Dadurch wird die Adhäsion der SiN-Schicht auf dem Kupfer meist erheblich verbessert. Dies ist auch mit einer Erhöhung der Aktivierungsenergie für Migrationsprozesse entlang dieser Grenzschicht verbunden [48], wodurch die Zuverlässigkeit oft erheblich gesteigert werden kann. Allerdings können durch zu hohe Plasma-Intensitäten oder bei der Verwendung ungeeigneter Plasma-Arten Kristalldefekte induziert werden, die dann möglicherweise Stressmigrationsprobleme nach sich ziehen können (Kap. 8.7).

Neben der guten Haftung zum Kupfer (Hauptdiffusionspfad für Migrationseffekte !) muss die dielektrische Deckschicht auch über eine gute Adhäsion zum Inter-Metall-Dielektrikum (SiO) verfügen. Im Falle einer schlechten Haftung kann somit ein kompressiver Stress in der Kupferleitbahn, der z.B. in Folge einer Materialansammlung durch Elektromigration auf der Anodenseite entsteht, durch Bildung von Kupferextrusionen entlang der SiN/SiO Grenzfläche relaxieren (Abb. 4-19). Dies führt in der Regel zur Erhöhung des Leckstromes bis hin zum Kurzschluss bzw. zu Delaminationen oder der Ausbildung von Riss-Spitzen im Oxid, die in das gesamte Chipvolumen propagieren können.

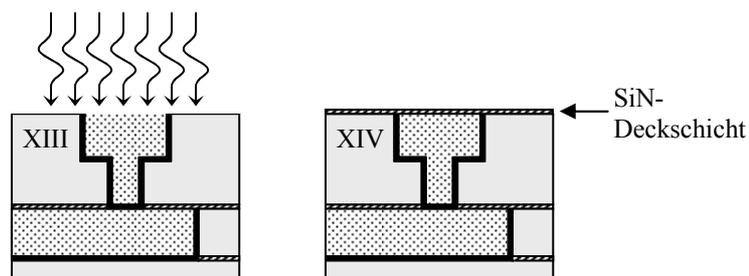


Abb. 4-18: Vereinfachte Prozessfolge für die Deckschichtabscheidung auf die damascene-strukturierte Metallisierung: Reinigungsschritt (Pre-Clean) zur Entfernung von Prozessrückständen und Kupferoxiden (Teilprozess XIII), Abscheidung der SiN-Deckschicht mittels CVD-Verfahren (XIV).

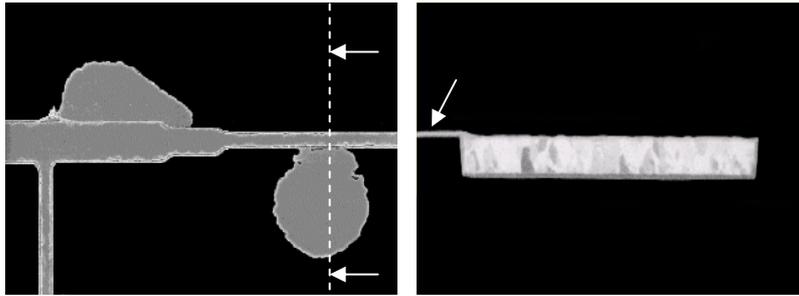


Abb. 4-19: Leitbahnstruktur nach einem Elektromigrationstest. An der Anodenseite (links) haben sich plattenförmige Extrusionen gebildet. Im Querschnitt (rechts) erkennt man, dass sich diese Auswüchse entlang der SiO/SiN-Grenzfläche ausbreiten.

In der industriellen Praxis hat sich Siliziumnitrid als Material der Wahl für die dielektrischen Deckschichten etabliert, das über einen CVD-Prozess abgeschieden wird. Auf Grund der hohen dielektrischen Permittivität ( $k$ -Wert) wird dieses Material jedoch in den neueren Technologiegenerationen zunehmend durch SiCN- bzw. SiC-Schichten abgelöst, welche einen kleineren effektiven  $k$ -Wert in der Schaltung ermöglichen. Bei den in dieser Arbeit verwendeten Deckschichten handelt es sich ausschließlich um SiN-Schichten, die sich lediglich hinsichtlich des verwendeten Plasmaprozesses unterscheiden (PE-CVD und HDP-CVD).

## 5 Beschreibung des Testmaterials

Im Rahmen dieser Arbeit wurden Kupfermetallisierungen der Firma Infineon Technologies hinsichtlich ihrer Zuverlässigkeitseigenschaften untersucht. Bei Infineon wurde Kupfer als Verdrahtungsmaterial etwa zeitgleich in zwei verschiedenen Technologien eingeführt. Bei der einen handelt es sich um eine CMOS Technologieplattform der 0.18 $\mu\text{m}$  Generation, bei der anderen um eine speziell auf die Bedürfnisse von Bipolar-Anwendungen zugeschnittene 0.35 $\mu\text{m}$  Technologie. Die erstmalige Einführung von Kupfer in diesen Technologien wurde durch unterschiedliche Aspekte getrieben. Bei CMOS-Schaltungen ist die Verwendung von niederohmigem Kupfer in erster Linie durch die damit erreichte Verminderung der *RC*-Verzögerung, des Spannungsabfalls („*IR*-Drop“) sowie der Verlustleistung motiviert. Bei Bipolar-Anwendungen stehen vor allem die hohe Stromtragfähigkeit des Leitbahnsystems unter Betriebsbedingungen und hohe Spulengüten im Vordergrund.

Das untersuchte Testmaterial stammt aus Infineon's ersten Kupfer-Technologien (0.35 $\mu\text{m}$  und 0.18 $\mu\text{m}$ ) sowie aus der ersten Nachfolgegeneration (0.13 $\mu\text{m}$ ). Bei den untersuchten Wafern handelt es sich jeweils um spezielle Testchips mit einer Vielzahl unterschiedlicher Teststrukturen, welche für die Entwicklung einer Technologie notwendig sind. Darin enthalten sind Zuverlässigkeitsmodule, welche die in den Kapiteln 2.1.2 und 2.2.2 beschriebenen Teststrukturen enthalten und eine gezielte Untersuchung der unterschiedlichen Fehlermechanismen sowie der Einflüsse von Design- und Prozessaspekten erlauben.

Die Zuverlässigkeitsstudien wurden ausschließlich an Mehrlagenmetallisierungssystemen durchgeführt, die bis zu sechs in SiO eingebettete Metallebenen enthalten. Die unterste Ebene (M1) ist dabei stets mit einem Single-Damascene Prozess realisiert, welche über einen Wolframkontakt die Verbindung mit dem aktiven Gebiet herstellt. Alle weiteren Metall-Lagen wurden mittels Dual-Damascene prozessiert, bei denen die unterschiedlichen Metallebenen über ein Kupfer-Via kontaktiert sind. Der Metallisierungsstapel wird durch eine finale Passivierung abgeschlossen. Aluminium-Pads ermöglichen den externen Anschluss der Teststrukturen und erlauben darüber hinaus Untersuchungen bei hohen Temperaturen, ohne dass die Kupfermetallisierung durch Oxidation oder Korrosion beeinträchtigt wird.

Die Metalldicken, minimalen Bahnbreiten und Via-Durchmesser richten sich nach den Designregeln der jeweiligen Technologie und verringern sich in der Regel mit jeder neuen Generation. Für alle untersuchten Technologien wurde ein und derselbe Standardliner verwendet, der aus einer Doppelschicht von TaN und Ta besteht. Lediglich beim Übergang von 0.18 auf 0.13 $\mu\text{m}$  musste die Dicke reduziert werden, um den Via-Widerstand gering zu halten. Als Deckschicht wurde für alle Generationen eine mittels CVD-Prozess abgeschiedene SiN-Schicht von 50nm Dicke verwendet. Je nach Zielprozess variiert das Abscheideverfahren hinsichtlich des verwendeten Plasmas.

Die wichtigsten geometrischen und prozesstechnischen Merkmale des Testmaterials sind in Tabelle 5-1 zusammengefasst. Sie stellen jeweils die Zieloption der entsprechenden Technologiegeneration dar. Abweichungen von diesen Standardmerkmalen sind Gegenstand der in den folgenden Kapiteln diskutierten Untersuchungen und werden dort detaillierter beschrieben.

Technologie-generation	Metalldicken	Via-Ø	Minimale Bahnbreite	Standard-Liner mit Dicke	Deckschicht mit Dicke	Inter-Metall-Dielektrikum
0.35 $\mu\text{m}$	M1: 600nm Mx: 800nm	0.60 $\mu\text{m}$	M1: 0.50 $\mu\text{m}$ Mx: 0.60 $\mu\text{m}$	TaN/Ta 10/40nm	SiN 50nm	SiO <sub>2</sub>
0.18 $\mu\text{m}$	M1: 310nm Mx: 330nm	0.28 $\mu\text{m}$	M1: 0.24 $\mu\text{m}$ Mx: 0.28 $\mu\text{m}$	TaN/Ta 10/40nm	SiN 50nm	SiO <sub>2</sub>
0.13 $\mu\text{m}$	M1: 290nm Mx: 320nm	0.20 $\mu\text{m}$	M1: 0.16 $\mu\text{m}$ Mx: 0.20 $\mu\text{m}$	TaN/Ta 10/25nm	SiN 50nm	SiO <sub>2</sub>

Tab. 5-1: Übersicht über die wichtigsten technologischen Merkmale des untersuchten Testmaterials. Unterste Metall-Lage M1 (Single-Damascene); obere Dual-Damascene Metall-Lagen Mx (x=2,3...).

Bei der Ermittlung der Stromdichten für Elektromigrationstests bzw. der Angabe von Stromwerten im Design-Manual ist es wichtig, den effektiven Querschnitt der Kupfer-Metallisierung zu kennen, da nur er relevant für die Materialmigration ist. Demzufolge berechnen sich die Stromdichten für Belastungstests sowie das Design Manual stets aus dem effektiven Leitbahnquerschnitt, der sich aus der Grabengeometrie (Breite, Höhe) abzüglich der mittleren, physikalischen Linerdicke am Boden bzw. den Seitenwänden ergibt.

Basierend auf Konstruktionsanalysen (Abb. 5-1 rechts) nimmt man dann in vereinfachender Weise an, dass die Linerdicke am Boden bzw. an den Seitenwänden des Grabens etwa 50 bzw. 25% der nominell abgeschiedenen Linerschichtdicke entspricht (Abb. 5-1). Somit ergibt sich für den effektiven Kupferquerschnitt der Damascene Bahn:

$$A_{eff} = (d - Liner_{Boden}) \cdot (w - 2 \cdot Liner_{Seitenwand}) \quad (45)$$

wobei  $d$  die Grabentiefe,  $w$  die Grabenbreite und  $Liner_{Boden} / Liner_{Seitenwand}$  die tatsächlichen Dicken des Liners am Boden bzw. den Seitenwänden des Grabens sind. Typische Werte von effektiven Querschnitten, die in häufig verwendeten Elektromigrationsteststrukturen auftreten, sind in Tabelle 5-2 zusammengefasst.

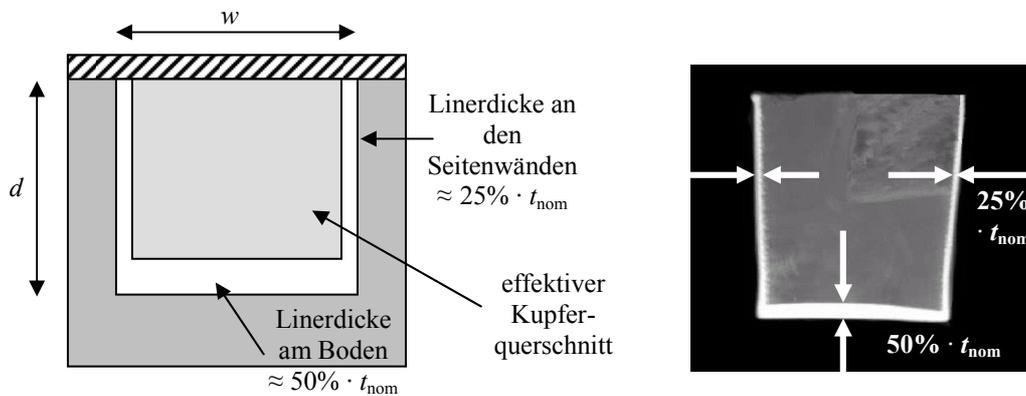


Abb. 5-1: Die Linerschichtdicke am Boden bzw. an den Seitenwänden des Grabens entspricht etwa 50 bzw. 25% des Werts der nominell abgeschiedenen Linerdicke. Dies wird bei der Berechnung des effektiven Kupferquerschnittes berücksichtigt.

Technologiegeneration	Metall-Lage	Grabengeometrie [ $\mu\text{m}$ ]		Linerdicken [nm]			Effektiver Querschnitt [ $\mu\text{m}^2$ ]
		Tiefe $d$	Typische Breiten $w$	Nominell $t_{nom}$	am Boden	an Seitenwand	
0.35 $\mu\text{m}$	M1	0.60	0.5	50	25	12.5	0.273
			4.0	50	25	12.5	2.286
	Mx	0.80	0.6	50	25	12.5	0.446
			8.0	50	25	12.5	6.181
0.18 $\mu\text{m}$	M1	0.31	0.24	50	25	12.5	0.061
			0.76	50	25	12.5	0.209
	Mx	0.33	0.28	50	25	12.5	0.078
			0.76	50	25	12.5	0.224
0.13 $\mu\text{m}$	M1	0.29	0.16	35	17.5	9	0.039
			0.56	35	17.5	9	0.148
	Mx	0.32	0.20	35	17.5	9	0.055
			0.60	35	17.5	9	0.176

Tab. 5-2: Übersicht über die in Elektromigrationstests verwendeten, typischen Teststrukturgeometrien. Der effektive Querschnitt der Leitbahn entspricht dem reinen Kupferquerschnitt gemäß Gleichung (45).

## **6 Design und Prozess: Die Schlüssel zur Erreichung optimaler Zuverlässigkeit von Kupfermetallisierungen**

Mit der Einführung von Kupfer als Metallisierungsmaterial bei der 0.35µm Bipolar-Technologie und der 0.18µm CMOS-Plattform beschritt Infineon technologisches Neuland. Um diese beiden Technologiegenerationen auf die Bedürfnisse einer Massenproduktion zu entwickeln, waren aus Gründen des Risikomanagements ausführliche Studien bezüglich der Einflüsse des Designs und der Einzelprozesse auf die Zuverlässigkeit integrierter Via/Leitbahn-Systeme notwendig. Auf Grund der potenziellen Auswirkungen dieser Innovationen auf Qualitätsaspekte der gesamten Produktpalette ging der Umfang der für diese Technologien durchgeführten Untersuchungen weit über den Rahmen einer bisherigen Standardqualifikation hinaus. Dadurch wurde jedoch die Basis geschaffen, die Zuverlässigkeitsmethodik auf die Gegebenheiten von Kupfer anzupassen und sie auch für nachfolgende Generationen zu verwenden. Im Resultat der vorliegenden Arbeit wird gezeigt, dass das Design und der technologische Herstellungsprozess *die* entscheidenden Hebel für die Verbesserung der Zuverlässigkeit der Kupfermetallisierungen darstellen. Entsprechend werden die im Folgenden dargestellten Untersuchungen in die Themenkomplexe *designbedingte Einflüsse* (Kapitel 7) und *prozessbedingte Einflüsse* (Kapitel 8) untergliedert.

### **6.1 Übersicht der Studien zum Einfluss des Designs**

Zu Beginn der Technologieentwicklung gibt es in der Regel genaue Vorstellungen davon, mit welchen Geometrien die elektrischen Schaltungen realisiert werden sollen. Diese werden insbesondere aus den Anforderungen abgeleitet, welche an das spätere Produkt hinsichtlich Funktionalität und Leistungsmerkmale gestellt werden. Daneben werden die geometrischen Aspekte in entscheidendem Maße durch technologische Randbedingungen bestimmt, die sich in erster Linie aus den Grenzen der Lithografie und des CMP-Prozesses ergeben. Die Regeln, nach denen das spätere Layout einer Integrierten Schaltung erstellt wird, werden im Design-Manual zusammengefasst und müssen innerhalb der Technologiequalifikation hinsichtlich ihrer Machbarkeit und Zuverlässigkeit untersucht werden.

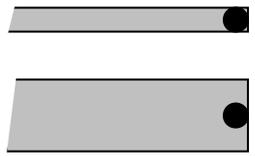
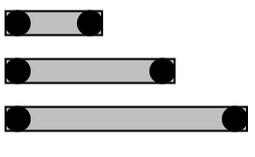
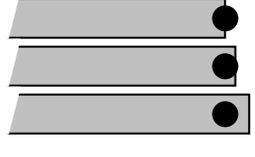
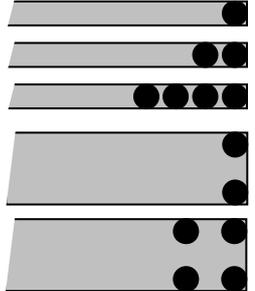
Neben diesen Layoutregeln und technologischen Merkmalen sind die elektrischen Parameter ein weiterer, wesentlicher Bestandteil des Design-Manuals. Eine wichtige Gruppe innerhalb dieser Parameter sind die Gleichstromwerte ( $I_{DC\_max}$ ), mit denen eine Leitbahn bzw. ein Via belastet werden darf. Die maximal erlaubten Werte des Gleichstroms sind elektromigrationslimitiert und richten sich nach den jeweiligen Zuverlässigkeitstargets der Technologie (geforderte Lebensdauer, Betriebstemperatur, erlaubte Ausfallhäufigkeit, vgl. Abb. 1-4). Sie werden auf der Basis von Zuverlässigkeitsstudien definiert und müssen experimentell abgesichert werden. Aufgrund der Variationsvielfalt möglicher Layoutkonfigurationen werden in der Praxis meist nur relativ einfache Stromregeln definiert, wie beispielsweise der erlaubte Gleichstromwert pro Via oder pro Leitbahnbreite. Darüber hinaus werden sogenannte Bonusfaktoren angegeben, die festlegen, um welchen Faktor der Strom bei bestimmten Designsituationen erhöht werden darf. Dies gilt besonders für Leitbahnen mit mehr als einem Via (Via-Felder), kurze Via/Leitbahn-Segmente (vgl. Kap. 2.1.1) oder Leitbahnen ohne Via.

Im Design-Manual werden stets auch bestimmte Toleranzen spezifiziert, die z.B. für die Variation der Via-Position auf der Leitbahn erlaubt sind. Deshalb werden zusätzlich zu den Nominalgeometrien sogenannte Prozessfensterstudien durchgeführt, in denen z.B. Änderungen der Fehlerzeiten z.B. hinsichtlich einer Via-Dejustierung (Überlapp) oder des Via-Durchmessers untersucht werden.

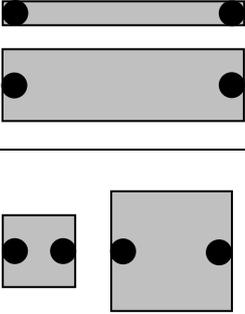
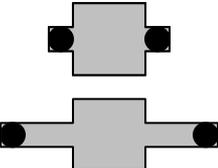
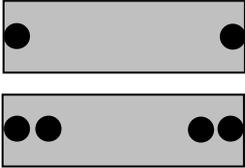
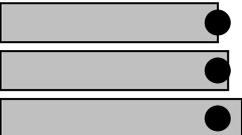
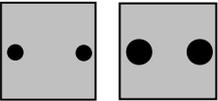
Die Palette der im Rahmen dieser Arbeit zur Absicherung der Design Regeln durchgeführten Elektromigrationstudien ist in Tabelle 6-1 dargestellt. Sie umfasst Tests an reinen Leitbahnstrukturen unterschiedlicher Breite ohne Vias, an Einzel-Via-Strukturen unterschiedlicher Leitbahnbreite, Länge und Überlapp sowie Variationen bezüglich der Via-

Anzahl und Positionierung. Die Untersuchungsschwerpunkte fokussieren sich dabei im Wesentlichen auf die kritischsten Konfigurationen des Designs, welche bereits in Kapitel 2.1.2 diskutiert wurden.

Während bei der Elektromigration insbesondere schmale Leitbahnen eine große Herausforderung an die Technologie stellen, sind bei Stressmigration vor allem Via/Leitbahn-Übergänge kritisch, die an ein großes, aktives Metallvolumen angeschlossen sind (vgl. Kap. 2.2.1). Demzufolge fokussieren sich die Untersuchungen zur designbedingten Änderung des Stressmigrationsverhaltens vornehmlich auf Plattenstrukturen verschiedener Größe sowie mit unterschiedlicher Anzahl und Positionierung von Vias. Bei der Einführung der Kupfertechnologien waren keinerlei auf die speziellen Belange der Stressmigration zugeschnittenen Layoutregeln vorhanden. Die Designvariationen in Tabelle 6-2 zielen darauf ab, Empfehlungen für das Layout Integrierter Schaltungen zu geben, die eine möglichst große Robustheit gegenüber Stressvoidings ermöglichen. Dazu dienen insbesondere Studien zum Volumeneffekt, der „Nasen“-Länge sowie der Einführung redundanter Vias.

<b>Elektromigrationsstudien</b>			
<b>Skizze</b>	<b>Design</b>	<b>Untersuchungsaspekte</b>	<b>Siehe Abschnitt</b>
<b>7.1.1 Untersuchungen an Leitbahnstrukturen ohne Via</b>			
	Leitbahnen unterschiedlicher Breite ohne Via	Variable <u>Leitbahnbreite</u>	7.1.1
<b>7.1.2 Untersuchungen an Via/Leitbahn-Strukturen mit Einzel-Via</b>			
	Leitbahnen unterschiedlicher Breite mit Einzel-Via	<u>Stromrichtung</u> up- und downstream schmale Leitbahnen	7.1.2.1
		Variable <u>Leitbahnbreite</u> downstream	7.1.2.2
	Schmale Leitbahn-segmente unterschiedlicher Länge	<u>Segmentlänge</u>	7.1.2.3
		<u>Prozessreife:</u> Frühes bzw. spätes Entwicklungsstadium	
	Via/Leitbahn-Überlapp (Prozessfenster Untersuchungen)	<u>Überlappvariation</u> up- und downstream schmale Leitbahnen	7.1.2.4
		<u>Überlappvariation</u> downstream breite Leitbahnen	
<b>7.1.3 Untersuchungen an Via/Leitbahn-Strukturen mit mehreren Vias</b>			
	Leitbahn unterschiedlicher Breite mit variabler Via-Anzahl und -Anordnung	<u>Via-Anzahl</u>	7.1.3.1
		<u>Via-Anordnung</u>	7.1.3.2

Tab. 6-1 Studien zur Untersuchung des Elektromigrationsverhaltens von Kupfermetallisierungen bezüglich Design und Designvariationen.

<b>Stressmigrationsstudien</b>			
<b>Skizze</b>	<b>Design- konfiguration</b>	<b>Geometrie- variationen</b>	<b>Siehe Abschnitt</b>
<b>7.2.1 Untersuchungen zum aktiven Volumen</b>			
	Rechteckige und quadratische Plattenstrukturen mit Einzel-Via	Plattenbreite und Plattenlänge bei rechteckiger Form	7.2.1
		Plattengröße bei quadratischer Form	
<b>7.2.2 Aktive Maßnahmen zur Reduzierung der Stressmigrationsanfälligkeit</b>			
	Quadratische Plattenstrukturen mit „Nasen“	Länge der „Nase“	7.2.2.1
	Plattenstrukturen mit redundanten Vias	Anzahl der Vias	7.2.2.2
<b>7.2.3 Stressmigrationsverhalten in Mehrlagenmetallisierungssystemen</b>			
	Gitterstrukturen in verschiedenen Konfigurationen und Metall-ebenen	Via in unterschiedlicher Metallebene	7.2.3
		Gitter unter bzw. über dem Via	
		Breite des Verbindungs-segmentes	
<b>7.2.4 Prozessfensteruntersuchungen bezüglich Designvariationen</b>			
	Via/Leitbahn-Überlapp-strukturen (Prozessfenster)	Überlapplänge	7.2.4.1
		Überlappvariation über bzw. unter dem Via	
	Plattenstrukturen mit variablem Via-Durchmesser (Prozessfenster)	Via-Durchmesser	7.2.4.2
		Plattengröße	

Tab. 6-2: Studien zur Untersuchung des Stressmigrationsverhaltens von Kupfermetallisierungen bezüglich Design und Designvariationen.

## **6.2 Übersicht der Studien zum Einfluss der Herstellungsprozesse**

Im Rahmen der Prozessintegration wird versucht, die Abfolge der verschiedenen Prozessmodule nebst Einzelprozessen dahingehend zu optimieren, dass bei Verwendung bestimmter Materialien und Abscheideverfahren die angestrebten technologischen Parameter möglichst kostengünstig erreicht werden können. Neben der Realisierung der elektrischen Parameter sind die Zuverlässigkeitsuntersuchungen wesentlicher Bestandteil der Technologiequalifikation. Im Allgemeinen wird meist über mehrere Lernzyklen ein optimaler Kompromiss zwischen der Realisierung bestimmter elektrischer Parameter und Performance auf der einen Seite und der Zuverlässigkeit für das spätere Produkt auf der anderen Seite gefunden (siehe auch Abb. 1-3). Auf Grundlage der Zuverlässigkeitsuntersuchungen werden Prozess-Schwächen behoben und Designvorschriften angepasst, um die geforderten Produktlebensdauern gewährleisten zu können.

Mit der Einführung von Kupfer als Metallisierung sowie anderer, neuartiger Materialkombinationen und Abscheideverfahren ergab sich zunächst die Notwendigkeit, grundlegende Zusammenhänge zwischen Prozessen bzw. Prozessänderungen und der daraus resultierenden Zuverlässigkeit des Leitbahnsystems zu studieren. Aus der Vielzahl der durchgeführten Experimente haben sich im wesentlichen 6 Prozessmodule mit insgesamt 14 verschiedenen Teilprozessen (Tab. 4-2) als besonders kritisch herausgestellt. Die potenziellen Einflüsse dieser Einzelprozesse auf die Zuverlässigkeit der Kupfermetallisierungen wurden bereits im Kapitel 4 diskutiert. Die dazugehörigen Experimente sind in Tabelle 6-3 zusammengefasst. Eine wesentliche Schlussfolgerung, die auf Basis der gemachten Ergebnisse gezogen werden kann, ist die Tatsache, dass Prozessänderungen, welche z.B. die Elektromigrationsfestigkeit erhöhen, nicht zwingend eine Verbesserung des Stressmigrations- oder Isolationsverhaltens nach sich ziehen müssen. Deshalb muss für eine ganzheitliche Betrachtung der späteren Produktzuverlässigkeit nach Möglichkeit der gesamte Umfang von Tests durchgeführt werden, welcher Untersuchungen zum Elektromigrations-, Stressmigrations- und Isolationsverhalten einschließlich bestimmter Designaspekte umfasst.

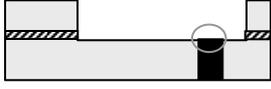
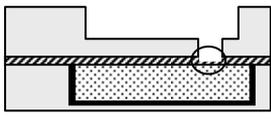
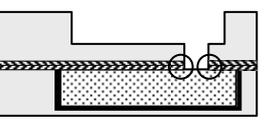
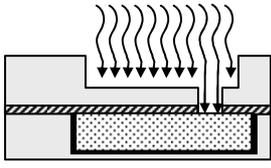
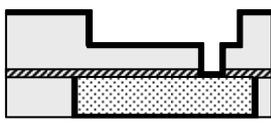
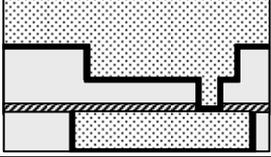
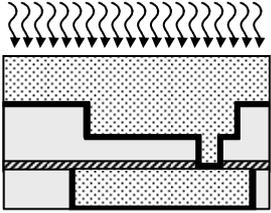
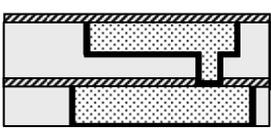
Zuverlässigkeitsstudien zum Einfluss verschiedener Einzelprozesse				
Skizze	Einzelprozess	Prozessvariationen	Umfang der Studien	Kapitel
	Single-Damascene Grabenätzung auf W-Kontakt (Teilprozesse III, IV)	Unterschiedliche Ätzintensitäten	Elektromigration Stressmigration	8.1
	Dual-Damascene Via-Ätzung (Teilprozess III)	Strukturierung des Via-Lochs mit unterschiedlicher Ätzselektivität	Elektromigration Stressmigration	8.2.1
	Deckschichtöffnung (Teilprozess IV)	Öffnung der SiN-Deckschicht mit unterschiedlicher Ätzselektivität	Elektromigration Stressmigration	8.2.2
	Liner-Pre-Clean (Teilprozess V)	Mit bzw. ohne nass-chemischer Pre-Clean	Elektromigration	8.3.1
		Sputter Pre-Clean mit H <sub>2</sub> -bzw. Ar-Plasma	Elektromigration ( $n, E_a$ )	8.3.2
	Linerabscheidung (Teilprozess VI)	Linermaterial: Ta TaN/Ta Ta/TaN/Ta	Elektromigration Textur	8.4.1
		PVD-Abscheideart: Standard-PVD, IMP, SIP	Isolation Elektromigration Stressmigration	8.4.2
	Elektrolytische Kupferabscheidung (Teilprozess VIII)	Unterschiedliche Zusammensetzung des Elektrolyten und der Additive	Elektromigration TCR	8.5
	Post-Plating Anneal (Teilprozess IX)	Unterschiedliche Anneal-Temperaturen	Korngrößen TCR Elektromigration Stressmigration	8.6
	SiN-Deckschichtabscheidung (Teilprozesse XIII, XIV)	Pre-Clean Art und Plasma-Intensität	Mikrostruktur TCR Elektromigration	8.7
		SiN-Abscheideart	( $n, E_a$ ) Stressmigration	

Abb. 6-3: Studien zur Untersuchung des Einflusses bestimmter Einzelprozesse auf die Zuverlässigkeit von Kupfermetallisierungen.

## **7 Einfluss des Metallisierungsdesigns von Kupfermetallisierungen auf deren Zuverlässigkeit**

Auf Grund der unterschiedlichen Auswirkungen von Designaspekten auf die verschiedenen Ausfallmechanismen werden die Zuverlässigkeitsuntersuchungen getrennt hinsichtlich des Elektromigrations- bzw. Stressmigrationsverhaltens diskutiert. Die Studien zur Degradation des Metallisierungssystems durch Elektromigration werden in folgende Schwerpunkte unterteilt (vgl. Tab. 6-1):

- Leitbahnstrukturen ohne Via (Kap. 7.1.1)
- Leitbahnstrukturen mit Einzel-Via (Kap. 7.1.2)
- Leitbahnstrukturen mit mehreren Vias (Kap. 7.1.3)

Studien zur Stressmigration gliedern sich wie folgt (vgl. Tab. 6-2):

- Effekt des aktiven Volumens (Kap. 7.2.1)
- Maßnahmen zur Reduzierung der Stressmigrationsanfälligkeit (Kap. 7.2.2)
- Verhalten von Mehrlagenmetallisierungssystemen (Kap. 7.2.3)
- Prozessfenster bezüglich Via-Durchmesser und Via-Überlapp (Kap. 7.2.4)

### **7.1 Studien zur Untersuchung des Elektromigrationsverhaltens in Abhängigkeit des Metallisierungsdesigns**

#### **7.1.1 Untersuchungen an reinen Leitbahnen unterschiedlicher Breite**

Innerhalb einer Integrierten Schaltung stellt eine Leitbahn ohne Vias das einfachste Grund-Element in der Metallisierung dar. Bei einer Einlagenmetallisierung entspräche diese Situation einer Verbindung von einem Pad zum anderen. Aber auch in Mehrlagensystemen, in denen der Strom stets über Vias in die unteren Metall-Lagen verteilt wird, ist die „reine“ Leitbahn ein realistischer Grenzfall. In Produkten findet man diese Designkonfigurationen beispielsweise in langen Power-Verdrahtungen und Bus-Systemen, bei denen ein großer Gesamtstrom über einen unkritischen Pad-Stapel in eine breite Bahn eingespeist wird, der sich dann sukzessive über eine Vielzahl einzelner Stromabgriffe verzweigt. Bei dieser Art von Versorgungssystemen werden hohe Stromdichten nur im Bereich der Busleitung, nicht jedoch an den Abgriffen geführt.

Bei der Durchführung von Elektromigrationstests an reinen Leitbahnstrukturen (Abb. 2-10) ist zu berücksichtigen, dass es auf Grund der notwendigen hohen Belastungsstromdichten zu einer recht erheblichen Erwärmung von bis zu 50°C in der Metallisierung kommen kann. Neben der Stress-Stromdichte ist die Größe dieser Joule'schen Erwärmung von der Breite und der Umgebung der jeweiligen Struktur abhängig. Um die einzelnen Ergebnisse vergleichbar zu machen, wurden die gemessenen Ausfallzeiten stets auf eine einheitliche Referenztemperatur von 300°C normiert.

Untersuchungen zum Elektromigrationsverhalten reiner Leitbahnstrukturen ohne Vias ergaben, dass die mittlere Ausfallzeit im Falle der Damascene Architektur nahezu unabhängig von der jeweiligen Breite der Struktur ist. Wie aus Abbildung 7-1 hervorgeht, schwanken die an S-Bahn-Strukturen bei 45mA/μm<sup>2</sup> ermittelten (normierten) Ausfallzeiten in einem engen Band um einen Wert von etwa 800h. Dies ist unabhängig davon, aus welcher Technologiegeneration die Damascene Leitbahn stammt. Selbst Leitbahnen mit einer Bahnbreite von 63nm zeigen vergleichbare Ausfallzeiten wie die der 0.35μm und 0.18μm Generation mit Breiten zwischen 0.24 und 8.0μm. Ein ähnliches Verhalten wird auch für die Aktivierungsenergie gefunden. Hier wurde beobachtet, dass über einen sehr großen Bereich (63nm, 0.55μm, 4μm) nahezu ein und derselbe Wert (0.83eV, 0.82eV, 0.84eV) gefunden wird. Dies begründet sich damit, dass die SiN-Deckschicht jeweils mit vergleichbaren

Abscheideparametern prozessiert wurde und sich so stets vergleichbare Grenzflächeneigenschaften des Hauptdiffusionspfades einstellen.

Ausfallverteilungen, welche typischerweise an reinen Leitbahnen erhalten werden, weisen Formfaktoren ( $\sigma$ ) zwischen 0.4 und 0.6 auf, die in der Regel etwas größer als die von Via-Strukturen sind. Die relativ geringen Werte für die Aktivierungsenergie ( $\sim 0.83\text{eV}$ ) und den Stromdichteexponenten ( $\sim 1.1$ ) sind darauf zurückzuführen, dass sämtliche in dieser Studie verwendeten Metallisierungen aus einem relativ frühen Prozess-Stadium stammen. Trotzdem ergeben sich für die auf Betriebsbedingungen extrapolierten maximalen Strombelastbarkeiten extrem hohe Werte. Im diskutierten Fall ermittelt man gemäß Gleichung 20 einen zulässigen Stromdichte-Wert ( $j_{use}$ ) von etwa  $230\text{mA}/\mu\text{m}^2$  bei Verwendung eines typischen Targetsatzes und Formfaktors ( $T_{op}=100^\circ\text{C}$ ,  $t_{EOL}=100.000\text{h}$ ,  $cdf_{max}=1\text{ppm}$ ,  $\sigma=0.5$ ). Dieser ermittelte Wert hat jedoch in gewisser Weise einen künstlichen Charakter. Er berücksichtigt nicht die mit ihm verbundene Joule'sche Erwärmung, die in diesem konkreten Fall zwangsläufig zu einem Aufschmelzen der Leitbahn führen würde. Um dies zu vermeiden, werden im Design-Manual spezielle Stromwerte definiert, die die Joule'sche Erwärmung nur bis zu einer gewissen Höhe (meist 5K) erlauben. Da diese Stromdichten weit unterhalb der bestimmten  $j_{use}$  Werte liegen, sind komplexe Integrierte Schaltungen unter Betriebsbedingungen in der Regel unkritisch bezüglich Ausfällen durch Elektromigration in reinen Leitbahnen.

Ergänzend sei an dieser Stelle darauf hingewiesen, dass bei anderen Integrationsverfahren eine veränderte Abhängigkeit der Elektromigrationsausfallzeiten von der Leitbahnbreite zu beobachten ist. Wie der Autor in einer Studie nachwies, steigen die Ausfallzeiten im Falle einer RIE und Lift-Off-Strukturierung mit zunehmender Leitbahnbreite an – zeigen also nicht die an Damascene beobachtete Invarianz [F]. Dies liegt an einer zunehmenden Dominanz der Cu/SiN-Grenzfläche und damit des Hauptmigrationspfades bei immer kleiner werdenden Bahnbreiten.

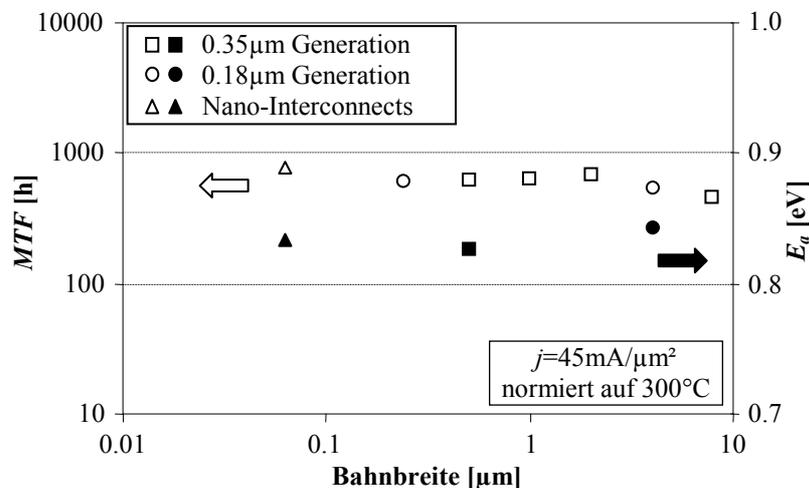


Abb. 7-1: Bei konstanter Stromdichte und Temperatur sind die mittleren Ausfallzeiten  $MTF$  von Damascene-Leitbahnen (S-Bahn,  $L=8\text{mm}$ ) unabhängig von der jeweiligen Breite. Dasselbe gilt für die Aktivierungsenergien ( $E_a$ ) ermittelt bei Ofentemperaturen von 170, 250, 300°C.

### 7.1.2 Untersuchungen an Via/Leitbahn-Strukturen mit Einzel-Via

Neben den einigen Mikrometer breiten und mehreren Millimeter langen Powerbusverdrahtungen stellen Via-Übergänge auf schmale Leitbahnen einen weiteren Grenzfall im Schaltungsdesign dar. Um hohe Packungsdichten zu erreichen, ist es letztendlich notwendig, die individuellen Transistorelemente einer Integrierten Schaltung über einzelne Kontakte bzw. Vias und schmale Bahnsegmente über mehrere Ebenen miteinander zu verdrahten. Auf Grund der Existenz makroskopischer Flussdivergenzen (vgl. Abb. 2-6) stellen solche Via/Leitbahn-Übergänge bezüglich Elektromigration in der Praxis den kritischsten Fall

dar. Bei den Via/Leitbahn-Strukturen mit nur einem Via sind dann noch einmal zwei verschiedene Typen von kritischen Konstruktionen zu unterscheiden (vgl. Kap. 2.1.3.2):

- Aus technologischer Sicht sind Leitbahnen mit minimaler Breite (meist  $w=\varnothing_{\text{Via}}$ ) die größte Herausforderung, die sich insbesondere aus der Lithografie und dem Auffüllen der Damascene Gräben bei hohen Aspektverhältnissen ergibt
- Aus Sicht der Strombelastung des einzelnen Vias ist der kritischste Fall in einer Leitbahn zu sehen, deren Breite dicht unterhalb der dreifachen Minimalbreite ( $w\sim 3\cdot\varnothing_{\text{Via}}$ ) liegt, bei der noch kein zusätzliches Via entlang der Bahnbreite gesetzt werden kann.

Da das Voiding-Szenario bei Via/Leitbahn-Strukturen von der Stromrichtung durch das Via abhängt, müssen bei den Designstudien Up- und Downstream-Fall getrennt untersucht werden (vgl. Abb. 2-13). Dies wird erreicht, indem jeweils nur eine Ebene der Teststruktur kritisch bezüglich Ausfall durch Elektromigration ist (vgl. Tab. 2-5).

Auf Grund des Blech-Effektes wird an Leitbahnen mit nur wenigen Mikrometern Länge eine erhöhte Elektromigrationsresistenz erwartet, welche eine höhere Gleichstrombelastung unter Betriebsbedingungen erlaubt. Da Via/Leitbahn-Konstruktionen mit Einzel-Vias und kurzen Anschlüssen ein häufig vorkommendes Grundelement z.B. bei der Verschaltung von Transistoren über die unteren Metallisierungsebenen darstellt, sind Studien zur Blech-Länge besonders wertvoll, um für diese Designsituationen erhöhte Stromwerte zuzulassen bzw. signifikante Flächenreduktionen zu ermöglichen.

#### 7.1.2.1 Schmale Via/Leitbahn-Strukturen mit Einzel-Via

Bei Belastungstests an Via-Strukturen beobachtet man zunächst deutlich kleinere Ausfallzeiten als bei reinen Leitbahnen, die mit deutlich geringeren  $j_{\text{use}}$ -Werten einhergehen. Sofern die Hardware mit einem hinreichend ausgereiften Prozess hergestellt wird, findet man für beide Stromrichtungen stets monomodale Ausfallverteilungen (Abb. 7-2). Charakteristisch für Via-Strukturen mit schmalen Bahnen ( $w=\varnothing_{\text{Via}}$ ) ist die Tatsache, dass die Ausfallzeiten bei Downstream-Belastung um etwa einen Faktor 3 geringer ausfallen als bei Vias mit inverser Stromrichtung (upstream). Darüberhinaus ist der Formfaktor ( $\sigma$ ) für den Downstream-Fall tendenziell etwas größer (Tab. 7-1). Keine systematischen Unterschiede ergeben sich für die Aktivierungsenergie bzw. den Stromdichteexponenten. Hier beobachtet man für beide Stromrichtungen etwa dieselben Werte von  $E_a=0.9\text{eV}$  bzw.  $n=1.5\dots 1.6$ . Beide Parameter sind typisch für elektrolytisch abgeschiedenes Kupfer mit einer PECVD-SiN-Deckschicht (vgl. Kap. 2.1.1).

Entsprechend der bestimmten Ausfallzeiten und Extrapolationsparameter ergeben sich für die Stromrichtungen unterschiedliche zulässige Strombelastungswerte ( $j_{\text{use}}$ ). Für typische Betriebsbedingungen erhält man 120 bzw. 44mA/ $\mu\text{m}^2$  für den Upstream- bzw. Downstream-Fall (Tab. 7-1). Der daraus resultierende absolute Strom, der durch die Leitbahn bzw. das einzelne Via geschickt werden darf, ermittelt sich unter Zuhilfenahme eines definierten, effektiven Leitbahnquerschnitts (vgl. Tab. 5-2) zu 9.4mA bzw. 3.4mA (Tab. 7-1).

Da in derzeitigen Designsystemen die zulässigen Stromwerte pro Via bzw. Leitbahn meist nicht bezüglich der Stromrichtung unterschieden werden, stellt im Falle einer Via/Leitbahn-Struktur der für den Downstream-Fall ermittelte Wert das Limit dar. Diese Vereinfachung ist in der Praxis notwendig, da oftmals bei der Erstellung des Layouts nicht vorhersagbar ist, mit welcher Gleichstromkomponente das Via während des dynamischen Betriebes innerhalb der gesamten Produktlebensdauer betrieben wird. Nur wenn klar ist, dass ein bestimmter unidirektionaler Strom am Via vorliegt, kann man im Falle der Upstream-Richtung einen Bonusfaktor für den Strom definieren. Ansonsten sollte im Designsystem von dem „worst-case“ Fall einer Downstream-Belastung ausgegangen werden.

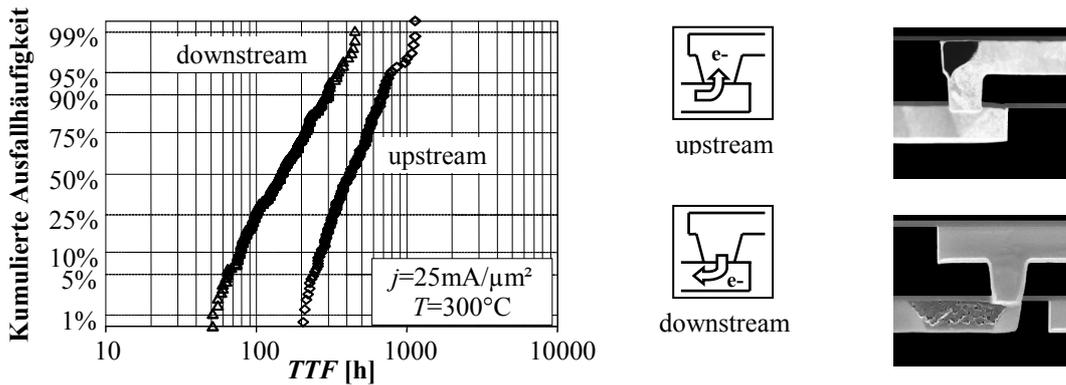


Abb. 7-2: Ausfallverteilungen von Via-Strukturen mit schmalen Leitbahnen ( $w=\varnothing_{\text{via}}=0.28\mu\text{m}$ ). Für beide Stromrichtungen ergeben sich monomodale Verteilungen (Leitbahn-Voiding). Strukturen mit Downstream-Belastung haben um einen Faktor 3 geringere Ausfallzeiten.

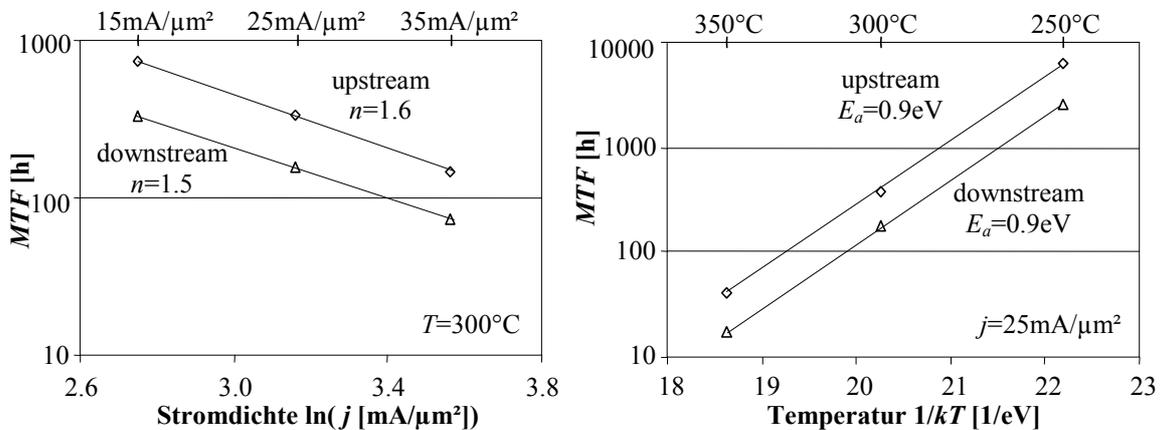


Abb. 7-3: Stromdichteexponenten  $n$  und Aktivierungsenergien  $E_a$  für Via-Strukturen mit schmalen Leitbahnen ( $w=0.28\mu\text{m}$ ) sind nahezu unabhängig von der Stromrichtung ( $n=1.5\dots 1.6$ ,  $E_a=0.9\text{eV}$ ).

Stromrichtung	Metallebene	Breite $w$ [ $\mu\text{m}$ ]	Eff. Querschnitt [ $\mu\text{m}^2$ ]	MTF [h]	$\sigma$	$n$	$E_a$ [eV]	$j_{\text{use}}$ [ $\text{mA}/\mu\text{m}^2$ ]		$I_{\text{use}}$ [mA]	
								100°C	125°C	100°C	125°C
upstream	M2	0.28	0.078	430	0.38	1.6	0.9	120	40	9.4	3.1
downstream	M2	0.28	0.078	150	0.51	1.5	0.9	44	14	3.4	1.1

Tab. 7-1: Ausfallzeiten (MTF) und Formfaktoren ( $\sigma$ ) von Einzel-Via-Strukturen mit schmaler Leitbahn belastet bei  $25\text{mA}/\mu\text{m}^2$  und  $300^\circ\text{C}$ . Die extrapolierten Stromdichten unter Betriebsbedingungen ( $t_{\text{EOL}}=100.000\text{h}$ ,  $\text{cdf}_{\text{max}}=1\text{ppm}$ ,  $T_{\text{Op}}=100^\circ\text{C}$  bzw.  $125^\circ\text{C}$ ) sind im upstream Fall 3x höher als bei downstream. Aus den Stromdichten resultieren bei Verwendung effektiver Kupferquerschnitte (vgl. Tab. 5-1) absolute Ströme  $I_{\text{use}}$ , mit denen die Leitbahn bzw. das Via maximal belastet werden dürfen.

### 7.1.2.2 Via/Leitbahn-Strukturen unterschiedlicher Breite mit Einzel-Via

Neben Via/Leitbahn-Strukturen mit minimalen Bahnbreiten, welche aus technologischer Sicht Probleme bereiten können, sind aus Designsicht insbesondere breite Bahnen kritisch, wenn sie über ein einzelnes Via angeschlossen werden. Wie im vorigen Kapitel bereits gezeigt wurde, stellt der Downstream-Fall die limitierende Konfiguration dar, weshalb im Folgenden das Elektromigrationsverhalten von breiten Leitbahnen ( $w=0.76\mu\text{m}$ ) mit Einzel-Via ( $\varnothing_{\text{via}}=0.28\mu\text{m}$ ) mit dieser Stromrichtung näher untersucht werden soll.

Wie aus Abbildung 7-4 hervorgeht, zeigen Vias, die auf breite Leitbahnen angeschlossen sind, bei gleicher Leitbahnstromdichte deutlich geringere Ausfallzeiten. Der Formfaktor ( $\sigma$ ) liegt in der Regel leicht über dem von Strukturen mit minimaler Leitbahnbreite. Solange die Hardware aus ein und demselben, ausgereiften Prozess stammt, ergeben sich nahezu dieselben

Werte für die Aktivierungsenergie und den Stromdichteexponenten ( $E_a=0.9\text{eV}$ ,  $n=1.4$ ) wie für Strukturen mit minimaler Breite (Abb. 7-5).

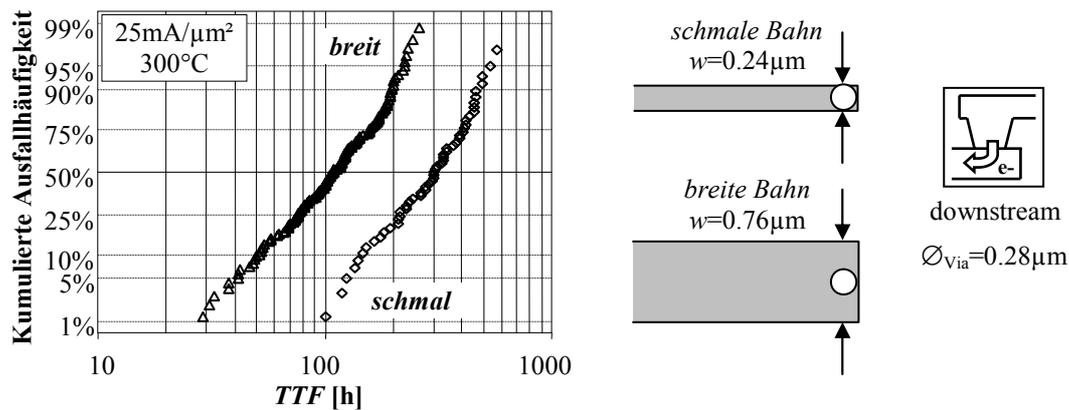


Abb. 7-4: Ausfallverteilungen von downstream-belasteten Via-Strukturen unterschiedlicher Bahnbreite. Auf breite Leitbahnen angeschlossene Einzel-Vias zeigen deutlich kürzere Ausfallzeiten. Die Stress-Stromdichte bezieht sich jeweils auf den effektiven *Leitbahnquerschnitt*.

Die kleineren Ausfallzeiten an breiten Bahnen korrespondieren direkt mit einer reduzierten zulässigen Designstromdichte ( $j_{use}$ ). Für typische Betriebsbedingungen erhält man hierbei einen Wert von etwa  $32\text{mA}/\mu\text{m}^2$ , im Vergleich zu  $80\text{mA}/\mu\text{m}^2$  bei Minimalbreite (Tab.7-2). Unter Einbeziehung der effektiven Leitbahnquerschnitte ergeben sich aus diesen Stromdichten absolute Ströme  $I_{use}$  von  $4.9\text{mA}$  für schmale bzw.  $6.7\text{mA}$  für breite Bahnen, d.h. eine 3.2-fach breitere Leitbahn kann nur den 1.4-fachen Strom tragen. In der Konsequenz heißt dies, dass im Design-Manual berücksichtigt werden muss, dass bei einer Vergrößerung der Breite einer Leitbahn mit Einzel-Via der Gewinn an absolutem Strom nicht mehr proportional zur Erhöhung des Leitbahnquerschnittes ist. Bezüglich des  $j_{use}$  Wertes ist sogar ein Abfall mit zunehmender Bahnbreite festzustellen. Dementsprechend aufmerksam ist dieser Wert während einer Technologieentwicklung experimentell zu untersuchen.

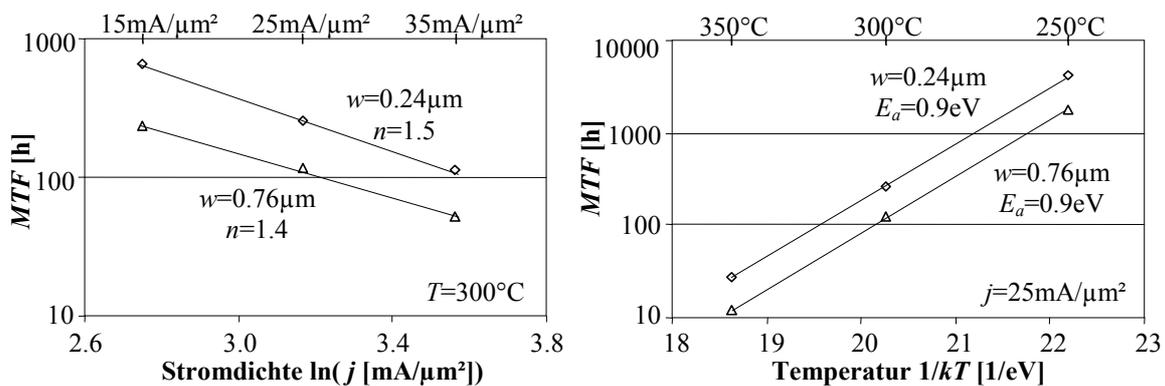


Abb. 7-5: Stromdichteexponenten ( $n$ ) und Aktivierungsenergien ( $E_a$ ) von downstream-belasteten Via-Strukturen mit breiten Leitbahnen. Bei Testmaterial mit identischem Prozess ergeben sich für breite Bahnen nahezu dieselben Werte ( $E_a=0.9\text{eV}$ ,  $n=1.4$ ) wie für Bahnen mit minimaler Breite ( $w=0.24\mu\text{m}$ ).

Strom-richtung	Metall-ebene	Breite $w$ [ $\mu\text{m}$ ]	Eff. Quer-schnitt [ $\mu\text{m}^2$ ]	MTF [h]	$\sigma$	$n$	$E_a$ [eV]	$j_{use}$ [ $\text{mA}/\mu\text{m}^2$ ]		$I_{use}$ [mA]	
								100°C	125°C	100°C	125°C
downstream	M1	0.24	0.061	280	0.45	1.5	0.9	80	25	4.9	1.5
downstream	M1	0.76	0.209	110	0.55	1.4	0.9	32	9	6.7	1.9

Tab. 7-2: Ausfallzeiten ( $MTF$ ) und Formfaktoren ( $\sigma$ ) von Einzel-Via-Strukturen unterschiedlicher Breite belastet bei  $25\text{mA}/\mu\text{m}^2$  und  $300^\circ\text{C}$ . Die extrapolierten Stromdichten ( $j_{use}$ ) unter Betriebsbedingungen ( $t_{EOL}=100.000\text{h}$ ,  $cdf_{max}=1\text{ppm}$ ,  $T_{Op}=100^\circ\text{C}$  bzw.  $125^\circ\text{C}$ ) sind im Falle breiter Bahnen um einen Faktor 2.5 kleiner. Daher ergeben sich trotz 3.2-facher Breite nur 1.3-fach höhere Betriebsströme ( $I_{use}$ ) verglichen mit schmalen Bahnen.

### 7.1.2.3 Leitbahnlängenabhängigkeit (Blech-Effekt)

Mit der Einführung von Kupfer als Metallisierungsmaterial in hochintegrierten Schaltungen war zunächst nicht vorhersagbar, ob der Blech-Effekt (vgl. Kap 2.1.1.3), der seit Jahren für Aluminiummetallisierungen bekannt war und entsprechend bei der Erstellung von Designs berücksichtigt wurde, auch unter den neuen Gegebenheiten eines neuen Integrationschemas mit neuartigen Abscheideverfahren gültig sein würde. Um dies zu klären wurden Via/Leitbahn-Strukturen bestehend aus fünf unterschiedlich langen Bahnsegmenten (10, 30, 50, 100 und 300µm) minimaler Breite in einem Elektromigrationstest bis zum Ausfall belastet. Anschließend wurde an den einzelnen Strukturen mittels Fehleranalyse der Ort der Via- bzw. Leitbahnschädigung bestimmt und statistisch ausgewertet. Die optische Inspektion erfolgte mit Hilfe eines Lichtmikroskops. Eine Schädigung ist dabei definiert als eine im Lichtmikroskop sichtbare Materialverarmung unabhängig von der Größe des jeweiligen Voids. Erste Untersuchungen zum Blech-Effekt, die im Rahmen der Entwicklung der 0.35µm Technologie erfolgten, zeigten reproduzierbar, dass selbst kürzeste Leitbahnen bei moderaten Stressbedingungen durch Elektromigration geschädigt werden. Innerhalb der untersuchten Stichprobe stellte sich heraus, dass die Leitbahnsegmente mit einer Häufigkeit von 50 bis 70% von Elektromigration betroffen sind. Dabei traten die Schädigungen *unabhängig* von der Leitbahnlänge auf, wobei Voids gleichzeitig an unterschiedlichen Segmenten der Via-Kette zu beobachten waren.

Blech-Studie in einem frühem Entwicklungsstadium mit defektbehaftetem Via-Liner

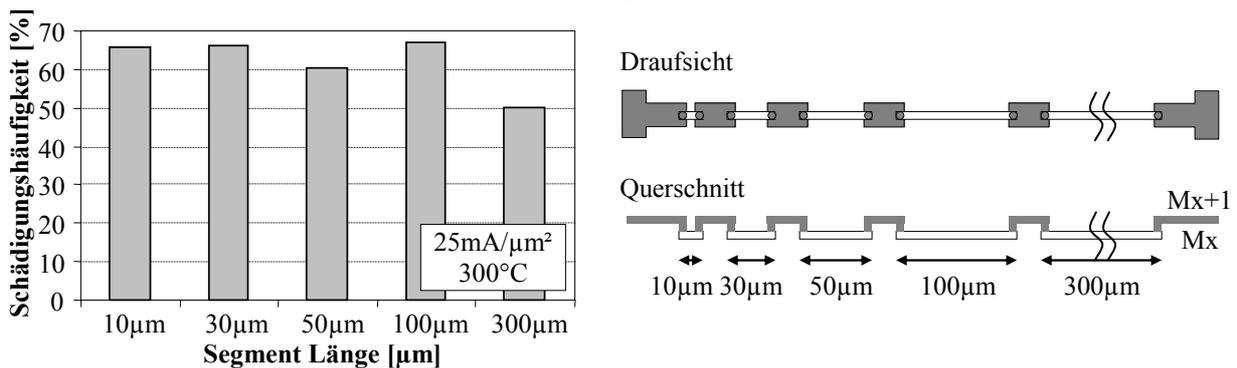


Abb. 7-6: Blech-Studie an Material der 0.35µm-Technologie in einem frühen Entwicklungsstadium. Leitbahnsegmente sämtlicher Längen sind mit einer Häufigkeit von 50...70% von Schädigung durch Elektromigrations-Voids betroffen (links). An der Via-Kette treten auch Mehrfachschädigungen auf (Abb. 7-8).

Blech-Studie in einem späten Entwicklungsstadium mit intaktem Via-Liner

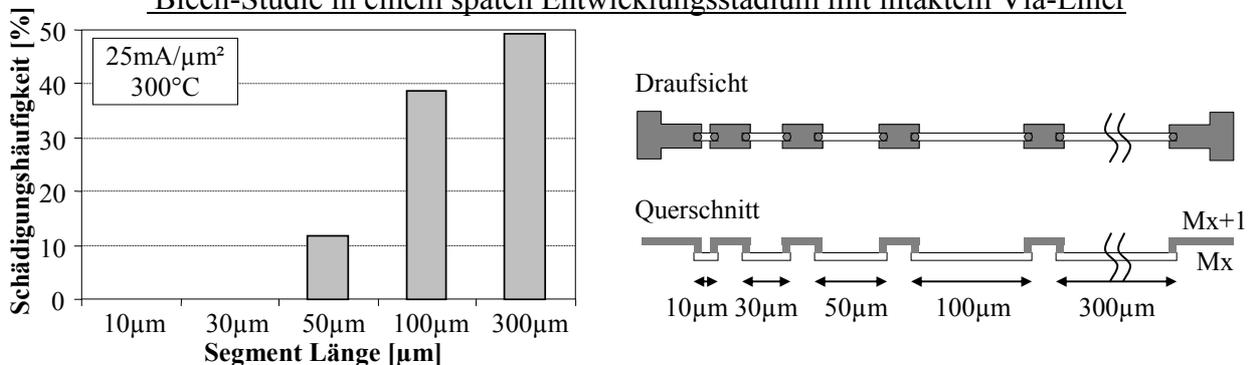


Abb. 7-7: Blech-Studie an Material aus 0.35µm Technologie mit ausgereiftem Zielprozess. In der Via-Kette werden nur noch Segmente ab 50µm Länge durch Elektromigration geschädigt. Die Schädigungshäufigkeit wächst mit zunehmender Leitbahnlänge.

Erst im weiteren Verlauf der Technologieentwicklung konnte ein ausgeprägter Kurzlängeneffekt beobachtet werden (Abb. 7-7). Dieser kann mit der zunehmenden Prozessreife erklärt werden, die sich insbesondere in einer homogeneren Via-Ätzung, effektiveren Reinigungsverfahren und einer verbesserten Linerabscheidung äußert. Mit diesem ausgereiften Prozess zeigte sich, dass nun bei denselben Belastungsbedingungen stets nur noch ein einziges Segment der Via-Kette durch Elektromigrations-Voids geschädigt wurde. Degradation an den kürzesten Abschnitten (10 und 30µm) war nicht mehr festzustellen. Erst bei Längen von 50µm war eine Schädigung an etwa 10% der untersuchten Bausteine zu beobachten. Mit Zunahme der Leitbahnlänge auf 100 bzw. 300µm stieg die Schädigungshäufigkeit auf 40 bzw. 50% an.

Die Grenzlänge der Leitbahn von etwa 30µm, bei der keine Elektromigration mehr auftritt, korrespondiert bei der verwendeten Stress-Stromdichte von 25mA/µm<sup>2</sup> zu einem kritischen Stromdichte/Länge-Produkt  $(j \cdot L)_k \approx 7500\text{A/cm}$  (vgl. Gleichung (9)). Dieser Wert stimmt gut mit den in anderen Referenzen [127, 131] angegebenen Werten überein.

Das Ausbleiben des Kurzlängeneffekts im frühen Entwicklungsstadium kann primär mit der schlechten Linerqualität in Zusammenhang gebracht werden, die sich in Folge einer Überätzung des Vias sowie ungeeigneter Reinigungsschritte ergibt. Wegen der Unterbrechung des Liners im Via ist das Kupferreservoir der oberen Leitbahn nun mit dem Metallvolumen der darunter liegenden Leitbahn verbunden (Abb. 7-8). Die für den Blech-Effekt relevante Leitbahnlänge ist somit nicht mehr durch den Abstand zwischen den Vias gegeben, sondern durch die Gesamtlänge dieses durchgängigen Kupfervolumens. Der Blech-Effekt wird auf diese Weise „ausgeschaltet“, wenn kurze Leitbahnen mit einem zusätzlichen Materialvolumen angeschlossen werden.

In der industriellen Praxis findet der Blech-Effekt meist nur in sehr vereinfachter Weise Berücksichtigung. Üblicherweise lässt man im Design-Manual für Leitbahnen kürzer als 10µm einen um den Faktor 2 bis 10 höheren Betriebsstrom zu. Aus prozesstechnischer Sicht muss jedoch gewährleistet sein, dass die in Abbildung 7-8 dargestellte Situation eines nicht geschlossenen Via-Liners vermieden wird. Dies ist von besonderer Bedeutung, da in der letzten Zeit immer wieder Damascene Integrationsverfahren vorgestellt werden, bei denen gezielt ein „bottom-less“ Liner angestrebt wird, bei dem die Barriere am Via-Boden praktisch nicht mehr existent ist.

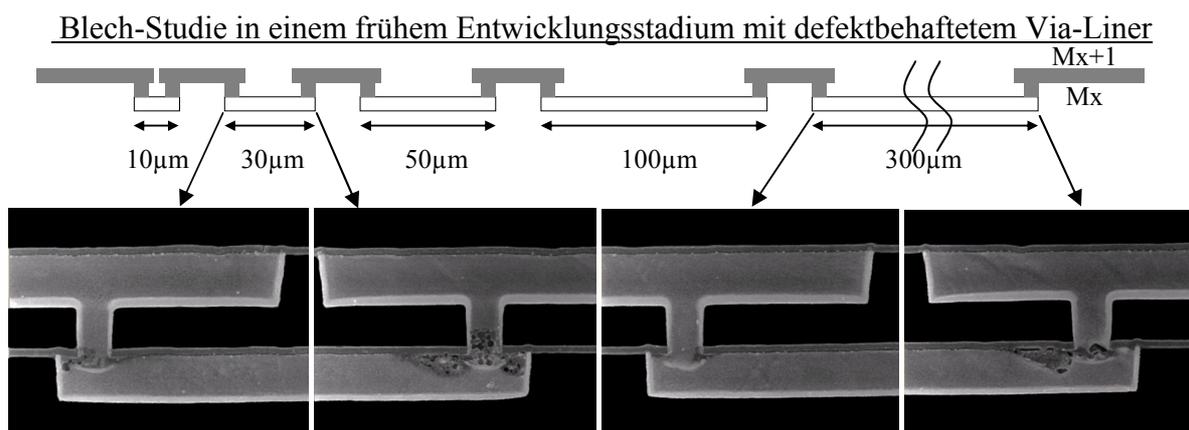


Abb. 7-8: „Ausschaltung“ des Kurzlängeneffektes in einer Via-Kette aus Material der 0.35µm Technologie. Durch Unterbrechung des Liners am Via-Boden werden kurze Leitbahnen an ein zusätzliches Metallvolumen angeschlossen, was zur Erhöhung der effektiven Länge des Kupferabschnittes führt. Dies verhindert das Auftreten des Blech-Effektes.

#### 7.1.2.4 Einfluss des Via-Überlapps (Reservoireffekt)

Ein bekanntes Phänomen bei Aluminiummetallisierungen ist die Tatsache, dass sich die Elektromigrationsausfallzeiten erhöhen, wenn an der Verarmungsseite (Kathode) ein für den Migrationsvorgang zusätzliches Metallvolumen zur Verfügung gestellt werden kann. Dieser „Reservoireffekt“ ermöglicht es, durch das gezielte Einbringen zusätzlicher, nicht für den eigentlichen, elektrischen Betrieb notwendiger Metallreservoirs, die mittlere Lebensdauer und somit die Stromtragfähigkeit von Metallisierungen zu erhöhen [142, 143, F]. Schon durch das Einbringen relativ kleiner Zusatzreservoirs kann die Void-Bildung an den für den Strompfad kritischen Stellen hinausgezögert und damit insbesondere die Lebensdauer von Einzel-Via-Strukturen erheblich erhöht werden. Mit der Einführung von Kupfer war deshalb die Untersuchung des Reservoireffektes ein wichtiger Aspekt in der Technologieentwicklung zur Steigerung der Designströme.

Der Reservoireffekt in Kupfermetallisierungen soll am Beispiel von Überlappstudien an schmalen Leitbahnen ( $w \sim \varnothing_{\text{Via}}$ ) in Abhängigkeit von der Stromrichtung diskutiert werden. Es zeigt sich, dass das durch den Überlapp angebotene, zusätzliche Metallreservoir nur dann für den Migrationsvorgang (und somit für die Erhöhung der Lebensdauer) relevant ist, wenn ein bestimmtes Fehlerszenario vorliegt. Beim Auftreten von Frühausfällen, wie z.B. Via-Voids oder schlitzförmige Voids kann kein Material aus dem Zusatzvolumen die Verarmungsgebiete auffüllen und so kann der Reservoireffekt nicht genutzt werden. Da das Auftreten dieser Frühausfälle entscheidend durch die Prozessreife bestimmt ist, ist die Beobachtung des Reservoireffektes vom Entwicklungsstadium der Technologie abhängig.

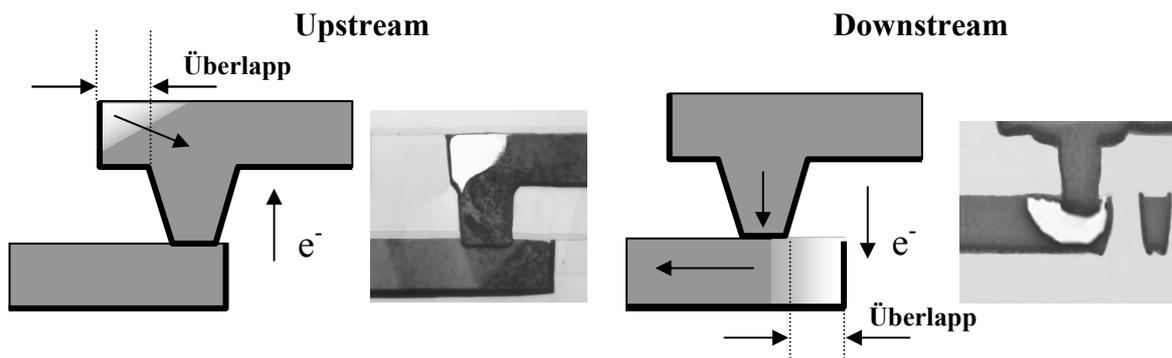


Abb. 7-9: Reservoireffekt bei Dual-Damascene Kupfermetallisierungen mit Einzel-Via. Bei Upstream- bzw. Downstream-Belastung kann das durch den oberen bzw. unteren Via-Überlapp gebildete zusätzliche Metallvolumen für den Migrationsprozess genutzt werden. Bei Anwesenheit von Frühausfallmechanismen (Via-Voiding bzw. schlitzförmiges Voiding) wird dies verhindert.

#### Überlappstudien bei Upstream-Belastung

Bei Upstream-Belastung steht das Auftreten des Reservoireffektes unmittelbar mit der Unterdrückung des Via-Voidings in Zusammenhang. Wie in Abbildung 7-10 dargestellt, sind die mittleren Ausfallzeiten unabhängig vom jeweiligen Überlapp, wenn die Strukturen ausschließlich durch Voiding am Via-Boden ausfallen. In diesem Fall kann das durch den Überlapp gebildete Zusatzvolumen nicht „angezapft“ werden und hat entsprechend keinen verzögernden Einfluss auf den Ausfall der Via-Struktur. Gelingt es aber durch eine Prozess-Optimierung, das Auftreten dieser Via-Voids vollständig zu unterdrücken, so wird der Ausfall der Via/Leitbahn-Struktur durch Voiding in der Leitbahn herbeigeführt. Nukleieren die Voids oberhalb des Vias, kann das verarmte Gebiet durch Material aus dem Überlappvolumen aufgefüllt werden. Dadurch bildet sich das Void zunächst in dem elektrisch inaktiven Überlappgebiet, wächst erst danach in die Via-Region hinein und verursacht auf diese Weise einen verzögerten Widerstandsanstieg in der Struktur. Im dargestellten Fall erhöht sich die mittlere Ausfallzeit um den Faktor 2, wenn der Überlapp von 0.0 auf 0.7  $\mu\text{m}$  vergrößert wird.

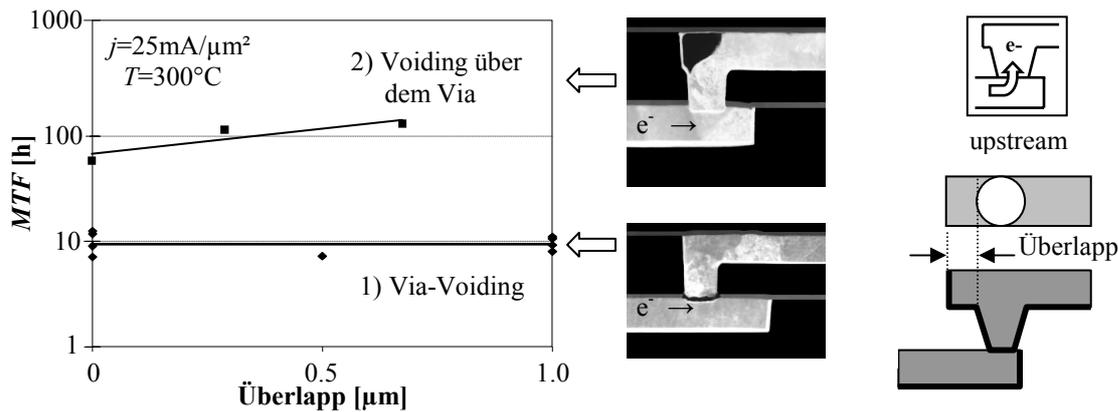


Abb. 7-10: Einfluss des Via-Überlapps auf die mittleren Elektromigrationsausfallzeiten bei Upstream-Belastung an schmalen Einzel-Via-Strukturen. Bei Voiding am Via-Boden kann das Reservoir nicht angezapft werden und die Ausfallzeiten sind unabhängig vom jeweiligen Überlapp (1). Bei Voiding über dem Via kann das migrierte Kupfer durch Material aus dem Überlapp ersetzt werden, was zur Erhöhung der Ausfallzeit führt (2).

### Überlappstudien bei Downstream-Belastung

Im Falle der Downstream-Belastung wird der Ausfall von Via-Strukturen mit schmalen Leitbahnen durch Voiding direkt unter dem Via hervorgerufen. Da bei diesen schmalen Strukturen durch den guten Kontakt zwischen dem Via und dem Liner der darunter liegenden Leitbahn im Allgemeinen keine Frühausfälle auftreten, wird auch in dieser Konfiguration meist ein ausgeprägter Reservoireffekt beobachtet. Identisch zum Fall der Upstream-Belastung erhöht sich die mittlere Ausfallzeit um den Faktor 2, wenn der Überlapp von 0.0 auf 0.7μm verlängert wird (Abb. 7-11).

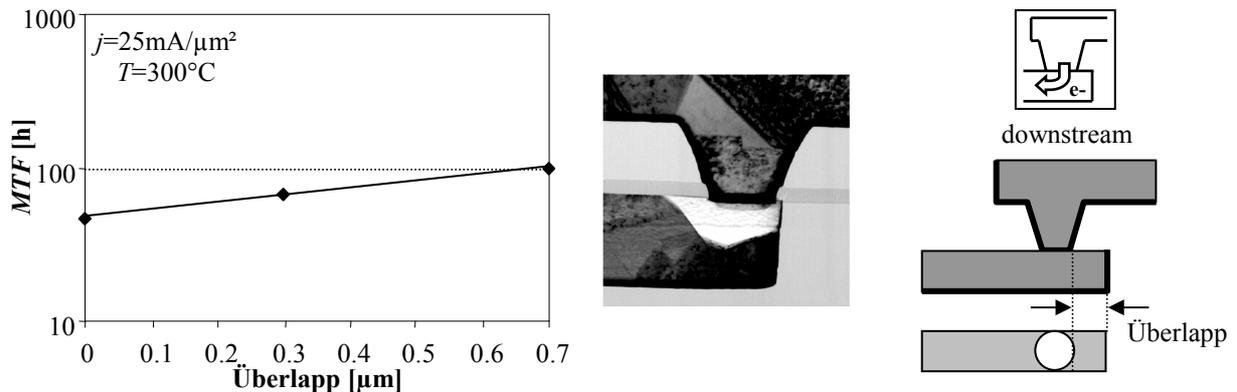


Abb. 7-11: Vergrößerung der mittleren Elektromigrationsausfallzeiten bei Downstream-Belastung an schmalen Einzel-Via-Strukturen mit dem Via-Überlapp (Reservoireffekt).

### Schlussfolgerungen

Das Auftreten des Reservoireffektes sowohl an elektrolytisch hergestellten Dual-Damascene Kupferstrukturen als auch an PVD/RIE-prozessierten Aluminiumverdrahtungen kann als fundamentale Eigenschaft dieser Metallisierungssysteme angesehen werden. Auf mikroskopischem Maßstab wird dieses Phänomen mit dem Auftreten und Relaxieren lokaler mechanischer Spannungen in Zusammenhang gebracht [142]. Die durch eine Materialverarmung über dem Via hervorgerufene tensile Spannung im Kupfer wird durch die diffusive Verlagerung von Leerstellen in das nicht vom Strom durchflossene Gebiet mit geringerer Leerstellenkonzentration abgebaut.

Durch die Tatsache, dass der Reservoireffekt in Up- und Downstream-Richtung zu einer identischen Erhöhung der mittleren Ausfallzeiten führt, kann dieser im Design-Manual in einfacher Weise nutzbar gemacht werden. Die in den gezeigten Beispielen für beide Stromrichtungen beobachtete Lebensdauerverdopplung gestattet es z.B., den Designstrom für einen Einzel-Via-Anschluss um etwa 60% zu erhöhen, wenn der Überlapp von 0.0 auf 0.7μm

verlängert wird (mit  $n=1.5$ ). Solche Bonusfaktoren können dann in Abhängigkeit der jeweiligen Überlappgröße im Design-Manual festgelegt werden. Das Definieren dieser Boni setzt allerdings voraus, dass das Auftreten der prozessbedingten Frühausfälle ausgeschlossen werden kann. Ein entsprechender Nachweis ist in der Technologiequalifikation oder über ein so genanntes Linien-Monitoring zu erbringen. Hierdurch wird abgesichert, dass z.B. das Via-Voiding nur unterhalb eines definierten Defektdichtewertes liegt.

### 7.1.3 Untersuchungen an Via/Leitbahn-Strukturen mit mehreren Vias

Die Stromtragfähigkeit von Via/Leitbahn-Systemen kann erheblich gesteigert werden, wenn die Leitbahnen über eine Vielzahl von Vias angeschlossen werden. Dies kann mit drei verschiedenen Tatsachen begründet werden:

- Größeres für die Elektromigration zur Verfügung stehendes Kupferreservoir
- Weniger Strombelastung pro Via, aufgrund Stromaufteilung auf mehrere Vias
- Redundanzwirkung bei Ausfall eines Vias.

Die Auswirkung der Via-Anzahl sowie der Via-Positionierung auf das Elektromigrationsverhalten wurde an Via/Leitbahn-Strukturen der  $0.13\mu\text{m}$  Generation in downstream Richtung untersucht. Die unterschiedlich breiten Via/Leitbahn-Konstruktionen wurden mit ein und derselben Stromdichte (stets bezogen auf den Leitbahnquerschnitt) bis zum Ausfall belastet (Tab. 7-3). Aus Abbildung 7-12 geht hervor, dass im Falle einer *schmalen* Leitbahn ( $w=\varnothing_{\text{Via}}=0.20\mu\text{m}$ ) sich die Ausfallzeiten mit steigender Anzahl von Vias signifikant erhöhen. Für die mittlere Ausfallzeit  $MTF$  ergibt sich ein linearer Zusammenhang mit der Via-Anzahl (Abb. 7-14). In dem untersuchten Bereich mit 1 bis 4 Vias gilt entsprechend:

$$MTF_{N \text{ Vias}} \sim N * MTF_{1 \text{ Via}} \quad (46) \quad N=1\dots 4$$

wobei  $MTF_{N \text{ Vias}}$  die Ausfallzeit mit  $N$  Vias und  $MTF_{1 \text{ Via}}$  die mit einem Via ist. Geht man (abweichend zu Abb. 7.12) von einem für alle Via-Konfigurationen konstanten Formfaktor ( $\sigma$ ) aus, so ergibt sich der für den Betrieb der Via/Leitbahn-Konstruktion maximal zulässige Design-Strom zu:

$$I_{\text{Via-Leitbahn}} = I_{1 \text{ Via}} * N^{1/n} \quad (47) \quad N=1\dots 4$$

wobei  $I_{1 \text{ Via}}$  der zulässige Designstrom der entsprechenden Einzel-Via-Struktur ist und  $n$  der Stromdichteexponent, welcher bei einem ausgereiften Prozess üblicherweise bei  $1.4\dots 1.6$  liegt. Die Gültigkeit von Gleichung (46) sollte zunächst nur auf die maximal untersuchte Via-Anzahl beschränkt werden. Für Leitbahnanschlüsse mit sehr vielen Vias ( $N \gg 4$ ) ist nach [149] davon auszugehen, dass die Strombelastung der einzelnen Vias nicht mehr homogen ist und demzufolge mit einer Sättigung der mittleren Ausfallzeit zu rechnen ist.

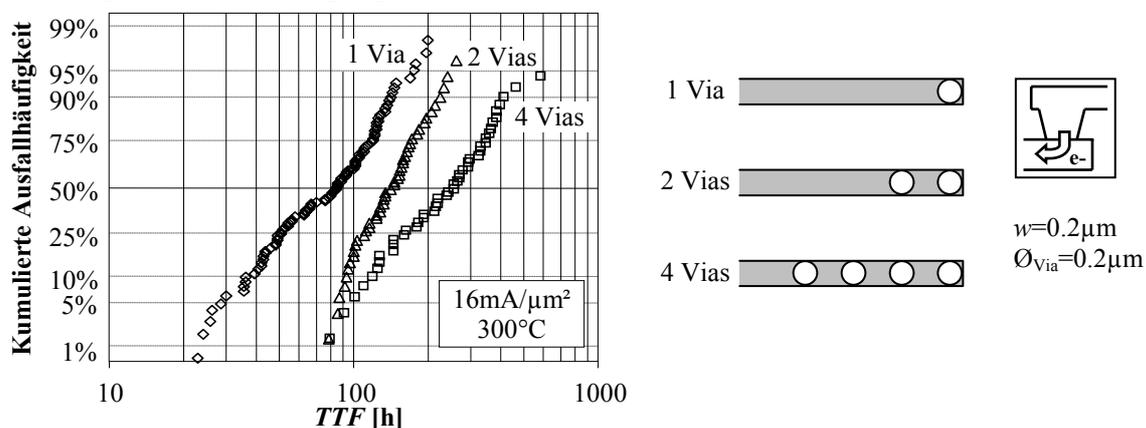


Abb. 7-12: Ausfallverteilungen von downstream-belasteten Via-Strukturen mit schmalen Leitbahnen und unterschiedlicher Via-Anzahl. Die mittlere Ausfallzeit ist proportional zur Anzahl der Vias.

Der Effekt des Anwachsens der Elektromigrationslebensdauer bei zunehmender Via-Anzahl ist auch an breiten Bahnen mit zwei bzw. vier Vias zu beobachten (Abb. 7-10). So ergibt sich beim Übergang von 2x1 auf 2x2 Via-Felder eine Zunahme der mittleren Ausfallzeit um den Faktor 3. Die Abhängigkeit der Lebensdauer von der Anzahl der Vias zeigt bei den breiten Bahnen somit ein ähnliches Verhalten wie bei den schmalen Leitbahnen (Abb. 7-11). Vergleicht man das Elektromigrationsverhalten von breiten Leitbahnen mit dem von schmalen bei gleicher Via-Anzahl und Stromdichte, so erkennt man auch hier das Absinken der Ausfallzeiten in breiten Bahnen – eine Beobachtung, die auch schon im Falle der breiten Leitbahn mit Einzel-Via Anschluss gemacht wurde (vgl. Kap. 7.1.2.2).

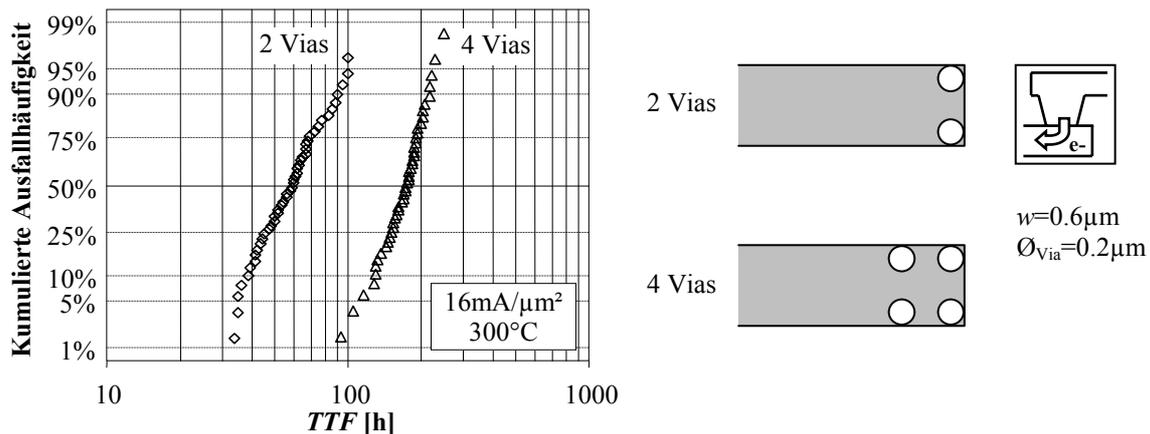


Abb. 7-13: Ausfallverteilungen von downstream-belasteten Via-Strukturen mit breiten Leitbahnen und unterschiedlicher Via-Anzahl. Die mittlere Ausfallzeit steigt mit der Anzahl der Vias.

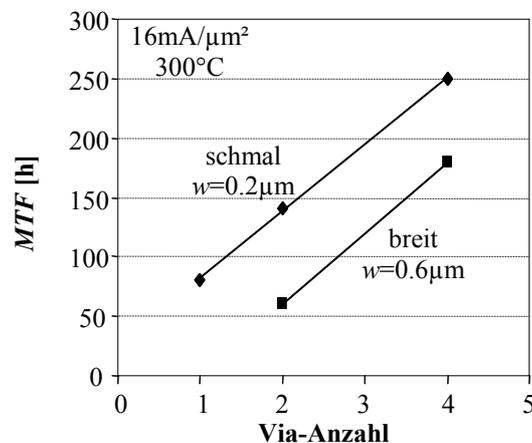
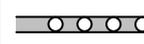
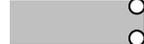
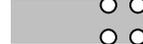


Abb. 7-14: Elektromigrationsverhalten von schmalen bzw. breiten Leitbahnen mit unterschiedlicher Via-Anzahl. Die mittleren Ausfallzeiten steigen proportional zur Anzahl der Vias. Breite Strukturen zeigen bei gleicher Via-Anzahl und Stromdichte in der Leitbahn eine geringere Lebensdauer.

Für das Produktdesign kann man den Effekt von höheren Elektromigrationslebensdauern in Leitbahnkonstruktionen mit multiplen Vias durch das gezielte Definieren von Bonusfaktoren für die zulässigen Designströme nutzbar machen. Desweiteren können im Designsystem Empfehlungen implementiert werden, welche die Zuverlässigkeit von z.B. Einzel-Via-Konstruktionen durch das Einführen zusätzlicher Vias erhöhen, die aus Sicht der Stromtragefähigkeit aber nicht zwingend notwendig wären. Falls die verfügbare Fläche dies erlaubt, kann durch diese Maßnahme gezielt die Redundanzwirkung des Via-Feldes genutzt werden, die mit einer erheblichen Steigerung der Lebensdauer einhergeht (so genannte „built-in reliability“).

					
<b>Via-Anzahl</b>	1	2	4	2	4
<b>Breite <math>w</math> [<math>\mu\text{m}</math>]</b>	0.20	0.20	0.20	0.60	0.60
<b>Eff. Leitbahn- querschnitt [<math>\mu\text{m}^2</math>]</b>	0.055	0.055	0.055	0.176	0.176
<b>Belastungs- Stromdichte in Leitbahn [mA/<math>\mu\text{m}^2</math>]</b>	16	16	16	16	16
<b>Belastungs- strom <math>I_0</math> in Leitbahn <math>I_0=0.88\text{mA}</math></b>	$1.00 \times I_0$	$1.00 \times I_0$	$1.00 \times I_0$	$3.20 \times I_0$	$3.20 \times I_0$
<b>Belastungs- strom pro Via</b>	$1.00 \times I_0$	$0.50 \times I_0$	$0.25 \times I_0$	$1.60 \times I_0$	$0.80 \times I_0$
<b>MTF [h] 300°C, 16mA/<math>\mu\text{m}^2</math></b>	80	140	250	60	180

Tab. 7-3: Übersicht der Elektromigrationsuntersuchungen an Via/Leitbahn-Strukturen unterschiedlicher Breite und Via-Anzahl. Der Wert  $I_0$  steht für den Belastungsstrom einer Struktur mit minimaler Bahnbreite. Die Stromdichten und absoluten Ströme berechnen sich über die effektiven Querschnitte aus Tab. 5-2.

#### 7.1.4 Zusammenfassung: Beeinflussung der Elektromigration durch Designaspekte

Die in den Abschnitten 7.1.1 bis 7.1.3 dargestellten Abhängigkeiten zeigen, dass die Resistenz einer integrierten Kupfermetallisierung gegenüber Ausfällen durch Elektromigration in ganz erheblicher Weise durch spezifische Designaspekte beeinflusst wird. Das kritischste Element innerhalb eines komplexen Systems aus Vias und Leitbahnen stellt ein Übergang auf eine Leitbahn mit einem einzelnen Via dar. Dabei ist der Fall einer Strombelastung in Downstream-Richtung als kritischer gegenüber einer Upstream-Belastung anzusehen, sofern das Via-Voiding Problem prozesstechnisch behoben ist. Innerhalb der downstream belasteten Leitbahnen ist dann noch einmal die Konfiguration eines auf eine breite Leitbahn angeschlossenen Einzel-Vias als besonders kritisch herauszuheben. Durch gezielte Designmaßnahmen kann die Lebensdauer bzw. die unter Betriebsbedingungen maximal zulässigen Belastungsströme gesteigert werden:

- Anschluss der verschiedenen Metallebenen über mehrere Vias
- Ausnutzung des Blech-Effektes durch Verwendung kurzer Leitbahnen
- Ausnutzung des Reservoireffektes durch Vergrößerung des Überlapps am Via.

Für die Designkonfiguration Leitbahn ohne Vias sowie mit einem bzw. mehreren Vias können folgende Hauptkenntnisse und daraus resultierende Schlussfolgerungen zusammengefasst werden:

##### Leitbahnstruktur ohne Vias

- Voids sind statistisch über gesamte Länge verteilt
  - Bei Dual-Damascene Architektur sind die mittleren Ausfallzeiten und die Aktivierungsenergie nahezu unabhängig von der Bahnbreite
  - Es ergeben sich maximale Stromdichten  $j_{\text{use}} > 200 \text{mA}/\mu\text{m}^2$  (100°C, 100.000h, 1ppm)
- ⇒ Bei typischen Betriebsbedingungen ist die Produktlebensdauer nicht durch Elektromigrationsausfälle in reinen Leitbahnen limitiert.

### Via/Leitbahn-Strukturen mit Einzel-Via

- Fehlerszenario abhängig von der Stromrichtung:
    - Upstream: Voids im Via oder der Leitbahn
    - Downstream: Voids unter dem Via oder in der Leitbahn
  - Aktivierungsenergie und Stromdichteexponent unabhängig von der Stromrichtung (meist  $E_a=0.9\dots 1.0\text{eV}$ ,  $n=1.4\dots 1.6$  je nach Prozessreife)
- ⇒ Transformationen von Designströmen auf andere Targetsätze ( $T_{Op}$ ,  $t_{Eol}$ ) können für alle Komponenten des gesamten Layouts erfolgen, sind somit nicht designspezifisch
- Schmale Bahn bei Upstream-Belastung:  $j_{use}>100\text{mA}/\mu\text{m}^2$
  - Schmale Bahn bei Downstream-Belastung:  $j_{use}>40\text{mA}/\mu\text{m}^2$
- ⇒ Bei unidirektionaler Strombelastung können für den Upstream-Fall im Design-Manual höhere Stromdichten zugelassen werden.
- Breite Bahn bei Downstream-Belastung:  $j_{use}\sim 30\text{mA}/\mu\text{m}^2$
- ⇒ Wichtig für das Design-Manual: Der erlaubte Strom pro Via darf bei breiten Bahnen wegen des Abfalls von  $j_{use}$  nicht proportional zur Leitbahnbreite erhöht werden.

Anmerkung: Die angegebenen  $j_{use}$  Werte werden erreicht bei Unterdrückung von Frühausfallmechanismen mittels geeigneter Prozessführung und Prozessoptimierung (vgl. Kap. 8).

### Bonusfaktoren für Via/Leitbahn-Strukturen mit Einzel-Via

- Ausgeprägter Kurzlängeneffekt (kritisches Blech-Produkt  $\sim 7500\text{A}/\text{cm}$ )
- ⇒ Kurze Leitbahnen können mit einem Vielfachen des erlaubten Stromes von langen Bahnen betrieben werden (üblicherweise Bonusfaktor  $2\dots 10$  für  $L\leq 10\mu\text{m}$ )
- Zusätzliches Materialreservoir am Via-Übergang erhöht die Elektromigrationslebensdauer
- ⇒ Je nach Größe des Überlapps können Vias mit bis zu 60% mehr Strom belastet werden.

### Via/Leitbahn-Strukturen mit mehreren Via

- Elektromigrationslebensdauer steigt linear mit der Anzahl der anschließenden Vias ( $N=1\dots 4$ ) sowohl für schmale als auch für breite Leitbahnen
- ⇒ Je nach Anzahl und Positionierung der Vias können Leitbahnen mit höheren Stromdichten betrieben werden (z.B. downstream-belastete schmale Bahnen: 2.5-fach höhere Ströme im Vergleich zu Einzel-Via).

## 7.2 Einfluss des Metallisierungsdesigns auf das Stressmigrationsverhalten

### 7.2.1 Stressmigration an Plattenstrukturen mit Einzel-Via

Mit Einführung von Kupfer als Verdrahtungsmaterial integrierter Schaltungen war die Beobachtung, dass Via-Strukturen mit großflächigen Metallreservoirs besonders anfällig für eine Widerstandsdegradation sind, der wichtigste Meilenstein zum Verständnis ihres Stressmigrationsverhaltens. Dies erscheint zunächst paradox, da in der Regel stets die kleinsten Geometrien einer neuen Technologiegeneration besondere Probleme bereiten. Auch steht dieses Verhalten im fundamentalen Gegensatz zu Aluminiummetallisierungen, bei denen vor allem sehr schmale Leitbahnen (ohne Vias) im Sub-Mikrometerbereich stressmigrationsanfällig sind [E, G]. Die grundlegenden Erkenntnisse zum Stressmigrationsverhalten von Kupfer wurden erstmals im Jahr 2000 veröffentlicht [F]. Sie basieren auf Daten, die im Rahmen der gemeinsamen 180nm Technologieentwicklung von Infineon mit IBM generiert wurden.

Am eindrucksvollsten zeigt sich der Einfluss des Metallisierungsdesigns an sogenannten Plattenstrukturen, bei denen großflächige, quadratische Platten im  $\mu\text{m}^2$ -Bereich über einzelne Vias miteinander verbunden sind (vgl. Kapitel 2.2.2.1). Diese zeichnen sich durch einen relativ geringen Strukturwiderstand aus, demzufolge schon kleinste Voids relativ große Widerstandsänderungen verursachen.

Eine Abhängigkeit der mittleren Ausfallzeit von der Plattengröße ist in Abb. 7-15 dargestellt. Während bei 275°C Temperaturlagerung die Hälfte der  $4 \times 4 \mu\text{m}^2$  Platten über 1000h bis zum Ausfall braucht, sind Platten mit fünfmal so großer Kantenlänge schon nach wenigen Stunden ausgefallen. Dies verdeutlicht den extremen Einfluss des an das Einzel-Via angeschlossenen Metallvolumens auf die Zuverlässigkeit. Transformiert man das Hochtemperaturverhalten auf typische Betriebsanforderungen von Produkten ( $t_{EOL}=10\text{a}$ ,  $CDF_{max}=1\text{ppm}$ ,  $T_{op}=100$  bzw. 125°C), so sind für 100°C-Anwendungen Platten größer  $\sim 8 \times 8 \mu\text{m}^2$  als kritisch anzusehen. Bei Hochtemperaturanwendungen von 125°C sind bereits Abmessungen von  $\sim 5 \times 5 \mu\text{m}^2$  als nicht mehr zuverlässig einzustufen. Dies ist bei der Erstellung der spezifischen Produktdesigns bei Verwendung des hier vorliegenden technologischen Prozesses entsprechend zu berücksichtigen.

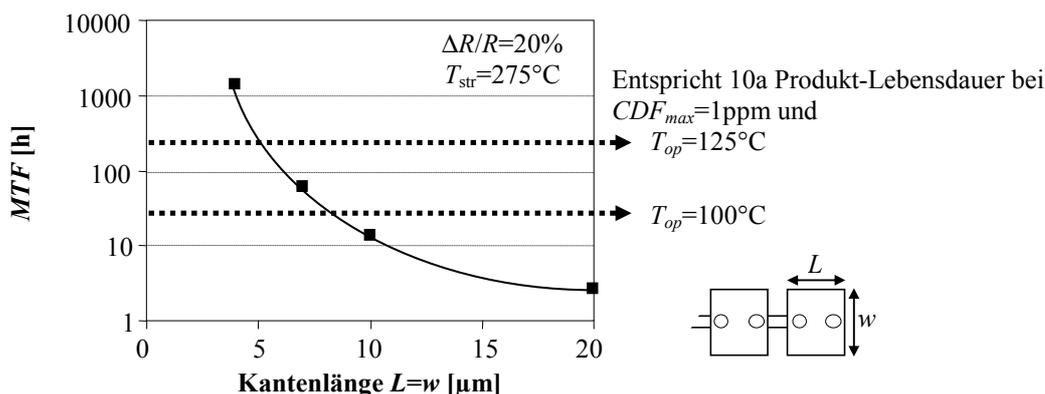


Abb. 7-15: Abhängigkeit der mittleren Stressmigrationsausfallzeit (MTF) von der Größe der quadratischen Platte mit Einzel-Vias. Die gestrichelten Linien geben die Zeiten an, die bei 275°C nicht unterschritten werden dürfen, um die Lebensdaueranforderungen bei  $T_{op}=100$  bzw. 125°C zu erfüllen. Transformation und Extrapolation gemäß Gleichung (29) und Verwendung von  $\sigma=0.4$ ,  $E_a=0.9\text{eV}$ ,  $t_{EOL}=10\text{a}$ ,  $CDF_{max}=1\text{ppm}$ .

Während die Untersuchungen an großflächigen quadratischen Platten eher einen grundlegenden Charakter haben, sind Stressmigrationsuntersuchungen an Strukturen mit rechteckigen Platten von größerem Interesse, weil sie eine besondere Produktrelevanz z.B. für Powerverdrahtungen haben. Diese können Längen von mehreren Millimetern erreichen und haben im Allgemeinen eine Vielzahl von Einzel-Via-Abzweigungen.

Hinsichtlich der Auswertemethodik sei angemerkt, dass bei Strukturen mit rechteckigen Platten die konsequente Anwendung eines absoluten Ausfallkriteriums (z.B.  $\Delta R=50\Omega$ ) der Verwendung des relativen Kriteriums (z.B.  $\Delta R/R=20\%$ ) vorzuziehen ist [O]. Nur so kann ein quantitativer Vergleich der Stressmigrationsschädigung gewährleistet werden, da gleiche Ausfallzeiten stets zu gleichen Void-Volumen korrespondieren. Ein relatives Ausfallkriterium würde bei hochohmigen schmalen Platten erst durch ein größeres Void bzw. nach längerer Zeit erreicht werden als bei breiten Bahnen gleicher Länge.

Bei rechteckigen Platten mit Breiten von bis zu  $10\mu\text{m}$  und Längen bis zu  $1500\mu\text{m}$  ergibt sich zunächst ein ähnlicher Verlauf wie für quadratische Strukturen - die mittlere Ausfallzeit nimmt mit zunehmender Breite der Platte stark ab (Abb. 7-16 links). Ab Breiten von  $5\mu\text{m}$  ist dann eine Sättigung der Ausfallzeit zu beobachten. Hier kann offenbar das größere verfügbare Metallvolumen nicht mehr zum Voiding-Prozess beitragen.

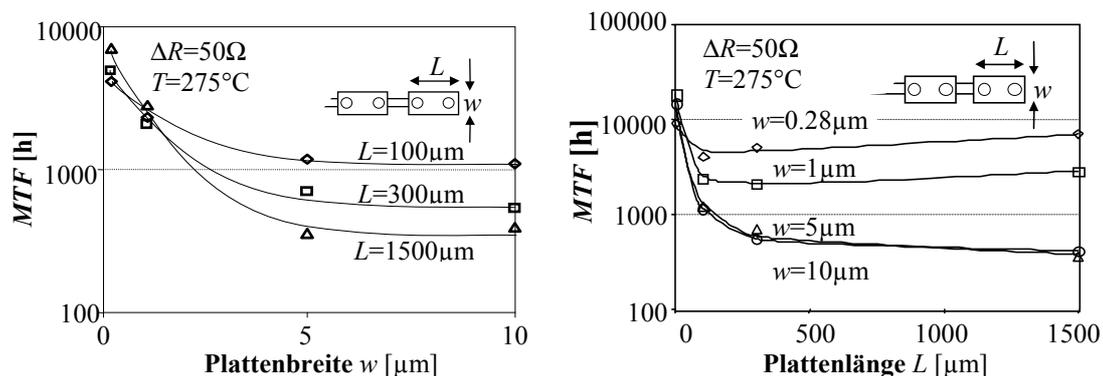


Abb. 7-16: Mittlere SM-Ausfallzeiten ( $MTF$ ) ermittelt bei  $275^\circ\text{C}$  an rechteckigen Platten unterschiedlicher Größe mit Einzel-Vias. Bei breiten Bahnen ( $\geq 5\mu\text{m}$ ) ergeben sich mit zunehmender *Plattenlänge* kürzere Ausfallzeiten, während sie für schmale Platten ( $0.28$  bzw.  $1.00\mu\text{m}$ ) ab Längen von  $100$  bzw.  $300\mu\text{m}$  wieder leicht zunehmen (rechts). Der Abfall der mittleren Lebensdauer mit der *Plattenbreite* zeigt für sämtliche Längen eine Sättigung ab Breiten  $>5\mu\text{m}$  (links).

Ein vergleichbares Bild ergibt sich, wenn man die Ausfallzeiten in Abhängigkeit der Plattenlänge aufträgt (7-16 rechts). Wiederum nimmt die mittlere Ausfallzeit mit zunehmender Länge der Platte drastisch ab. Der stärkste Gradient ist dabei im Längenbereich bis  $200\mu\text{m}$  zu verzeichnen. Für sehr breite Bahnen ( $10$  bzw.  $5\mu\text{m}$ ) ergibt sich ein Abfall von bis zu zwei Dekaden, während er bei kleiner werdenden Breiten ( $1.00$  bzw.  $0.28\mu\text{m}$ ) deutlich geringer ist. Darüber hinaus kann man bei den schmalen Platten ( $0.28$  bzw.  $1.00\mu\text{m}$ ) eine interessante Beobachtung machen: Hier steigen bei zunehmender Länge ( $L \sim 100$  bzw.  $300\mu\text{m}$ ) die Ausfallzeiten wieder leicht an. Das heißt, trotz des größeren potenziellen Leerstellenreservoirs ist bei diesen Abmessungen eine Abnahme der Stressmigrations-schädigung festzustellen. Dieser Stressmigrations-„Dip“ kann bei Kupfermetallisierungen systematisch über mehrere Technologiegenerationen sowohl an Ketten als auch an Einzel-Platten-Strukturen beobachtet werden. Bei Strukturen mit nur einer einzigen, schmalen Platte scheint dieser Effekt sogar noch ausgeprägter (Abb. 7-17). Auch hier erkennt man ein deutliches Minimum der Ausfallzeit bei einer Länge von  $100\mu\text{m}$ . In der Konsequenz heißt dies, dass bei Produkten, in denen solche Elemente häufig auftreten, mit einer Verkürzung der Lebensdauer zu rechnen ist.

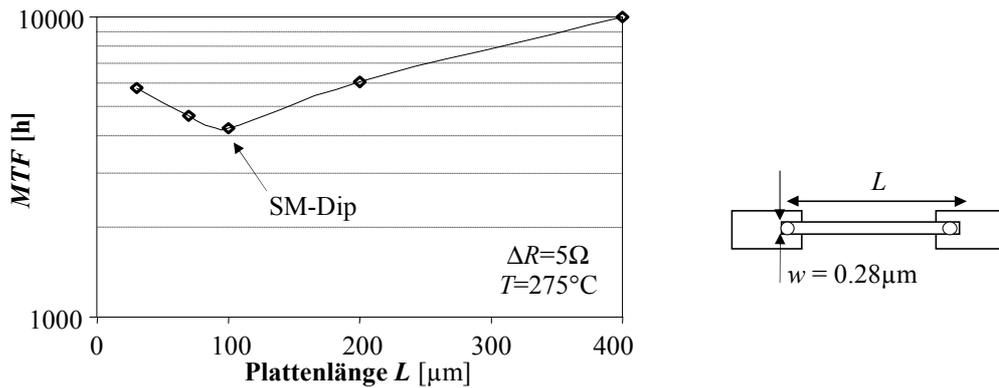


Abb. 7-17: Mittlere SM-Ausfallzeiten (*MTF*) von schmalen, rechteckigen Einzel-Platten-Strukturen unterschiedlicher Länge mit Einzel-Via bei 275°C. Kurze Bahnen zeigen zunächst eine Abnahme mit zunehmender Länge. Bei  $L=100\mu\text{m}$  ergibt sich ein Minimum („Stressmigrations-Dip“) - oberhalb von  $100\mu\text{m}$  wieder ein Anstieg.

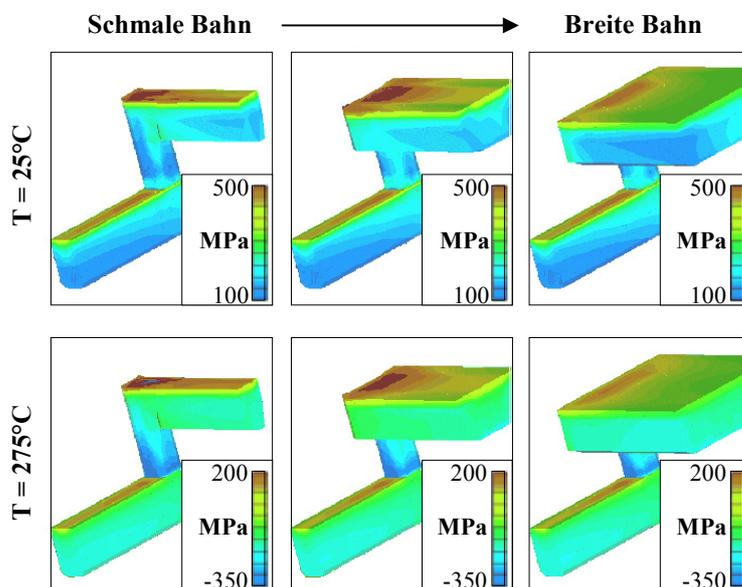


Abb. 7-18: In Via/Leitbahn-Strukturen bilden sich in der Umgebung des Vias ausgeprägte Stressgradienten. In Verbindung mit großen Kupferreservoirs führt dies zur Ausbildung großer aktiver Volumina mit hoher Stressmigrationsanfälligkeit. Die Darstellungen zeigen Finite-Elemente-Simulationen des hydrostatischen Stresses an Via/Leitbahn-Konstruktionen verschiedener Bahnbreiten der  $0.18\mu\text{m}$  Generation bei Raumtemperatur (oben) und typischer Stresstemperatur von  $275^\circ\text{C}$  (unten).

Die gemachten Beobachtungen lassen sich über das Konzept des aktiven Volumens (vgl. Kap. 2.2.1.1) aus einer Überlagerung des Metallvolumens, Diffusionsvolumens und der Stressgradienten erklären. Unter Zuhilfenahme von Finite-Elemente-Simulationen des lokalen hydrostatischen Stresses lassen sich die Gradienten für unterschiedliche Temperaturen in folgender Weise mit der Plattengeometrie in Zusammenhang bringen: Zunächst ist der Stress im Via praktisch unabhängig von der Breite der angeschlossenen Leitbahn. Der Stress unmittelbar über dem Via nimmt für schmalere Bahnen zu [132, 144, 145] und breitet sich darüber hinaus noch über eine größere Distanz vom Via in die Leitbahn hinein aus.

Der beobachtete starke Abfall der mittleren Ausfallzeit bei Platten mit Abmessungen im  $\mu\text{m}^2$ -Bereich wird offensichtlich durch die Zunahme des Metallvolumens dominiert. Die Änderung des Stressgradienten als treibende Kraft in der Via-Umgebung spielt hier wahrscheinlich eine untergeordnete Rolle.

Im Gegensatz dazu reduziert sich zwar bei schmalen Leitbahnen das Metallvolumen mit der Plattenbreite. Sie bleiben aber weiterhin stressmigrationsanfällig auf Grund der Erhöhung des

Stresses und der größeren räumlichen Ausdehnung des Stressfeldes. Der beobachtete Anstieg der Ausfallzeiten schmaler Bahnen ab 100µm Länge („Stressmigrations-Dip“) kann bisher noch nicht endgültig erklärt werden. Eine denkbare Hypothese ist, dass das makroskopische Stressniveau in isolierten schmalen Leitbahnen sowie den Vias mit zunehmender Entfernung zum Nachbar-Via kleiner ist als bei vergleichbaren kürzeren Strukturen mit einer höheren Via-Dichte [69].

### 7.2.2 Maßnahmen zur Reduzierung der Stressmigrationsanfälligkeit

Nachdem im vorangegangenen Abschnitt die Stressmigrationsanfälligkeit von Via/Leitbahn-Strukturen mit großem aktiven Volumen dargestellt wurde, sollen nun Maßnahmen aufgezeigt werden, wie mit einem optimierten Design die Produktlebensdauer erhöht werden kann. Grundsätzlich lässt sich ein solches Design auf zwei Arten realisieren:

- 1) Durch die räumliche Trennung des Einzel-Vias von dem angeschlossenen Metallreservoir, welche sich in der so genannten „Nasen“-Struktur widerspiegelt
- 2) Durch das Platzieren eines zweiten, redundanten Vias, d.h. die konsequente Vermeidung von Einzel-Vias.

Beide Maßnahmen können jedoch nur als Empfehlungen („recommended rules“) in das Design-Manual aufgenommen werden, da ihre Realisierung auch von anderen Randbedingungen wie z.B. dem verfügbarem Platz, dem Widerstand und der Impedanz der Gesamtkonstruktion, parasitären Kapazitäten usw. abhängt. Solche Maßnahmen sind Bestandteil des Konzeptes der so genannten „built-in reliability“.

#### 7.2.2.1 Der „Naseneffekt“

Bei der „Nasen“-Struktur wird das Leerstellenvolumen durch ein schmales Leitbahnstück von dem Via entfernt. Die Leerstellen müssen somit einen weiteren Weg zurücklegen, bevor sie zum Voiding im Via beitragen können. Obwohl dieses spezielle Design die Stressmigration nicht vollständig unterdrücken kann, führt es doch zu einer Verzögerung der Void-Bildung im Via und somit zur Erhöhung der stressmigrations-limitierten Lebensdauer. Bei quadratischen Platten mit Kantenlängen von 7µm kann auf diese Weise die Lebensdauer um einen Faktor 5 gesteigert werden, wenn das Einzel-Via mittels einer 2µm langen Nase minimaler Breite von der Plattenkante versetzt wird. „Nasen“-Länge und beobachtete Lebensdauer stehen dabei in einem exponentiellen Zusammenhang (Abb. 7-19).

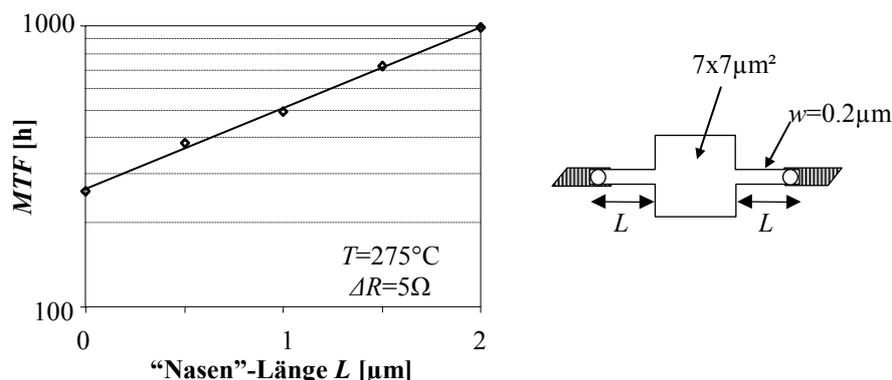


Abb. 7-19: Reduzierung der Stressmigrationsanfälligkeit durch Designmaßnahmen: Durch das Anbringen einer „Nase“ erfolgt eine räumliche Trennung von Einzel-Via und Metallreservoir, was zur Erhöhung der mittleren SM-Ausfallzeit führt.

### 7.2.2.2 Redundante Vias

Im Gegensatz zur retardierten Void-Bildung durch das gezielte Anbringen von „Nasen“-Elementen an das Metallreservoir kann durch die Verwendung eines Via-Paares der stressmigrationsbedingte Widerstandsanstieg an Plattenstrukturen meist vollständig unterdrückt werden (Abb. 7-20). Für die Erklärung dieses Effektes existieren derzeit zwei Hypothesen:

- 1) Mit der Einführung eines zweiten Vias in der Nähe des ersten verteilt sich dieselbe Anzahl von Leerstellen nun auf diese beiden Vias, was eine entsprechend kleinere Erhöhung des Gesamtwiderstandes zur Folge hat [146]. Schwachpunkt dieser Argumentation ist, dass hierdurch der Widerstandsanstieg nur verringert werden dürfte, nicht aber komplett unterdrückt wird.
- 2) Beim Vorhandensein von zwei Vias findet die Void-Nukleation zunächst nur an einem der Vias statt. Danach ist es wahrscheinlicher, dass dieses bereits existierende Void durch das Zudiffundieren von Leerstellen weiter wächst, als dass ein zusätzliches neues Void unter dem Nachbar-Via gebildet wird.

Basierend auf Fehleranalysen, die im Rahmen dieser Arbeit entstanden (Abb. 7-21), wird Hypothese 2 favorisiert. Bei diesem Szenario stellt das zweite Via das „Opfer-Via“ dar - somit kann hinsichtlich des Stromflusses durch die Via/Leitbahn-Konstruktion von einer vollständigen Redundanz ausgegangen werden. Demzufolge spricht man bei dieser Design-Maßnahme auch von „redundanten Vias“.

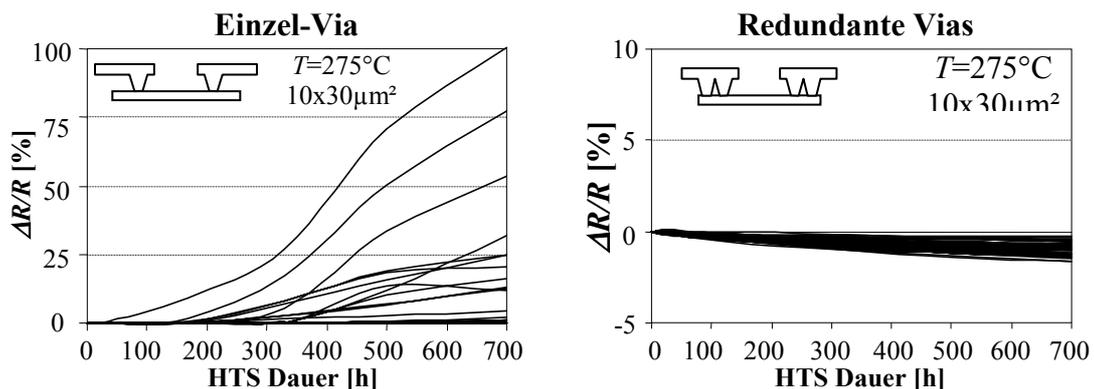


Abb. 7-20: Reduzierung der Stressmigrationsanfälligkeit durch Designmaßnahmen: Durch Verwendung redundanter Vias wird die Widerstandserhöhung von sonst identischen Plattenstrukturen komplett unterdrückt.

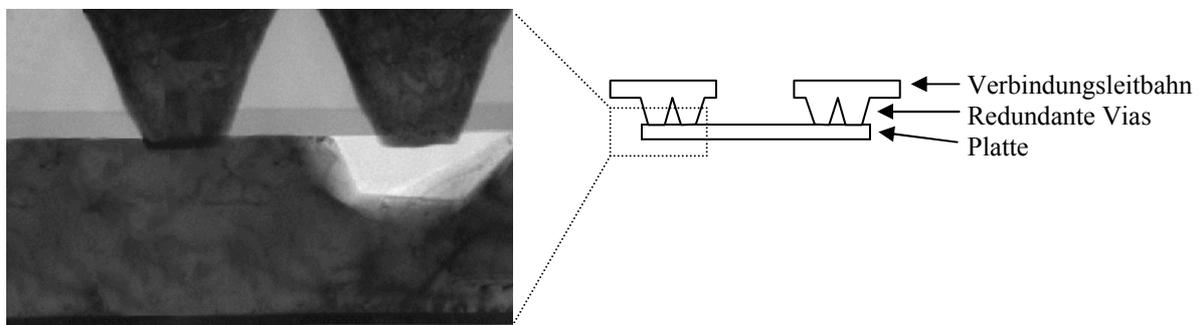


Abb. 7-21: Fehleranalyse einer stressmigrationsgeschädigten Plattenstruktur mit zwei Vias je Anschluss-Seite. Die Void-Bildung findet ausschließlich an einem Via statt - das zweite Via bleibt intakt und wirkt so als Redundanzelement für den Stromtransport.

### 7.2.3 Stressmigrationsverhalten in Mehrlagenmetallisierungssystemen

Halbleiterprodukte, die auf Integrierten CMOS-Schaltungen mit Kupfermetallisierungen basieren, können heutzutage aus bis zu 10 Metall-Lagen bestehen. Üblicherweise sind diese hierarchisch aufgebaut, d.h. über Pads werden die Signale und der Versorgungsstrom in dicke breite Bahnen geführt, über Power-Busse verteilt bis sie schließlich in die untersten, feinmaschigen Metallebenen zu den einzelnen aktiven Schaltungselementen gelangen. Bei den Übergängen zwischen den einzelnen Ebenen treten die unterschiedlichsten Kombinationen von schmalen und breiten Leitbahnen auf, die über Vias miteinander verbunden sind. Um die Zuverlässigkeit eines produktrelevanten Mehrlagenmetallisierungssystems abzuschätzen, ist es daher notwendig, folgende Aspekte bezüglich des Stressmigrationsverhaltens zu untersuchen:

- 1) Die Lage des Metallreservoirs im Metallisierungstapel
- 2) Die relative Lage des Metallreservoirs bezüglich des Vias (oberhalb bzw. unterhalb)
- 3) Das Design von bestimmten Verbindungselementen in Via-Ketten.

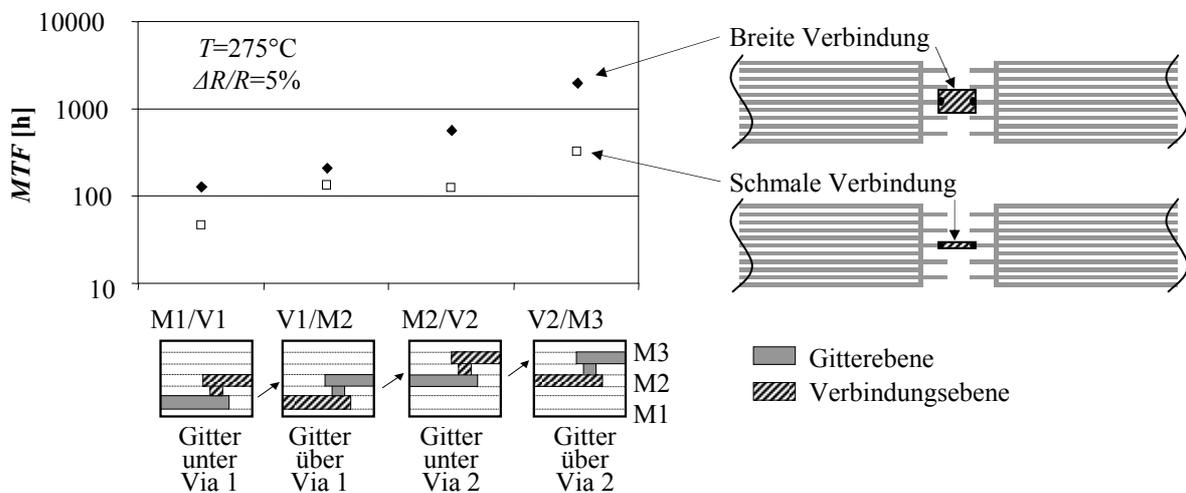


Abb. 7-22: Stressmigrationsverhalten von Gitterstrukturen in unterschiedlichen Metall- und Via-Ebenen sowie breiten und schmalen Verbindungselementen innerhalb eines 3-Lagen-Metallisierungstapels.

Aus Experimenten, welche an verschiedenen Varianten von Gitterstrukturen mit Einzel-Vias (vgl. Abb. 2-26) in unterschiedlichen Metallisierungslagen durchgeführt wurden, lassen sich folgende Schlüsse ziehen (Abb. 7-22):

- 1) Verschiebt man die Struktur um eine Metall-Lage nach oben, steigen die Ausfallzeiten um einen Faktor 5 bis 10
- 2) Metallreservoirs, die über Vias von oben angeschlossen werden, zeigen etwa 4-mal kleinere Ausfallzeiten im Vergleich zu „Gitter-über-Via“-Strukturen
- 3) Metallreservoirs, die über schmale Via/Leitbahn-Segmente miteinander verbunden sind, zeigen bis zu 5-mal geringere Ausfallzeiten als solche mit breiten Verbindungen.

Die geringere Stressmigrationsanfälligkeit in den oberen Ebenen kann mit dem Makrostress im Wafer (Waferverbiegung) in Verbindung gebracht werden, der sich im Gesamtsystem von Siliziumchip, Metallisierungstapel und abschließender Passivierung aufbaut. Je nach Metallisierungsebene kann er zu einer Verstärkung oder Abschwächung der treibenden Kraft führen. Ursächlich für das unterschiedliche Stressmigrationsverhalten eines Vias unter bzw. über einem Metallreservoir dürfte weniger der Unterschied der treibenden Kraft in der Via-Ebene sein, sondern vielmehr das Voiding-Szenario mit der Lage des Voids im bzw. unterhalb des Vias. Der Einfluss der Verbindungsebene auf die Ausfallzeit legt wiederum nahe, dass durch die unterschiedlichen Geometrien der Verbindungssegmente die Stressgradienten in der Voiding-Ebene modifiziert werden und somit die treibende Kraft

verändert wird. Dies ist umso bemerkenswerter, da die Verbindungselemente selbst nicht vom eigentlichen Voiding-Prozess betroffen sind.

## 7.2.4 Einfluss kleiner Geometrieschwankungen auf das Stressmigrationsverhalten

Nach der Behandlung des Einflusses makroskopischer Aspekte wie Leitbahnbreite, Länge, Via-Anzahl und Anordnung im Metallisierungsstapel, welche durch das gegebene Layout bestimmt sind, soll abschließend auf die Auswirkung kleiner Designschwankungen eingegangen werden, die z.B. durch Variationen der physikalischen Einzelprozesse bedingt sind. Den mit Abstand wichtigsten Aspekt stellen hierbei Fluktuationen dar, die am unmittelbaren Übergang des Vias auf die Leitbahn auftreten und beispielsweise zu einer Abweichung vom angestrebten nominellen Wert der Via-(De)Justierung (vgl. Kap. 7.2.4.1) oder des Via-Durchmessers (vgl. Kap. 7.2.4.2) führen. Solche Variationen werden bei der Qualifikation von Gesamtprozessen berücksichtigt, indem man so genannte Prozessfensteruntersuchungen durchführt. Hierbei werden die kritischen geometrischen Größen gezielt über einen Bereich variiert, der typischerweise während der Fertigung innerhalb der Gesamtheit der Wafer auftreten kann. Nur wenn der gesamte Bereich die Zuverlässigkeitsanforderungen erfüllt, liegt den Wafern ein fertigungstauglicher und robuster Herstellungsprozess zugrunde.

### 7.2.4.1 Einfluss des Via-Überlapps auf die Stressmigration

Um möglichst hohe Integrationsdichten in Integrierten Schaltungen zu erreichen, ist es notwendig, schmale Leitbahnen mit möglichst geringem Überlapp (und somit Flächenverlust) an die Vias anzuschließen. Da dies aus Lithographie- und Maskenjustierungsaspekten nur innerhalb einer gewissen Toleranzgrenze realisiert werden kann, kommt es immer wieder vor, dass das Via mit einem gewissen Versatz zur Leitbahn vorliegt. Zu diesem Zweck gibt es Teststrukturen, mit denen die Dejustierungen in Intervallen gezielt eingestellt werden mit dem Ziel, Toleranzgrenzen festzulegen, innerhalb derer ein Produktdesign noch genügend robust gegenüber Stressmigration ist.

Besonders ausgeprägt findet man eine Auswirkung des Via-Überlapps auf das Stressmigrationsverhalten bei Metallisierungen, bei denen die Kupferleitbahnen mit einem Wolfram-Via mit der darüberliegenden Aluminiumebene verbunden werden. Bei einer Stresstemperatur von 275°C zeigt sich an Via-Ketten mit einer solchen Hybridmetallisierung (Kap. 2.2.6.2) eine Zunahme der Ausfallzeit von bis zu einem Faktor 4, wenn der Kupferbahnüberlapp unter dem Via in einem Bereich von -60 bis +200nm variiert wird (Abb. 7-23 links). Das Stressmigrations-Voiding tritt dabei ausschließlich in der Kupferebene auf (Abb. 7-24).

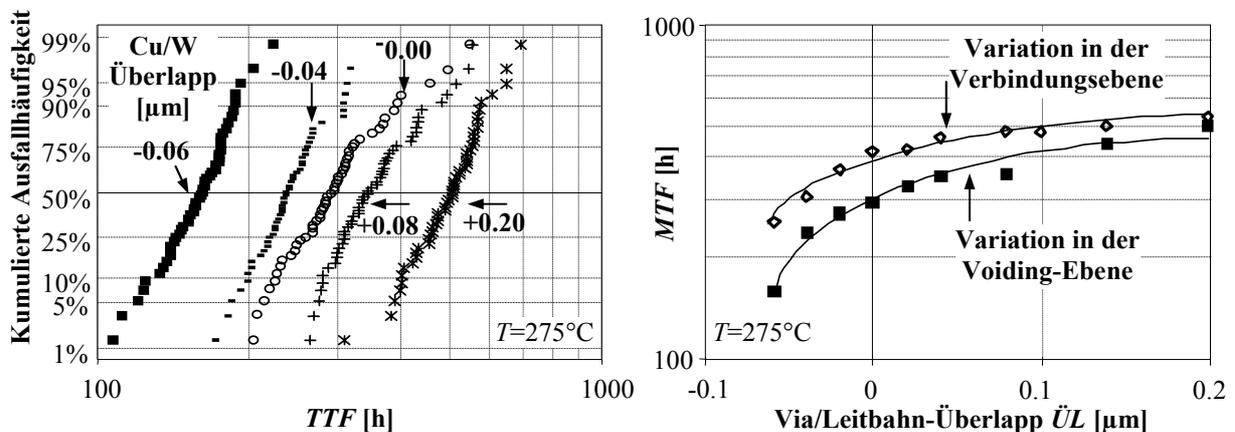


Abb. 7-23: Einfluss des Via-Überlapps auf das Stressmigrationsverhalten: Vergrößerung der Ausfallzeiten durch zunehmenden Cu/Via-Überlapp (links); die Änderung des Aluminiumüberlapps zeigt einen ähnlichen Verlauf, allerdings zu größeren mittleren Ausfallzeiten (rechts).

Neben dem primären Einfluss des Kupferbahnüberlapps auf die Ausfallzeiten kann darüber hinaus die Beobachtung gemacht werden, dass auch die Dejustierung des Aluminiums über dem Via einen vergleichbaren Effekt zeigt, obwohl diese Ebene selbst nicht vom Voiding-Prozess betroffen ist. Die Ausfallzeiten sind in dem betrachteten Überlappbereich jedoch tendenziell höher (7-23 rechts).

Die Ergebnisse der Überlappstudien lassen sich anhand von Finite-Elemente-Simulationen der Stressverteilungen am Via-Übergang interpretieren, die Rückschlüsse auf die treibende Kraft des Stressmigrationsvorgangs erlauben (Abb. 7-24 links). Darin zeigt sich, dass sich im Grenzgebiet zwischen Wolfram-Via und der Kupferleitbahn mit zunehmender Dejustierung immer größere absolute Stressniveaus, größere Gradienten und demzufolge eine größere treibende Kraft für den Migrationsvorgang einstellen. Die beobachteten Voiding-Szenarien (Abb. 7-24 rechts) mit Void-Bildung entlang der Cu/SiN-Grenzfläche oder im anderen Fall im Volumen unter dem Via lassen sich sehr gut mit den simulierten Gebieten höchsten Stresses in Übereinstimmung bringen. Hierbei zeigt es sich, dass die höchsten Werte der Stresskomponente  $\sigma_{xx}$  (Leitbahnlängsrichtung) an der Grenzfläche auftreten, während sie bei der Komponente  $\sigma_{yy}$  (Via-Achse) im Leitbahnvolumen direkt unter dem Via zu finden sind. Welcher Fehlermode in der Struktur schließlich wirksam wird, hängt neben den Stressverteilungen dann noch von den konkreten Grenzflächeneigenschaften und der lokalen Kornstruktur im Kupfer ab, welche die Migrationskinetik bestimmen.

Aus den Simulationen geht weiterhin hervor, dass eine Dejustierung des Vias zur darunter liegenden Kupferleitbahn auch einen Einfluss auf die Stressverteilung im darüber liegenden Aluminium hat. Dies legt im Umkehrschluss nahe, dass sich durch eine Via-Dejustierung zum Aluminium ebenfalls der Stresszustand im Kupfer modifiziert. Damit könnten sich die Beobachtungen zum Einfluss des Aluminiumüberlapps auf das Ausfallverhalten der Kupferleitbahn erklären.

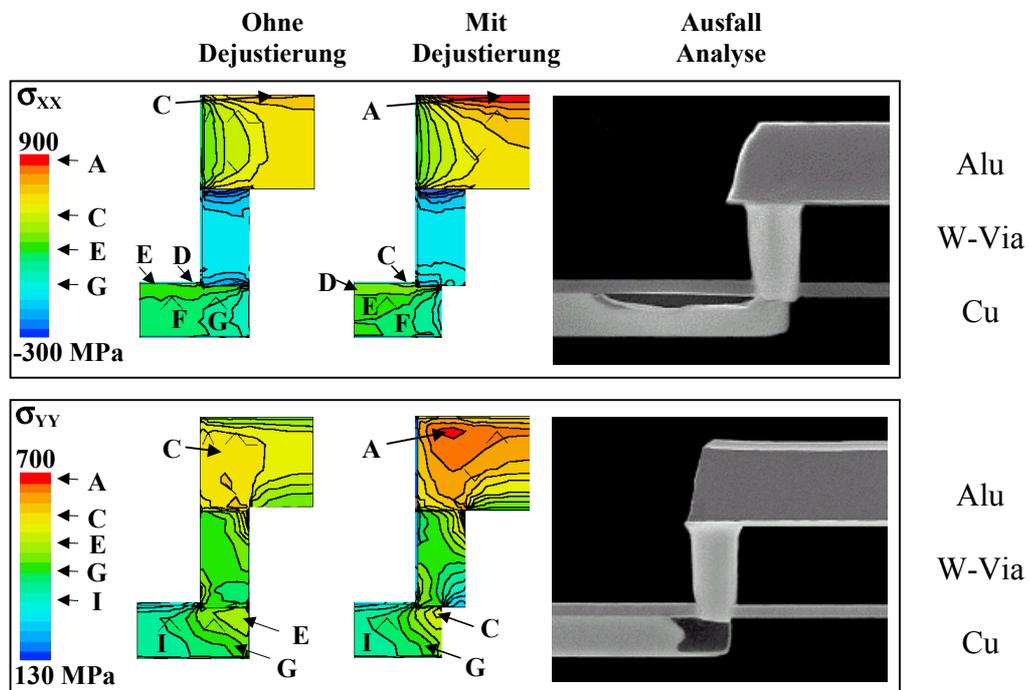


Abb. 7-24: Finite-Elemente-Simulation zum Einfluss des Via-Überlapps auf die Normalkomponenten  $\sigma_{xx}$  bzw.  $\sigma_{yy}$  des Stressesensors in der Nähe des Via/Leitbahn-Überganges einer Hybridmetallisierung. Bereiche des höchsten Stresses bilden sich an der Cu/SiN-Grenzfläche bzw. unter dem Via und stimmen gut mit den beobachteten Voiding-Szenarien im Kupfer überein.

Aus den Ergebnissen der Via-Überlapp Studien lässt sich der Schluss ziehen, dass in den Produktdesigns stets ein genügend großer Überlapp realisiert werden sollte, um zum einen die Stressmigrationsanfälligkeit von Via/Leitbahn-Konstruktionen generell zu reduzieren und zum anderen etwaige prozessbedingte Via-Dejustierungen kompensieren zu können.

#### 7.2.4.2 Einfluss der Via-Größe auf die Stressmigration

Das Via mit seinen Minimalabmessungen stellt stets eines der kritischsten Elemente dar. Berücksichtigt man die Tatsache, dass in einem Produkt viele Millionen dieser Elemente auftreten können, ist die Absicherung der Zuverlässigkeit hinsichtlich des Prozessfensters notwendig, das sich z.B. aus geringfügigen Variationen bei der Lithographie (Dosis, Fokus) und der Via-Ätzung ergibt. Im Folgenden sollen Schwankungen diskutiert werden, die eine Änderung des physikalischen Via-Durchmessers bedingen. Prozessbedingte, mikrostrukturelle Einflüsse, die z.B. durch die Linerabscheidung oder die elektrolytische Auffüllung verursacht sind, werden noch separat im Kapitel 8 diskutiert.

Aus Untersuchungen, die an Einzel-Via-Strukturen mit Platten unterschiedlicher Größe durchgeführt wurden, geht hervor, dass der Via-Durchmesser ein extrem sensitiver Geometrieparameter hinsichtlich des Stressmigrationsverhaltens ist. Dabei hängt für eine gegebene Plattengröße die Ausfallzeit exponentiell vom Via-Durchmesser ab. Im konkreten Fall eines  $20 \times 20 \mu\text{m}^2$  großen Metallreservoirs führt eine Verkleinerung des Via-Durchmessers von  $0.25 \mu\text{m}$  auf  $0.19 \mu\text{m}$  zu einer Reduktion der Ausfallzeiten von vier Dekaden.

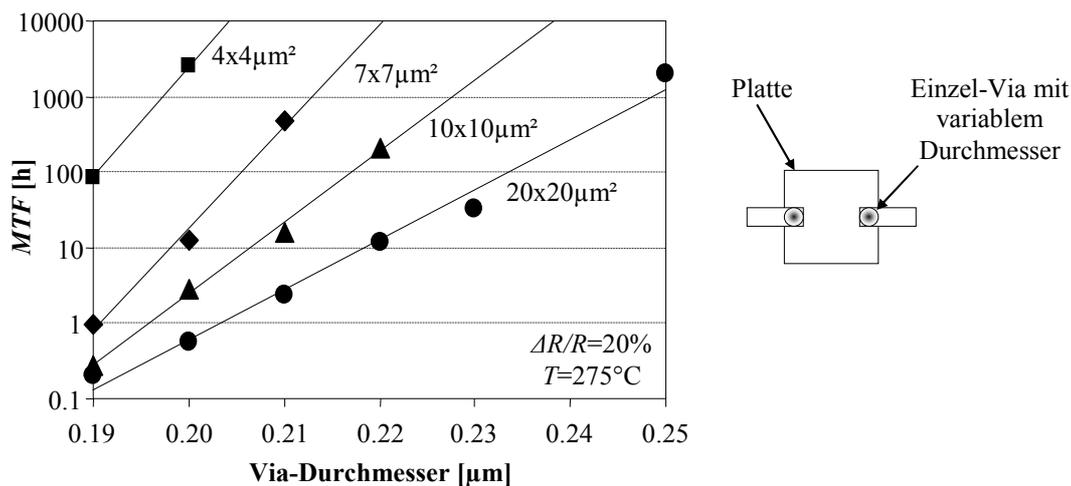


Abb. 7-25: Einfluss des Via-Durchmessers auf die Stressmigrationsausfallzeiten von Plattenstrukturen unterschiedlicher Größe bei  $275^\circ\text{C}$ .

Der Einfluss der Via-Größe auf die Ausfallzeiten lässt sich hinsichtlich dreier verschiedener Aspekte diskutieren:

1. In kleineren Vias führt ein kleineres Void-Volumen zum früheren Erreichen des Ausfallkriteriums (Abb. 7-26 links)
2. In kleineren Vias ist die Kantenbedeckung des Liners meist (prozessbedingt) schlechter, wodurch der Liner hochohmiger wird und ein stärkerer Widerstandsanstieg beim Voiding resultiert (Abb. 7-26 rechts)
3. In kleineren Vias wird der Stress stärker am Via/Leitbahn-Übergang gebündelt (vgl. Abb. 7-24), wodurch die treibende Kraft steigt.

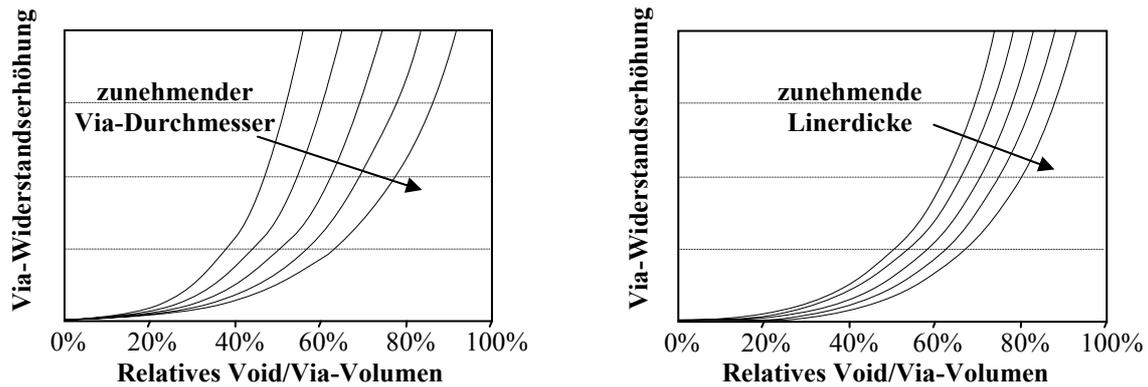


Abb. 7-26: Einfluss der Void-Größe auf den Widerstandsanstieg eines Vias in Abhängigkeit vom Via-Durchmesser bzw. von der Linerdicke. Die Rechnungen erfolgen auf Grundlage von Gleichung (36) bei jeweils konstanter Linerdicke bzw. konstantem Via-Durchmesser. Größere Via-Durchmesser bzw. dickere Liner führen bei gleichem Void-Volumen zu kleineren Widerstandsanstiegen und somit höheren Ausfallzeiten.

Aus den Ergebnissen der Via-Durchmesser-Studien lässt sich die Empfehlung ableiten, dass für ein stressmigrationsrobustes Design möglichst große Vias realisiert werden sollten. Allerdings stellen in den meisten Fällen größere Via-Durchmesser so genannte Yield-Detraktoren dar, welche die Ausbeute im Bereich hoher Via-Dichten durch Kurzschlussgefahr verringern können. Daher wird in der Praxis das Fenster für den Zielprozess meist auf Basis eines Kompromisses zwischen Ausbeute, Performance und Zuverlässigkeit definiert.

### 7.2.5 Zusammenfassung: Beeinflussung der Stressmigration durch Designaspekte

Durch die in den Abschnitten 7.2.1 bis 7.2.4 dargestellten Studien konnten erstmals grundlegende Designregeln und Designempfehlungen für die Realisierung von Produkten mit stressmigrationsrobusten Kupfermetallisierungen abgeleitet werden. Das kritischste Element stellt dabei ein einzelnes Via dar, welches ein großes, zusammenhängendes Metallreservoir im  $\mu\text{m}^2$ -Bereich anschließt. Die Stressmigrationsanfälligkeit erhöht sich, wenn das Via von oben das Metallreservoir anschließt, der Via-Durchmesser oder der Via-Überlapp kleiner wird, das Metallreservoir in einer unteren Ebene des Metallisierungstapels liegt oder die kritischen Elemente über schmale Segmente miteinander verbunden sind. Durch folgende Designmaßnahmen lässt sich die Lebensdauer gezielt erhöhen:

- Räumliche Trennung von Einzel-Via und Metallreservoir („Nasen“-Struktur)
- Verwendung redundanter Vias
- Realisierung möglichst großer Via-Durchmesser
- Realisierung möglichst großer Via/Leitbahn-Überlapp
- Vermeidung von Segmenten mit minimaler Breite zum Anschluss kritischer Elemente.

### 7.3 Schlussfolgerung zum Einfluss des Metallisierungsdesigns auf die Gesamtzuverlässigkeit

Die in den Abschnitten 7.1 und 7.2 gezogenen Schlussfolgerungen haben zum Ziel, das Produktdesign hinsichtlich der Elektromigration einerseits und der Stressmigration andererseits zu optimieren. Aus Sicht der Qualitätssicherung ist es natürlich notwendig, die Gesamtzuverlässigkeit des Produktes zu gewährleisten mit den Randbedingungen hoher Performance und großer Ausbeute bei möglichst geringer Chipfläche. Die Designempfehlungen, welche auf Grundlagen von Zuverlässigkeitsaspekten definiert werden und Bestandteil so genannter „Built-In Reliability“-Konzepte sind, sollen daher nach Möglichkeit keine dieser Aspekte zu stark beeinträchtigen oder zueinander im Widerspruch stehen. Da sich die Via/Leitbahn-Übergänge als *die* zuverlässigkeitslimitierenden Elemente herauskristallisiert haben, stehen hierbei Regeln für das Via wie beispielsweise die Via-Positionierung, die Via-Anzahl und der Via-Überlapp im Mittelpunkt. In den folgenden Punkten sollen Aspekte kondensiert werden, die sowohl Elektromigrations- als auch Stressmigrationszuverlässigkeit erhöhen:

- Realisierung möglichst großer Via-Durchmesser
- Realisierung möglichst großer Via/Leitbahn-Überlapp
- Verwendung möglichst vieler Vias, Vermeidung von Einzel-Vias
- Verwendung möglichst kurzer Leitbahnen.

Daneben gibt es die in den vorangegangenen Kapiteln beschriebenen Empfehlungen und Regeln, die speziell auf das Elektromigrations- bzw. Stressmigrationsverhalten zugeschnitten sind. Dazu gehören z.B. die speziellen Via-Stromregeln nebst Bonusfaktoren bzw. die sogenannte „Nasen“-Regel.

## 8. Einflüsse der Herstellungsprozesse auf die Zuverlässigkeit

Nachdem im Kapitel 7 auf die Beeinflussung der Zuverlässigkeit durch geometrische Aspekte eingegangen wurde, befassen sich die nachfolgenden Abschnitte mit den Einflüssen, welche die verschiedenen technologischen Prozess-Schritte auf die Kupfermetallisierung haben können. Um die Lebensdauieranforderungen des späteren Produktes zu erfüllen, ist es notwendig, einen Gesamtprozess zu entwickeln, der alle Teilaspekte der Zuverlässigkeit wie Elektromigration, Stressmigration und Isolation berücksichtigt. Dabei gibt es die verschiedensten Einfluss-Szenarien. Erfahrungsgemäß hat die Mehrheit der Prozessänderungen nur jeweils einen selektiven Einfluss auf einen ganz bestimmten Ausfallmechanismus. Daneben gibt es eine große Gruppe von Einzelprozessen, mit denen die Metallisierungseigenschaften dahingehend beeinflusst werden, dass sie verschiedene Zuverlässigkeitsaspekte in derselben (positiven bzw. negativen) Richtung ändern. Wie im Kapitel 8.7 noch gezeigt wird, gibt es jedoch auch Prozessmodule, bei denen durch Änderungen der Prozessführung die Elektromigrationsfestigkeit z.B. ganz erheblich gesteigert werden kann, gleichzeitig aber eine dramatische Verschlechterung der Stressmigrations-eigenschaften in Kauf genommen werden muss. Auf Grund dieser Beobachtungen ist es notwendig, Änderungen am Gesamtprozess stets in ihrer Ganzheit zu qualifizieren.

Auf Basis der bisher angestellten Überlegungen lassen sich die prozessbedingten Einflüsse auf zuverlässigkeitsrelevante Eigenschaften bezüglich dreier Kategorien systematisieren (vgl. Kapitel 1):

- *Typ 1*: Prozesse, welche die *lokalen Eigenschaften in Via-Nähe* beeinflussen
- *Typ 2*: Prozesse, welche die *globale Kornstruktur des Kupfers* beeinflussen
- *Typ 3*: Prozesse, welche *globale Eigenschaften an der Cu/SiN-Grenzfläche* beeinflussen.

Gemäß des sequentiellen Ablaufs der in Kapitel 4 beschriebenen Einzelprozesse bzw. Prozessmodule werden die durchgeführten Untersuchungen wie folgt vorgestellt:

Kapitel	Untersuchter Einzelprozess	Untersuchter Zuverlässigkeitsaspekt			Prozessbedingter Einfluss
		EM	SM	Isolation	
8.1	Single-Damascene Grabenätzung	x	x		<i>Typ 1</i>
8.2	Dual-Damascene Via-Ätzung	x	x		<i>Typ 1</i>
8.3	Liner Pre-Clean	x	x		<i>Typ 1</i>
8.4	Linerabscheidung	x	x	x	<i>Typ 1</i>
8.5	Elektrolytische Kupferabscheidung	x			<i>Typ 2</i>
8.6	Post-Plating Anneal	x	x		<i>Typ 2</i>
8.7	SiN-Deckschichtabscheidung	x	x		<i>Typ 3</i>

### 8.1. Die Single-Damascene Grabenätzung

In den meisten CMOS-Technologien wird die unterste Metallisierungslage durch einen Single-Damascene Prozess realisiert. Der Anschluss der Transistoren erfolgt dann über einen Wolframkontakt. Da Wolfram im Vergleich zu Kupfer oder Aluminium elektromigrationsresistent ist, ist dieser Kontakt nicht vom unmittelbaren Voiding-Prozess betroffen. Da er jedoch eine Flussdivergenz darstellt, werden mit der Prozessierung der Kupfer/Liner/Wolfram-Grenzfläche stets auch Zuverlässigkeitsaspekte berührt.

Um einen möglichst niederohmigen Übergang herzustellen, ist man bestrebt, die Leitbahngräben stets mit einem gewissen Grad an Überätzung auf dem Wolfram zu landen, so dass das Kontaktloch ein wenig in den Graben hineinragt. Für die Realisierung eines möglichst defektfreien Übergangs zwischen dem Wolframkontakt und der Leitbahn ergeben sich für dieses Prozessmodul folgende Herausforderungen:

- Hohe Ätzselektivität zwischen Oxid und Wolfram zur Vermeidung der Anätzung des Wolframs
- Gleiche Ätzraten über den gesamten Wafer (Homogenität)
- Vermeidung von lokalen Rauigkeiten und Unterätzungen zur Ermöglichung einer adäquaten Abscheidung des Liners.

#### Elektromigration

Bei der Entwicklung der 180nm Generation konnte in der Anfangszeit an Single-Damascene Leitbahnen mit Wolframkontakten die Beobachtung gemacht werden, dass die gesamte Stichprobe durch ein und denselben frühen Mechanismus ausgefallen war. Dieser zeichnete sich durch kleine schlitzförmige Voids direkt an den Übergängen zwischen Kontakt und Leitbahn aus (Abb. 8-1). Die bei Stressbedingungen gemessenen Ausfallzeiten waren mit etwa 40h relativ gering (Abb. 8-2). Als Konsequenz konnten mit derartig prozessierten Kupferleitbahnen keine wesentlich höheren Stromtragfähigkeiten ( $j_{use}$ ) bzw. Lebensdauern ( $t_{EOL}$ ) im Vergleich zu Aluminiummetallisierungen erzielt werden.

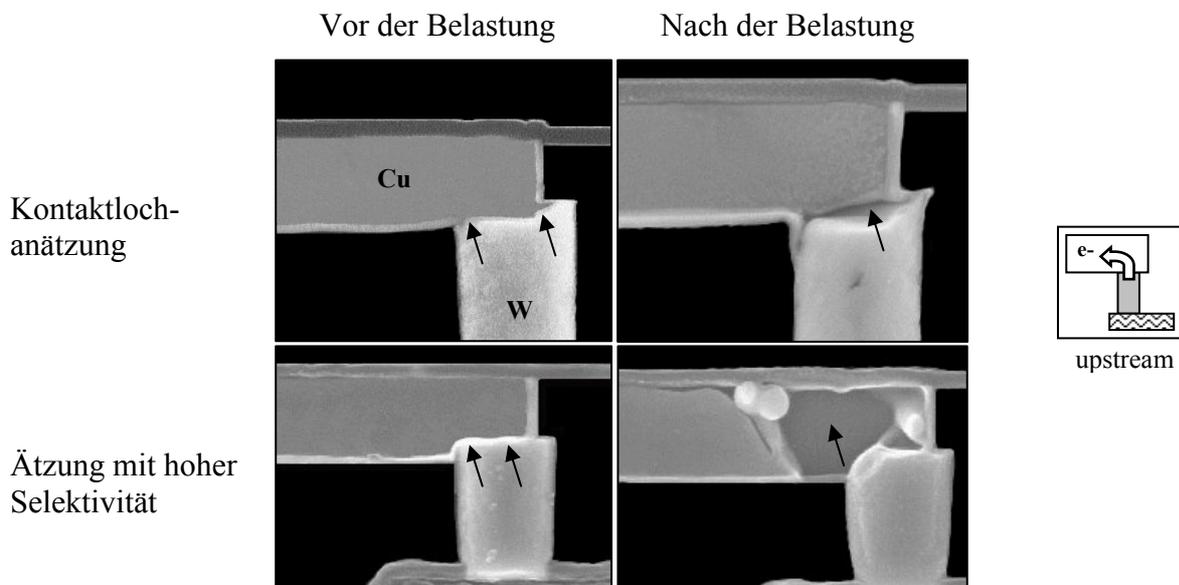


Abb. 8-1: Übergang vom W-Kontakt zur Cu-Leitbahn vor (links) und nach (rechts) der Strombelastung für unterschiedliche Grabenätzprozesse. Proben mit angeätzten Kontakten zeigen einen inhomogenen Liner und fallen durch schlitzförmige Voids aus (oben). Durch eine optimierte Ätzung mit hoher Selektivität bleibt das Kontaktloch unverändert, was eine homogene Linerabscheidung ermöglicht. Dies führt zu höheren Ausfallzeiten mit großen volumenartigen Voids.

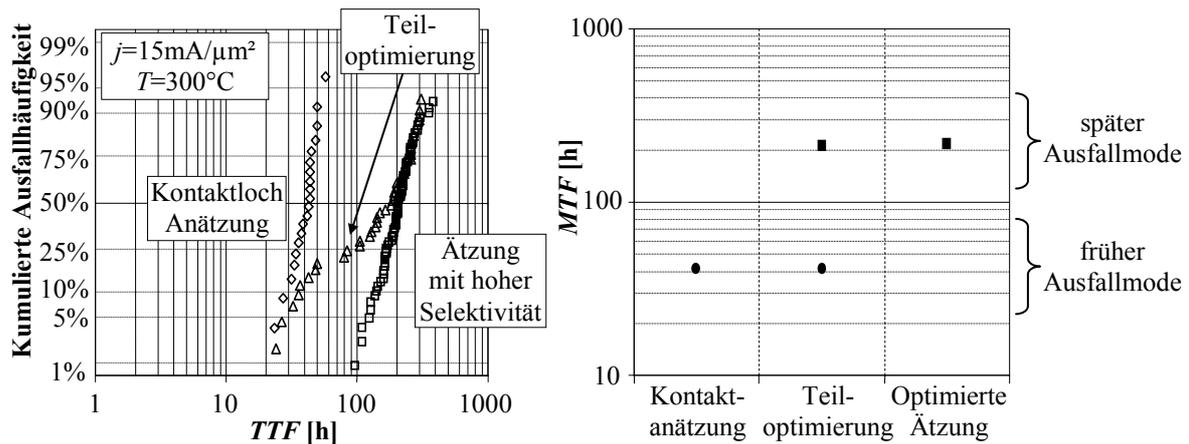


Abb. 8-2: Einfluss der Single-Damascene Grabenätzung auf das Elektromigrationsverhalten von Strukturen mit Wolframkontakt. Eine Kontaktlochanätzung verursacht kleine schlitzförmige Voids mit kurzen Ausfallzeiten. Eine optimierte Grabenätzung mit hoher Selektivität führt zu volumenartigen Voids und ermöglicht lange Ausfallzeiten. Teiloptimierte Prozesse resultieren in bimodalen Ausfallverteilungen bestehend aus beiden Fehlermechanismen.

Eine Analyse des Ausfallorts zeigte, dass mit der Überätzung des M1-Grabens stets eine lokale Anätzung des Wolframkontaktes einherging (Abb. 8-1). In Folge dessen kam es zur Bildung von Oxidüberhängen, welche eine homogene Linerabscheidung erschweren. Aus diesen Fehleranalysen ließ sich schließen, dass mit dem gegebenen Plasmatrockenätzprozess keine ausreichend hohe Selektivität zwischen Oxid und Wolfram zu erreichen war. Im weiteren Verlauf der Prozessentwicklung wurde dieser Ätzprozess durch gezielte Anpassung der Plasmaintensität, der Plasmazusammensetzung sowie der Ätzzeit dahingehend verbessert, dass nur das einbettende Oxid nicht jedoch der Wolframkontakt abgetragen wird. Mit einem derart optimierten Prozess ließ sich dann der Liner problemlos über den gesamten Kontaktlochbereich abscheiden und eine Erhöhung der Elektromigrationsausfallzeiten um den Faktor 5 erreichen (Abb. 8-2). Die höheren Ausfallzeiten korrespondierten nun zu deutlich größeren Void-Volumen, bei denen das gesamte Kupfervolumen oberhalb des Kontaktes in Stromrichtung migriert war.

Bei der Suche nach dem optimalen Prozess ergaben sich interessanterweise auch Stichproben, in denen beide Fehlermechanismen zu beobachten waren. Die resultierenden bimodalen Ausfallverteilungen (Abb. 8-2) konnten mit dem Superpositionsprinzip (vgl. Kapitel 2.1.4.1) beschrieben werden. Diese Überlagerung ist Folge einer gemischten Stichprobe mit zwei unterschiedlichen Merkmalen: In einem Teil der Stichprobe waren die Wolframkontakte beschädigt und es trat der frühe Ausfallmechanismus auf; in dem anderen Teil waren sie intakt und die Strukturen fielen ausschließlich durch den späten Mechanismus aus.

### Stressmigration

Ein ähnliches Ausfallszenario konnte auch bei reiner Temperaturlagerung ohne Strombelastung beobachtet werden. An Gitterstrukturen, die über einzelne Wolframkontakte und Brücken aus Polysilizium miteinander verbunden sind, wurden im Falle eines überätzten Kontaktloches dieselben schlitzförmigen Voids (Abb. 8-3) gefunden - analog zum frühen Ausfallmechanismus bei Elektromigration. Bei Verwendung des optimierten Ätzprozesses mit hoher Selektivität, der den Wolframkontakt intakt lässt, konnten Stressmigrationsschäden vollständig unterdrückt werden: Selbst nach 5000h Lagerung bei 275°C wurde keine Widerstandserhöhung registriert, und die Leitbahnen blieben völlig intakt (Abb. 8-3). Im Vergleich dazu liegen die mittleren Stressmigrationsausfallzeiten bei Strukturen mit stark überätzten Kontakten bei etwa 200h (Abb. 8-4). Im Zwischenstadium eines teiloptimierten Ätzprozesses vergrößern sich die Ausfallzeiten etwa um einen Faktor 10. Das dazu

korrespondierende Void füllt bereits ein größeres Leitbahnvolumen aus und hat nicht mehr die schlitzförmige Gestalt wie im Falle des stark überätzten Kontaktloches.

In Hinblick auf die beobachtete Häufigkeit des Voiding-Prozesses sei angemerkt, dass im Falle der starken Wolframüberätzung schlitzförmige Voids in praktisch sämtlichen Kontaktloch/Leitbahn-Übergängen anzutreffen waren, während die größeren volumenartigen Voids im Falle der Teiloptimierung nur noch sporadisch an bestimmten Einzelübergängen gefunden wurden - die Mehrheit zeigt jedoch kein Voiding (Abb. 8-3).

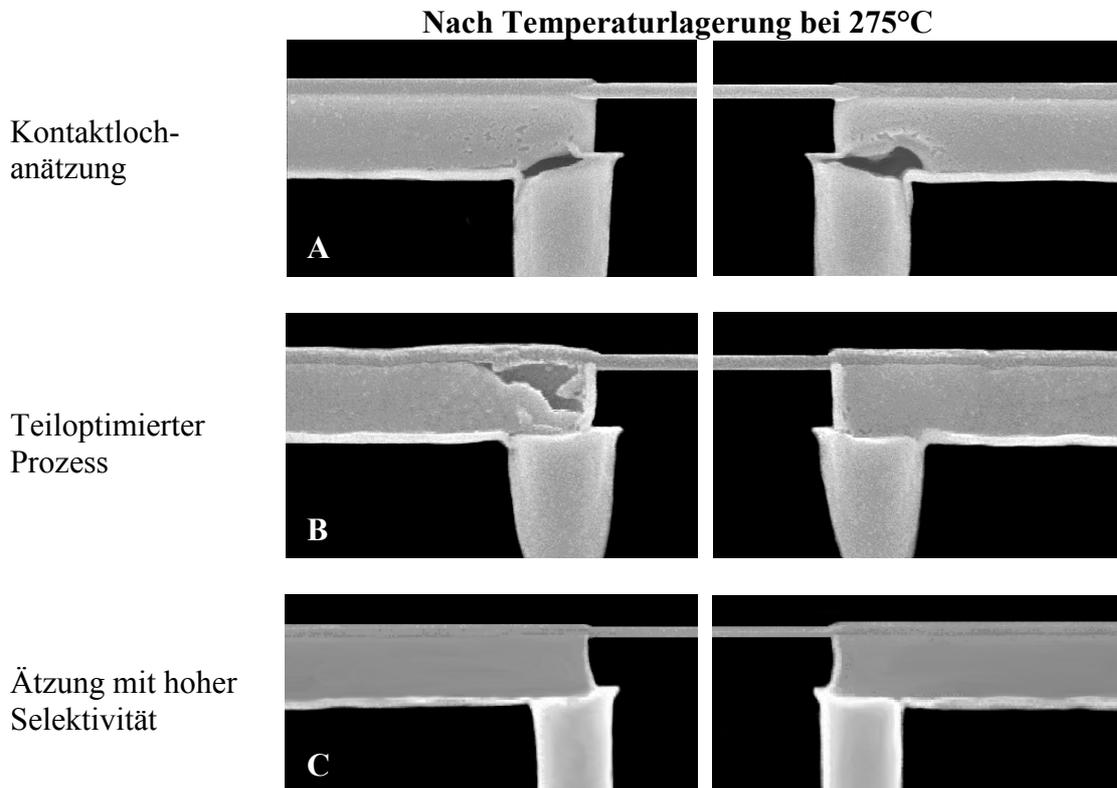


Abb. 8-3: Gitterstrukturen über Wolframkontakt nach einer Temperaturlagerung bei 275°C. Eine Anätzung des Wolframs führt zu schlitzförmigen Voids (A). Volumenartige Voids korrespondieren mit einer weniger starken Anätzung (B). Bei optimierter Prozessführung durch hohe Ätzselektivität bleibt das Wolframkontaktloch intakt, und selbst nach 5000h ist keine Schädigung durch Stressmigration festzustellen (C).

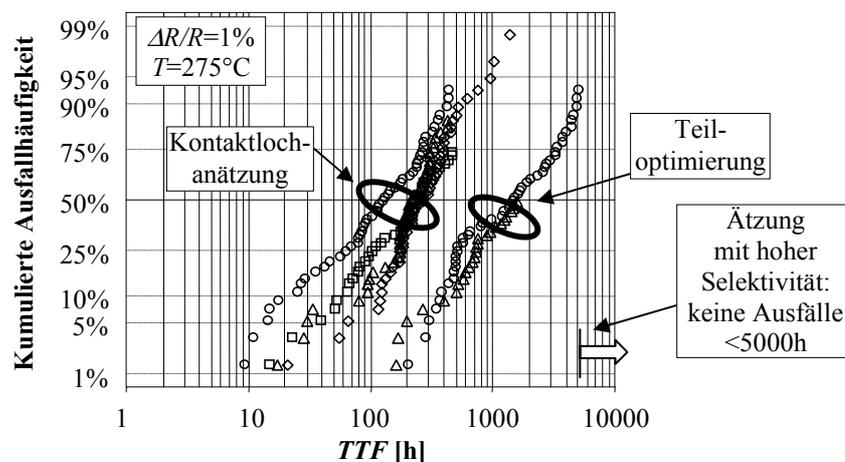


Abb. 8-4: Einfluss der Single-Damascene Grabenätzung auf die Stressmigration an Gitterstrukturen mit Wolframkontakt. Starke Kontaktlochanätzung führt zu kurzen Ausfallzeiten (schlitzförmige Voids), eine teiloptimierte Ätzung ermöglicht deutlich größere Ausfallzeiten (volumenförmige Voids), Strukturen mit optimierter Grabenätzung zeigen auch nach 5000h Belastung keine Ausfälle.

### Zusammenfassung

Die Single-Damascene Grabenätzung ist ein Beispiel dafür, wie durch den Einzelprozessparameter der Ätzselektivität sowohl das Elektromigrations- als auch das Stressmigrationsverhalten gleichermaßen beeinflusst wird. Das Auftreten von frühen Elektromigrations- und Stressmigrationsausfällen hat hier nämlich ein und dieselbe physikalische Ursache: durch die Oxidüberhänge und lokale Rauigkeiten, welche aus der Überätzung des Kontaktloches resultieren, lässt sich der Liner nicht mehr homogen auf diese Topologie abscheiden und fehlt sogar teilweise. Dadurch wird die Adhäsion des Kupfers auf dem Wolframkontakt beeinträchtigt. An einer derart gestörten Grenzfläche kommt es zu einer bevorzugten Nukleation von Leerstellen sowie einer beschleunigten Grenzflächenmigration, welche zu einer schnelleren Voidbildung führt. Da aufgrund des defekten Liners kein ausreichender elektrischer Kontakt mehr zwischen dem Wolfram und dem Kupfer besteht, tritt bei der Bildung eines kleinen schlitzförmigen Voids dann ein sehr großer Widerstandsanstieg auf. Demzufolge fallen Strukturen mit solchen Grenzflächen entsprechend früher aus.

Im Falle eines optimierten Ätzprozesses mit hoher Selektivität wird der Liner mit hoher Konformität auf die weniger kritische Topologie abgeschieden. Bei einer Void-Bildung dient der Liner als redundanter Strompfad ausreichender Leitfähigkeit - somit verursacht erst ein signifikant größeres Void-Volumen einen für das Produkt kritischen Widerstandsanstieg (z.B.  $\Delta R/R=20\%$ ). Demzufolge findet man an derartigen Grenzflächen sowohl höhere Elektromigrations- als auch Stressmigrationsausfallzeiten.

## 8.2 Die Dual-Damascene Via-Ätzung

Analog zur Strukturierung der Single-Damascene Gräben können die Ursachen zur Ausbildung lokaler Linerdefekte auch bei der Via-Ätzung liegen. Im Zusammenhang mit der Ätzung des Via-Lochs im Oxid und der nachfolgenden Öffnung der SiN-Deckschicht (vgl. Prozesse III und IV in Abb. 4-1) sind aus Zuverlässigkeitsgesichtspunkten zwei Kontrollgrößen als besonders kritisch einzustufen:

- 1) Kontrolle der Ätztiefe beim Erzeugen des Via-Lochs
- 2) Kontrolle der Ätzselektivität beim Öffnen der SiN-Deckschicht.

### 8.2.1 Auswirkungen von Überätzungen beim Erzeugen des Via-Lochs

Eine Überätzung des Vias, d.h. das Landen des Via-Bodens im Volumen der darunter liegenden Leitbahn, hat seine Ursache in einer nicht ausreichenden Ätzselektivität zwischen dem Oxid und der SiN-Deckschicht während der Öffnung des Via-Lochs. Dadurch wird die SiN-Schicht unkontrollierbar angeätzt, lokal gedünnt oder sogar durchgeätzt. Bei der anschließenden Veraschung des Fotolacks mit einem O<sub>2</sub>-Plasma kann dann Sauerstoff in das darunterliegende Kupfer eindringen. Durch diese lokale Oxidation unterhalb des Vias wird bei den nachfolgenden nass-chemischen Reinigungsschritten die Leitbahn erheblich unterätzt (vgl. Abb. 4.4). Während der Liner- und Kupferabscheidung kommt es dann zum Einbau lokaler Defekte bis hin zu makroskopischen Voids (Abb. 8-5a).

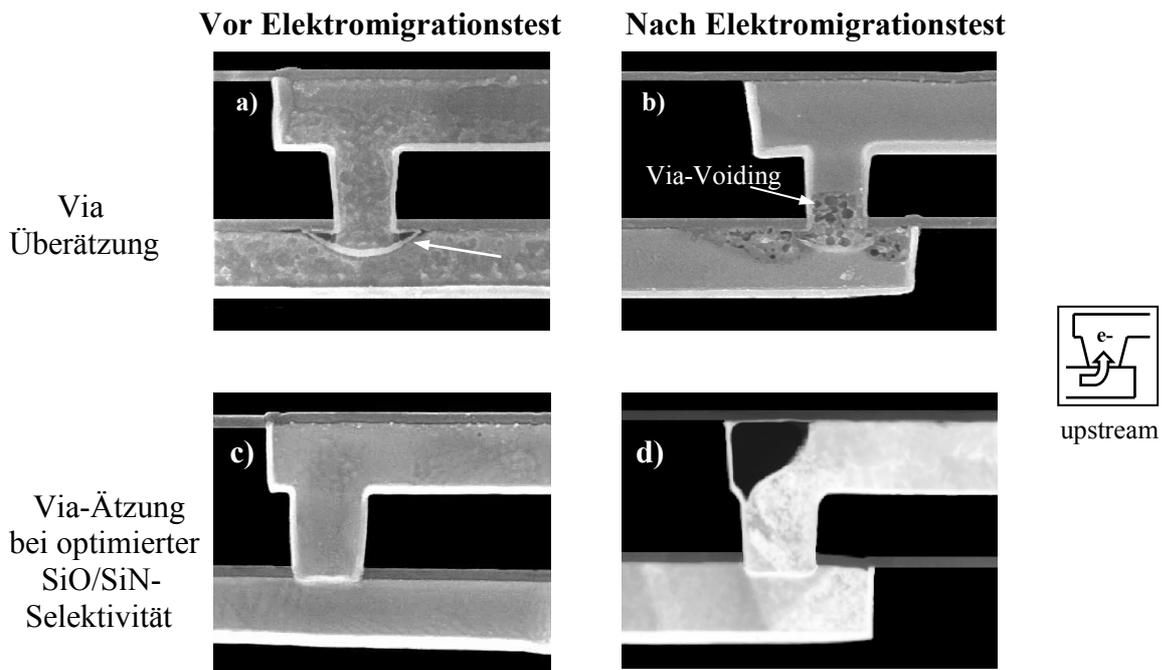


Abb. 8-5: Durch Unterätzung des Vias kommt es zu einer gestörten Kupfer/Liner-Grenzfläche und Void-Bildung auch ohne Belastung (a). Derartige Via/Leitbahn-Übergänge zeigen einen diffusen Via-Voiding Mechanismus (b) mit geringen Ausfallzeiten. Durch exaktes Landen des Via-Bodens auf die darunter liegende Kupferleitbahn können der Liner adäquat abgeschieden (c) und entsprechend höhere Elektromigrationsausfallzeiten realisiert werden, welche durch Leitbahn-Voiding charakterisiert sind (d).

An derart gestörten Via/Leitbahn-Übergängen beobachtet man einen dramatischen Abfall sowohl der Elektromigrations- als auch der Stressmigrationsfestigkeit. So findet man sehr breite Elektromigrationsverteilungen (Abb. 8-6), die sich im konkreten Fall einer Upstream-Belastung über drei Dekaden erstreckt. Diese große Streuung spiegelt die Tatsache wider, dass sich die Stichprobe auf Grund der nicht kontrollierten Liner/Kupfer-Grenzfläche

inhomogen zusammensetzt. Dabei sind die frühen Ausfälle durch ein diffuses Voiding in der Umgebung des Via-Bodens charakterisiert (Abb. 8-5b).

Im Gegensatz dazu wird bei der Verwendung eines optimierten Ätzprozesses eine defektfreie Abscheidung des Liners ermöglicht (Abb. 8-5c). Der frühe Via-Voiding-Mechanismus wird unterdrückt und die Strukturen fallen ausschließlich durch Voiding in der Leitbahn aus (Abb. 8-5d). Die Schwankung der Ausfallzeiten reduziert sich dabei auf eine Dekade. Erreicht wird diese Optimierung durch eine Modifikation der Ätzselektivität, welche die SiN-Schicht während der Öffnung des Via-Lochs unbeeinträchtigt lässt. Eine derartige SiN-Schicht schützt während des O<sub>2</sub>-Plasma Schrittes das darunter liegende Kupfer vor dem Sauerstoff und verhindert seine Oxidation.

Für das Stressmigrationsverhalten ergibt sich für beide Prozessoptionen ein ähnliches Bild: Während für den nicht-optimierten Ätzprozess eine hohe Stressmigrationsanfälligkeit und eine deutliche Degradation registriert werden können, wird an Stichproben, die mit dem optimierten Prozess hergestellt wurden, keinerlei Erhöhung des Widerstandes bei einer Hochtemperaturlagerung festgestellt.

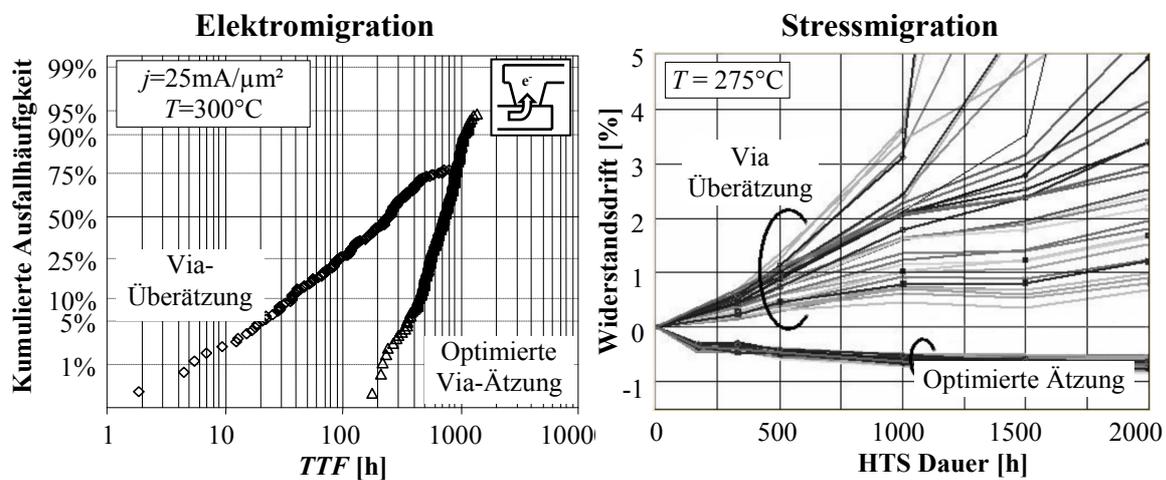


Abb. 8-6: Elektromigrations- (links) bzw. Stressmigrationsverhalten (rechts) von Via/Leitbahn- bzw. Gitterstrukturen für verschiedene Via-Ätzungen. Überätzte Vias mit defekten Linergrenzschichten zeigen eine breite EM-Verteilung mit Frühausfällen sowie eine Widerstandsdrift bei 275°C. Eine optimierte Ätzung führt zu deutlich schmaleren EM-Verteilungen und zur Unterdrückung der Stressmigration.

### 8.2.2 Erzeugung lokaler Seitenwandfurchen beim Öffnen der SiN-Deckschicht

Nach dem Strukturieren des Via-Lochs im Oxid mit Landung des Via-Bodens auf der SiN-Schicht erfolgt durch einen zweiten Ätzprozess die Öffnung der dielektrischen Deckschicht. Bei Metallisierungen der 180nm Generation besteht diese Schicht standardmäßig aus Siliziumnitrid. Dieses wird in der industriellen Praxis mit zwei unterschiedlichen Standard-CVD-Verfahren abgeschieden. Im Gegensatz zu einem plasmaunterstützten Verfahren (PECVD) gelingt es durch die Verwendung eines Plasmas höherer Dichte (HDP), die Adhäsion zwischen Kupfer und der SiN-Schicht zu verbessern, was mit einer Erhöhung der Elektromigrationsaktivierungsenergien von 0.9 auf 1.2eV [R] einhergeht und deutlich höhere Lebensdauern ermöglicht. Zur Öffnung einer PECVD- bzw. HDP-SiN-Deckschicht (Kap. 4.1) gibt es speziell adjustierte Ätzprozesse, die auf die Materialeigenschaften (insbesondere Ätzrate) abgestimmt sind, welche sich aus der jeweiligen Abscheideart ergeben.

Die im Folgenden diskutierten Studien entstanden im Rahmen der Entwicklung eines Sonderprozesses, der sich von der konventionellen Dual-Damascene Architektur dahingehend unterscheidet, dass auf die erste SiN-Deckschicht in einem separaten Prozess eine zweite SiN-Schicht abgeschieden wird. Das Integrationsschema dieser Sonderentwicklung sah vor, dass mit dieser zweiten Nitridschicht ein Kondensator mit hoher spezifischer Kapazität gestaltet werden sollte. Da bekannt ist, dass die PECVD-Schicht das Material der Wahl zur Realisierung des Dielektrikums einer solchen Kapazität ist, weil mit ihr im Vergleich zu HDP-Schichten eine höhere Zuverlässigkeit bzgl. dielektrischer Durchbrüche erreicht werden kann, lag es nahe, die Doppelschicht aus einer Abfolge von HDP-SiN und PECVD-SiN zu realisieren. Damit sollten die Vorteile beider Abscheidemethoden vereint werden: die Realisierung einer migrationsfesten Cu/SiN-Grenzfläche einerseits sowie die Abscheidung eines qualitativ hochwertigen Nitrids für das Kondensatordielektrikum andererseits. In der Realität zeigte sich doch, dass sich durch die Kombination eines HDP/PECVD-Doppelschichtsystems fatale Folgen für die Zuverlässigkeit des Via/Leitbahn-Übergangs ergaben.

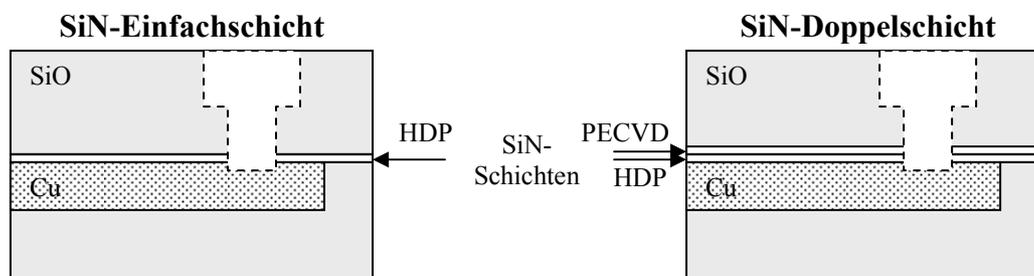


Abb. 8-7: Schematischer Aufbau der untersuchten SiN-Deckschichtsysteme: Einfache HDP-SiN-Deckschicht auf der Kupferbahn (links) bzw. Doppelschicht aus HDP- und PECVD-SiN (rechts).

Elektromigrationstests, die an upstream-gestressten Via/Leitbahn-Strukturen mit einer solchen Doppeldeckschicht durchgeführt wurden, zeigten im Vergleich zu Strukturen mit einer einfachen SiN-Deckschicht einen deutlich ausgeprägten Frühausfallmechanismus an 25% der getesteten Stichprobe (Abb. 8-8). Eine Fehleranalyse zeigte, dass diese frühen Ausfälle durch einen Via-Voiding-Mechanismus verursacht wurden. Das Besondere an den hier vorliegenden Via-Voids ist die Tatsache, dass das Kupfer am unmittelbaren Via-Boden noch vorhanden ist und die Migrationsschädigung exakt auf der Höhe der HDP/PECVD-Grenzschicht liegt (Abb. 8-9a). Die späteren Ausfälle werden wie gewöhnlich durch Voiding in der Leitbahn über dem Via hervorgerufen und sind mit dem Ausfallmechanismus der Einfachdeckschicht identisch (Abb. 8-9c).

Darüber hinaus wurde an Metallisierungen mit der SiN-Doppelschicht eine deutliche Widerstandsdrift an Stressmigrationsstrukturen bei Hochtemperaturlagerung festgestellt, während mit einfacher Deckschicht keinerlei Widerstandserhöhung auftrat (Abb. 8-8).

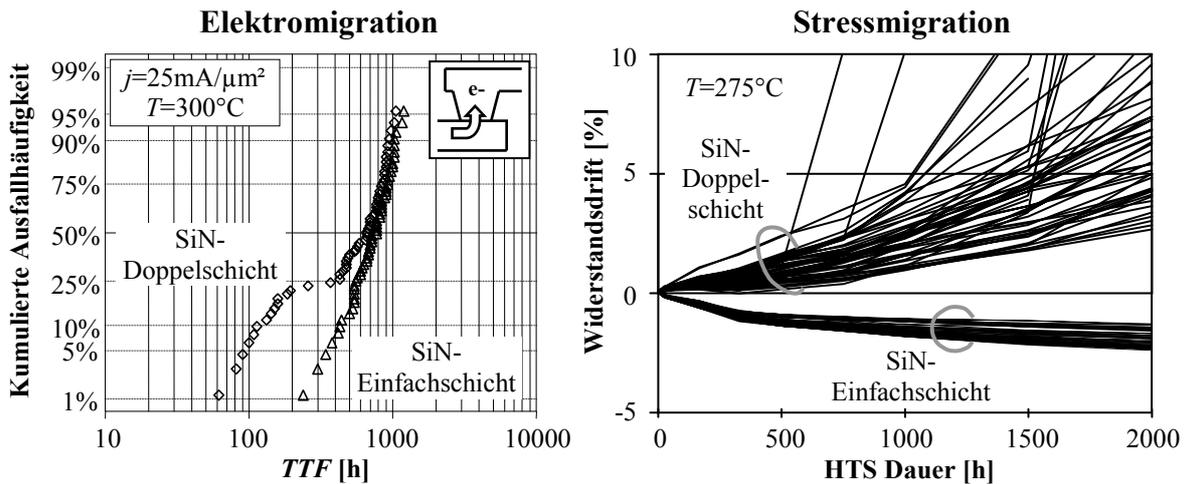


Abb. 8-8: Elektromigrations- (links) bzw. Stressmigrationsverhalten (rechts) von Via/Leitbahn- bzw. Gitterstrukturen mit einfacher oder doppelter Deckschicht: Eine nicht optimierte Ätzung der SiN-Doppelschicht verursacht einen frühen EM-Fehlermechanismus sowie Widerstandsdriften bei Temperaturlagerung.

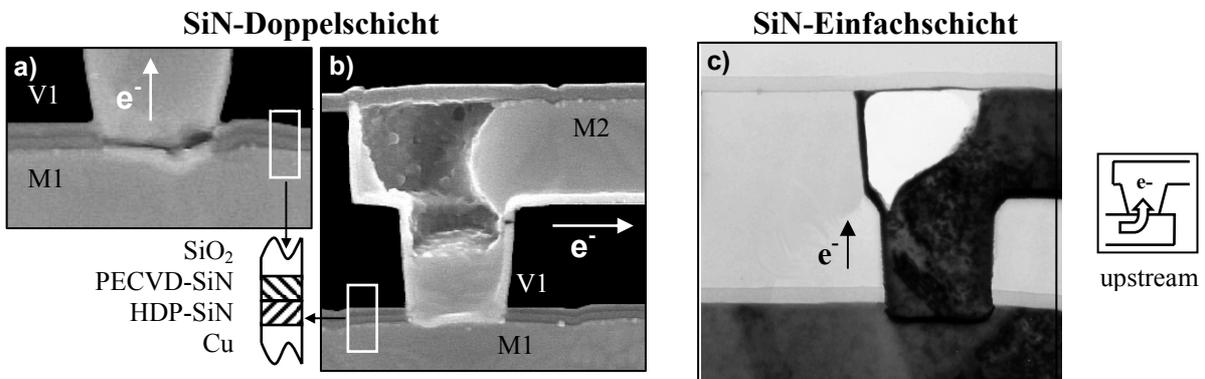


Abb. 8-9: Auswirkungen einer nicht optimierten Öffnung der SiN-Doppelschicht: Upstream-gestresste Via/Leitbahn-Strukturen mit SiN-Doppelschicht zeigen ein bimodales Ausfallsverhalten: Frühe Ausfälle mit Voids am Via-Boden (a), spätere Ausfälle mit Voids in der Leitbahn über dem Via (b). Strukturen mit einer einzelnen SiN-Deckschicht zeigen die Voidbildung nur in der Bahn oberhalb des Vias (c).

Die primäre Ursache für das Auftreten der Elektromigrationsfrühausfälle und der Stressmigrationsdriften mit einer SiN-Doppelschicht wird durch Fehleranalysen an unbelasteten Proben aufgedeckt. Wie man in Abb. 8-10 erkennt, befindet sich exakt an der Nahtstelle beider SiN-Deckschichten eine starke Unterätzung. Der abgeschiedene Liner kann diese Topologie nicht überdecken und weist an dieser Stelle eine Unterbrechung auf. Diese wohl-lokalisierten „Furchen“, bei denen das Kupfer mit freier Oberfläche vorliegt, wirken dann als Zentren bevorzugter Keimbildung und als Ausgangspunkt des Void-Wachstums während eines strom- oder mechanisch-induzierten Migrationsvorgangs. Die Ursache der Furchenbildung liegt an einem geringfügigen Unterschied der Ätzraten, welche die HDP- bzw. PECVD-SiN-Schichten gegenüber dem verwendeten Ätzplasma haben.

Für die Lösung des Zuverlässigkeitsproblems ergeben sich zwei Möglichkeiten:

- 1) Optimierung des Ätzvorganges, so dass für beide Materialien gleiche Ätzraten erreicht werden und so die Furchenbildung verhindert wird,
- 2) Verwendung eines geeigneten Linerabscheideverfahrens, welches es ermöglicht, den Liner trotz vorhandener Furchentopologie kontinuierlich und defektfrei aufzutragen.

Beide Möglichkeiten wurden in der Praxis erfolgreich erprobt. Auf die Behebung des Zuverlässigkeitsproblems mit Methode 2 durch Verwendung eines Rücksputterverfahrens wird in Kapitel 8.4 noch näher eingegangen.

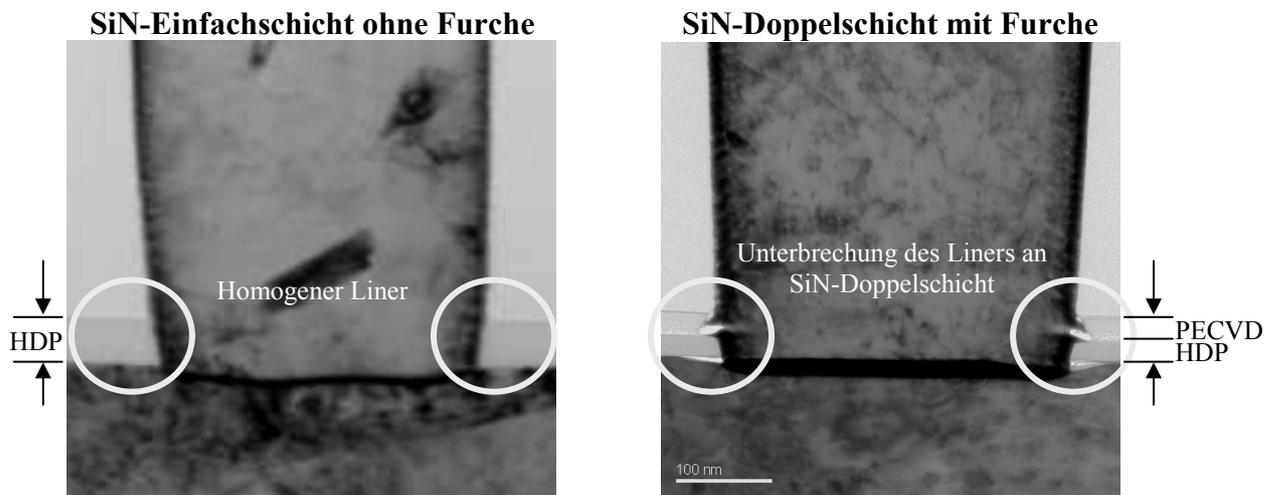


Abb. 8-10: Via-Querschnitte bei Ätzung durch Standard SiN-Schicht (links) bzw. SiN-Doppelschicht (rechts) mit homogener Linerkantenbedeckung (links) bzw. unterbrochenem Liner in diesem Bereich.

### 8.2.3 Zusammenfassung: Zuverlässigkeitsaspekte der Via-Ätzung

Im Prozessmodul der Via-Ätzung wurde in den beiden vorangegangenen Abschnitten eine nicht optimale Ätzselektivität als primärer Auslöser von Zuverlässigkeitsrisiken identifiziert. Im ersten Fall der Strukturierung des Via-Lochs (Kap. 8.2.1) handelt es sich um die Oxid/Nitrid-Selektivität. Ein Zuverlässigkeitsrisiko ist dadurch gegeben, dass die Selektivität nicht hoch genug ist, so dass bei der Strukturierung des Oxids auch das Nitrid geschädigt wird. Im zweiten Beispiel der Öffnung einer SiN-Doppelschicht (Kap. 8.2.2) werden Zuverlässigkeitsprobleme induziert, wenn zwischen HDP- und PECVD-SiN eine zu hohe Selektivität vorliegt.

In beiden Fällen bringt die nicht optimale Einstellung der Ätzselektivität mit sich, dass im darauf folgenden Abscheideprozess der Liner defektbehaftet aufgebracht wird. Dies bedingt die Ausbildung von Stellen bevorzugter Voidbildung. In der Konsequenz verursacht dies das Auftreten sowohl von frühen Elektromigrationsausfällen als auch von stressinduzierten Voids.

### 8.3 Der Liner Pre-Clean

Nach der Dual-Damascene Strukturierung des Dielektrikums ist eine Reinigung der Oberflächen erforderlich, um den Wafer für die Linerabscheidung vorzubereiten. Die Notwendigkeit dieser Liner Pre-Clean-Behandlung erfolgt unter zwei Gesichtspunkten: Zum einen dient sie dazu, die bei der Veraschung des Fotolackes zurückgebliebenen Polymere und andere Verschmutzungen zu entfernen. Darüberhinaus müssen etwaige Kupferoxidschichten abgetragen werden, die sich am Via-Loch auf dem nun offenliegenden Kupfer bilden können. Dies geschieht insbesondere dann, wenn es zu einer längeren Wartezeit zwischen der Oxidstrukturierung und der Linerabscheidung kommt. Die Entfernung der Polymerreste und anderer Kontaminationen erfolgt direkt nach der Dual-Damascene Strukturierung mittels eines nass-chemischen Verfahrens. Ziel ist es dabei, die Anzahl der statistisch auftretenden Defekte zu reduzieren, um die Ausbeuten zu erhöhen. Die Abtragung der obersten, oxidierten Kupferschicht erfolgt mittels eines Trockenätzverfahrens (Sputterprozess) unmittelbar vor der Linerabscheidung. Dadurch soll ein möglichst niederohmiger Via-Übergang erreicht werden, um die Serienwiderstände von Via/Leitbahn-Konstruktionen zu minimieren. Da beide Verfahren lokale mikrostrukturelle Aspekte beeinflussen können, sind derartige Pre-Clean-Behandlungen als zuverlässigkeitsrelevant einzustufen (*Typ 1*).

#### 8.3.1 Die nass-chemische Entfernung von Polymerresten

Vergleicht man die Elektromigrationsverteilungen von Via/Leitbahn-Strukturen mit bzw. ohne nass-chemische Reinigung, so erkennt man folgenden Unterschied: Metallisierungen ohne Pre-Clean weisen eine höhere Streuung der Ausfallzeiten auf (Abb. 8-11) und zeigen darüber hinaus vereinzelt auftretende Frühausfälle, die nicht zum Rest der Verteilung gehören. Die Verbreiterung der Elektromigrationsverteilung und das Auftreten von Frühausfällen haben beide ihre Ursache im Vorhandensein von Polymerrückständen an der Seitenwand und dem Boden des Vias (Abb. 8-12). Ersteres dürfte aus der Ansammlung kleinerer Defekte herrühren, die mit einer kontinuierlichen Verschlechterung der Kupfer/Liner-Grenzflächen einhergehen. Die Frühausfälle dürften durch größere Partikel entstehen, welche bei der Linerabscheidung zu größeren Defekten führen.

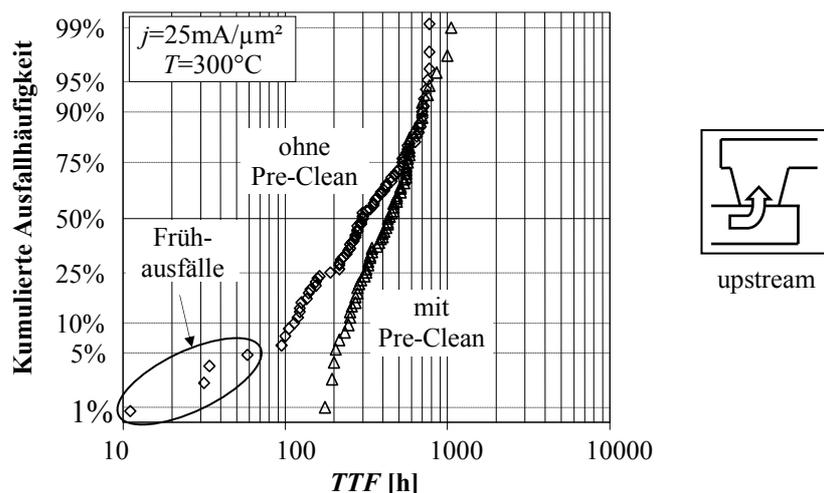


Abb. 8-11: Einfluss des nass-chemischen Pre-Cleans vor der Linerabscheidung: Via/Leitbahn-Strukturen ohne Pre-Clean zeigen eine Verbreiterung der Ausfallverteilung. Daneben kommt es zum Auftreten von Frühausfällen.

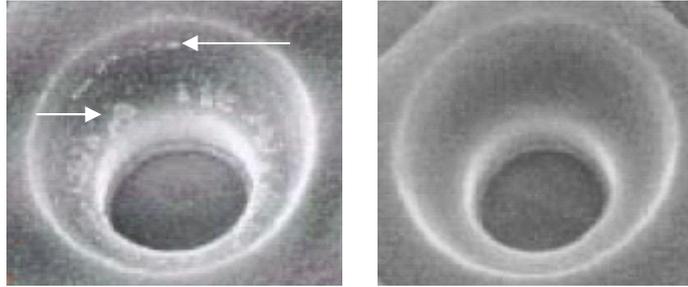


Abb. 8-12: Draufsicht auf ein Via-Loch mit Polymerresten an der Seitenwand (links) nach Fotolackveraschung. Mittels einer nass-chemischen Reinigung werden diese Reste vor der Linerabscheidung entfernt (rechts) [147].

### 8.3.2 Der Sputter-Pre-Clean

Nach erfolgter nass-chemischer Reinigung wird der Wafer unmittelbar vor der Linerabscheidung meist noch einmal mit einem kurzen Sputter-„Pre-Clean“ behandelt, um die Oxidschicht auf dem Kupfer unter dem Via physikalisch zu entfernen. Dafür kommen in der Praxis meist Wasserstoff und Argon als Sputtergas zum Einsatz. Beim Besputtern mit Argon wird die Kupferoberfläche rein physikalisch abgetragen. Verwendet man hochreaktive Wasserstoffionen, so wird das Kupferoxid auch chemisch reduziert [148]. Bei Verwendung von Plasmaprozessen besteht jedoch immer die Gefahr, dass durch den Beschuss des Wafers mit energiereichen Ionen die Kupferoberfläche geschädigt wird.

Die Auswirkungen der verschiedenen Sputter-Pre-Cleans auf das Elektromigrationsverhalten von downstream-gestressten breiten Via/Leitbahn-Strukturen sind in Abb. 8-13 dargestellt. Während die mit dem Argon-Pre-Clean behandelten Proben eine schmale Verteilung der Ausfallzeiten aufweisen, zeigen Via-Übergänge mit Wasserstoffbehandlung ein bimodales Ausfallverhalten (Abb. 8-14). Wie aus der Fehleranalyse hervorgeht, korrespondiert der frühe Ausfallmechanismus hierbei mit kleinen schlitzförmigen Voids direkt unter dem Via und der späte Mode mit größeren, volumenförmigen Voids.

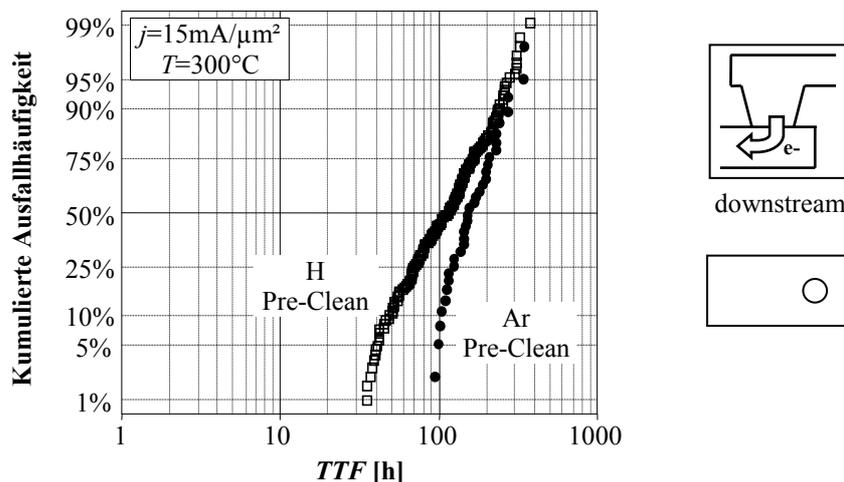


Abb. 8-13: Einfluss des Via-Pre-Cleans auf die Elektromigrationseigenschaften von downstream-gestressten breiten Via/Leitbahn-Strukturen: Argon-behandelte Proben zeigen monomodale Verteilungen. Die Verwendung eines Wasserstoff-Pre-Cleans führt zur Ausprägung eines frühen Ausfallmechanismus’.

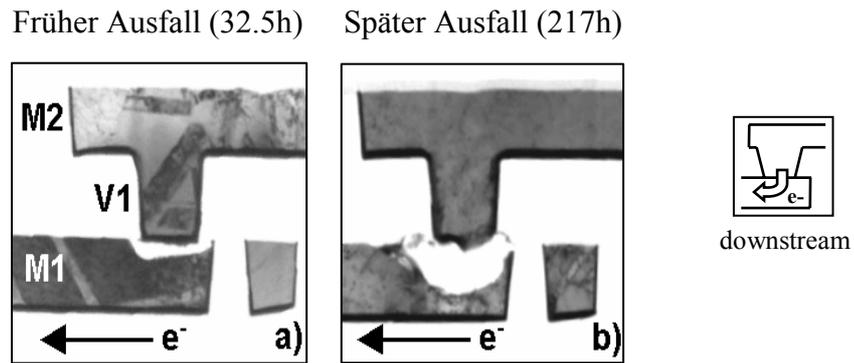


Abb. 8-14: Bimodales EM-Ausfallverhalten bei wasserstoffbehandelten Proben: Frühe Ausfälle sind durch kleine schlitzförmige Voids direkt unter dem Via gekennzeichnet, während späte Ausfälle zu volumenförmigen Voids korrelieren.

Als Ursache für das Auftreten des frühen Ausfallmechanismus' wurde eine lokale Veränderung der Mikrostruktur der Kupferoberfläche unter dem Via festgestellt. Wie aus Abb. 8-15 hervorgeht, kommt es bei der Behandlung mit dem hochenergetischen, reaktiven Wasserstoff zur Ausbildung einer „granularen“ Kupferoberfläche, während bei der Behandlung mit Ar-Ionen die oberflächennahe Kristallstruktur unbeeinträchtigt bleibt.

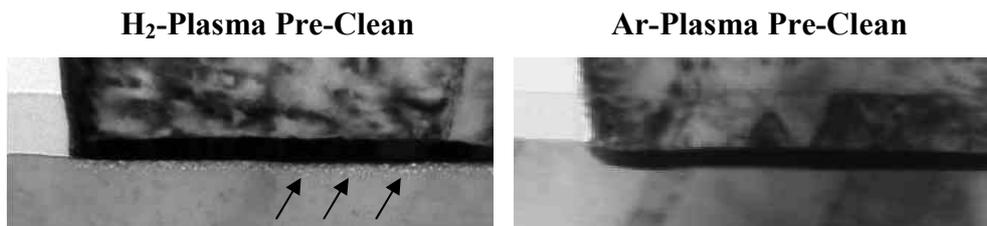


Abb. 8-15: Einfluss eines Sputter-Pre-Cleans auf die Mikrostruktur der Kupferoberfläche unterhalb des Vias: Bei Verwendung eines H<sub>2</sub>-Pre-Cleans bildet sich eine dünne, granulare Grenzschicht (links), während die Oberfläche bei Verwendung von Argon unverändert bleibt (rechts).

In weiterführenden Studien wurde die Bimodalität der wasserstoffbehandelten Proben näher beleuchtet. Dabei stellte sich heraus, dass der frühe und der späte Ausfallmechanismus zwar dieselbe Aktivierungsenergie ( $E_a=0.9\text{eV}$ ) haben, bei der Frühausfallpopulation jedoch erheblich kleinere Stromdichteexponenten nahe eins auftraten. Aus diesem Ergebnis lässt sich schlussfolgern, dass mit dem Vorhandensein der granularen Kupferoberfläche zwar die Kinetik nicht jedoch die Thermodynamik des Elektromigrationsvorgangs beeinflusst wird. Der niedrigere Wert des Stromdichteexponenten für den Frühausfallmode kann als Indikator für den Einfluss der geänderten Mikrostruktur auf die Kinetik des Voiding-Vorganges angesehen werden. Die feinkörnigere granulare Kupferstruktur unter dem Via führt offenbar zu einer erleichterten Void-Nukleation (deshalb  $n\approx 1$ , vgl. Kap. 2.1.1.1) mit einer höheren Anzahl migrationsunterstützender Diffusionspfade, Korngrenzen etc. Die Auswirkung dieser veränderten Elektromigrationskinetik auf die extrapolierte Lebensdauer lässt sich nach Gleichung (19) wie folgt quantifizieren:

$$\frac{t_{EOL}(Ar)}{t_{EOL}(H)} = \frac{MTF(Ar)}{MTF(H)} \cdot \left[ \frac{j_{str}}{j_{Op}} \right]^{(n(Ar)-n(H))} \approx 3...4 \quad (48)$$

wobei  $MTF$  bzw.  $n$  die Ausfallzeiten bzw. Stromdichteexponenten der jeweiligen Stichproben sind (bzgl. des frühen Ausfallmodes bei H<sub>2</sub>-Pre-Clean). Für die verwendeten

Stressbedingungen ( $j_{Str}$ ) ergeben sich für eine angestrebte Betriebsstromdichte von  $j_{Op}=4\text{mA}/\mu\text{m}^2$  Unterschiede in den extrapolierten Lebensdauern von einem Faktor 3 bis 4. Unabhängig von der Beeinflussung des Elektromigrationsverhaltens durch Wahl eines Ar- oder  $\text{H}_2$ -Pre-Cleans konnten während dieser Studien keinerlei Auswirkungen auf das Stressmigrationsverhalten festgestellt werden. Für beide Pre-Clean Arten wurden keine Widerstandsdriften an den Stressmigrationsstrukturen festgestellt. Der Sputter-Pre-Clean ist somit ein Beispiel dafür, wie durch eine lokale Änderung der Kupfermikrostruktur nur ein einzelner Zuverlässigkeitsaspekt berührt wird.

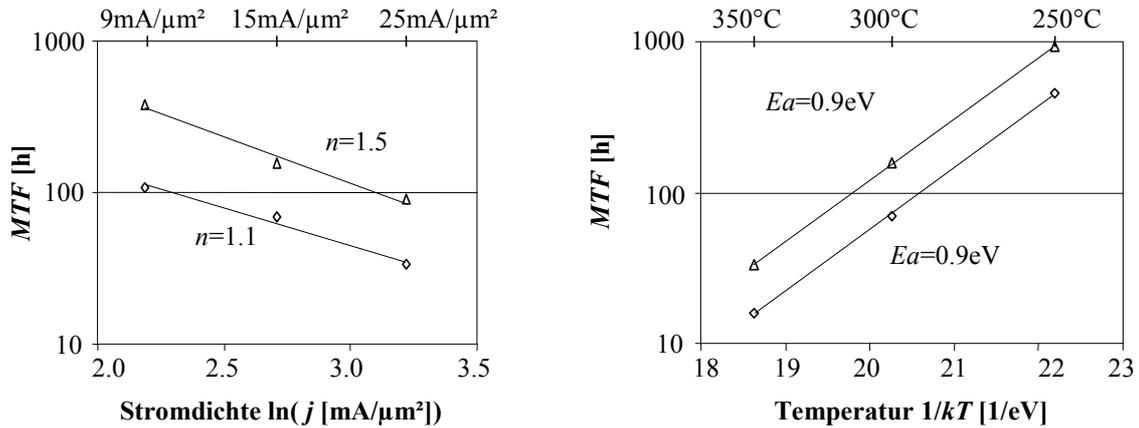


Abb. 8-16: Stromdichteexponenten  $n$  (links) und Aktivierungsenergien  $E_a$  (rechts), bestimmt für die beiden Mechanismen der bimodalen Verteilung des Wasserstoff-Pre-Cleans: Beide Ausfallmodes haben identische Aktivierungsenergien, unterscheiden sich aber in den Stromdichteexponenten. Für den frühen Mechanismus ergibt sich ein Wert für  $n$  nahe eins.

## 8.4 Die Linerabscheidung

Wie in den vorausgegangenen Kapiteln dargestellt wurde, übt die Qualität des Liners einen wesentlichen Einfluss auf die Zuverlässigkeitseigenschaften der Metallisierung aus. Störungen an der Kupfer/Liner-Grenzfläche durch mikrostrukturelle Veränderungen oder lokale Defekte können sowohl das Elektromigrations- als auch das Stressmigrationsverhalten beeinträchtigen.

Zu Beginn der Entwicklung der Kupfermetallisierungen stand die Suche nach einem geeigneten Linersystem im Vordergrund, das neben seinen Diffusionsbarriereigenschaften auch gute Haftvermittlereigenschaften aufweist. Zum einen muss es eine gute Adhäsion zum Oxid vermitteln, zum anderen eine gute Haftung zum Kupfer gewährleisten. Desweiteren müssen in der Regel bei jeder neuen Technologiegeneration die Abscheideverfahren angepasst werden, um den Liner möglichst defektfrei in die modifizierte Dual-Damascene Topologie abzuschneiden. Eine besondere Herausforderung stellen dabei stets die schmalsten Leitbahnen und die Vias dar, welche naturgemäß die höchsten Aspektverhältnisse haben.

In den folgenden Abschnitten werden die Auswirkungen unterschiedlicher Linermaterialien bzw. Linersysteme sowie deren Abscheideverfahren auf die Zuverlässigkeitseigenschaften diskutiert.

### 8.4.1 Das Linermaterial

#### Einfach- und Doppelliner

Mit Einführung der Kupfertechnologien haben sich in der industriellen Praxis Ta-basierte Schichten (Ta, TaN) sowie Kombinationen daraus (TaN/Ta oder Ta/TaN/Ta) als Linermaterialien der Wahl herausgestellt. Da Tantal eine sehr gute Adhäsion zum Kupfer besitzt, lag es nahe, zunächst diesen einfachen Liner bei der Dual-Damascene Integration zu verwenden. Darüberhinaus zeigte sich in Elektromigrationsuntersuchungen, dass dieser Einfachliner gegenüber einer TaN/Ta-Doppelschicht gleicher Dicke sogar noch 20% höhere Lebensdauern ermöglichte (Abb. 8-17). Als nachteilig erwiesen sich jedoch die mit dem reinen Tantal-Liner verbundenen, relativ niedrigen elektrischen Leitfähigkeiten, die für hochperformante Anwendungen zu unangemessen hohen Serienwiderständen von Via/Leitbahn-Konstruktionen führten. Interessanterweise zeigt ein Doppelschichtsystem aus TaN/Ta bei gleicher Schichtdicke eine etwa 10-fach höhere Leitfähigkeit. Die Ursache hierfür ist die Tatsache, dass das Ta auf einem TaN-Untergrund mit der niederohmigen  $\alpha$ -Phase aufwächst [89].

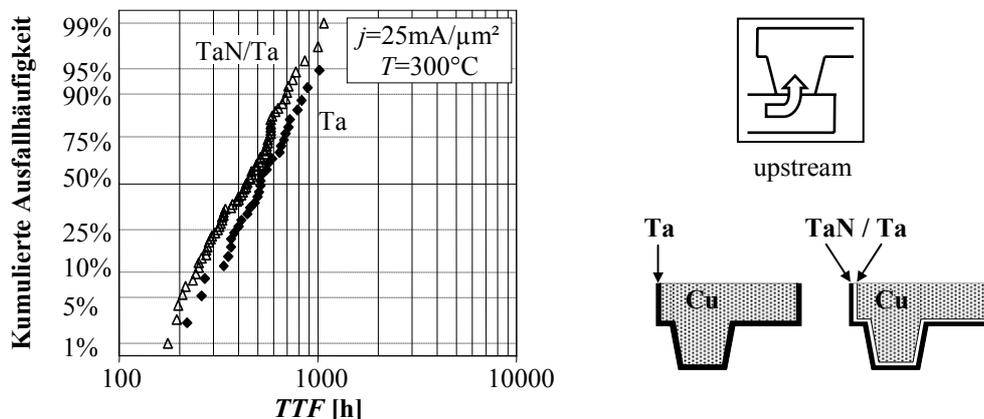


Abb. 8-17: Einfluss des Linermaterials auf die Elektromigrationseigenschaften von upstream-gestressten Via/Leitbahn-Strukturen: 50nm dicke Liner aus reinem Ta ermöglichen etwa 20% höhere Ausfallzeiten im Vergleich zu einem Doppellinersystem aus TaN/Ta mit gleicher Gesamtdicke (10/40nm).

Je nach Anwendungsschwerpunkt kann die Technologieplattform auf eine Niederohmigkeit des Via-Widerstands oder auf eine höhere Elektromigrationsfestigkeit hin optimiert werden

(auf Kosten des jeweils anderen Aspektes). Bei Infineon und IBM wird in der 180nm Generation ein 10/40nm dicker TaN/Ta-Doppelliner verwendet, der neben kleineren RC-Verzögerungen auch geringere Verlustleistungen ermöglicht.

### Dreifachliner

Basierend auf der Tatsache, dass Tantal eine stärkere Adhäsion mit Kupfer ermöglicht [89] lag es nahe, die systematisch auftretende geringere Elektromigrationsfestigkeit von Downstream-Strukturen mit TaN/Ta-Linern durch die Einführung eines Dreifachlinersystems Ta/TaN/Ta zu verbessern. Kern der Idee war, die bei der Downstream-Belastung für den Migrationsvorgang relevante Cu/TaN-Grenzfläche unterhalb des Vias zu eliminieren und durch eine Cu/Ta-Grenzfläche zu ersetzen. Um die Niederohmigkeit des Linersystems zu erhalten, wurde vor der TaN/Ta-Abscheidung eine lediglich 4nm dünne Ta-Schicht vorangestellt.

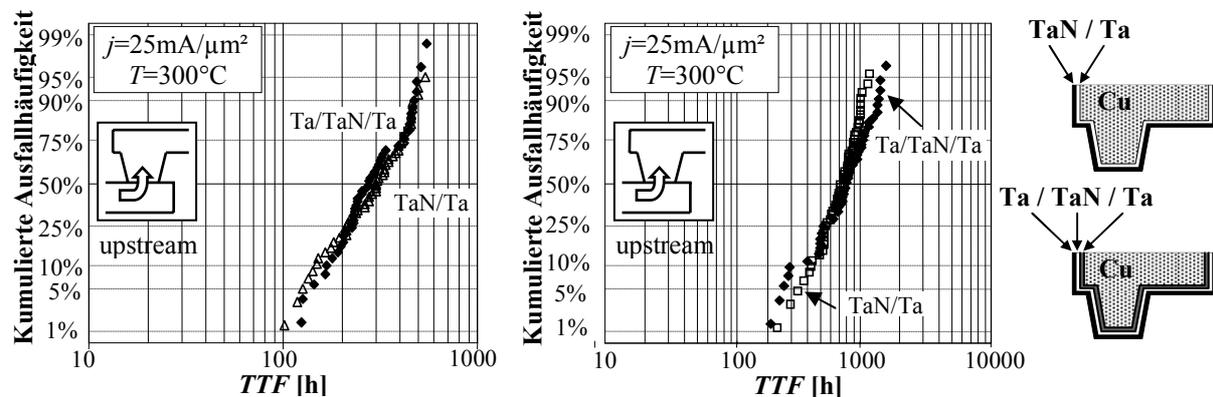


Abb. 8-18: Vergleich der Elektromigrationseigenschaften von Einzel-Via-Strukturen mit Doppel- bzw. Dreifachlinersystemen. Weder im Downstream- (links) noch im Upstream-Fall (rechts) ergeben sich bei der Verwendung eines Ta/TaN/Ta (4/10/40nm) Dreifachliner Vorteile gegenüber einem TaN/Ta-Liner (10/40nm).

In der Praxis stellte sich jedoch heraus, dass mit der Verwendung von Ta/TaN/Ta Dreifachlinern keinerlei Verbesserungen der Elektromigrationseigenschaften erzielbar waren. Dies trifft sowohl auf die Downstream- als auch auf die Upstream-Variante zu (Abb. 8-18). Um die Prozesskomplexität möglichst gering zu halten, wurde deshalb von der Verwendung dieser Dreifachliners für die weitere Entwicklung abgesehen.

### 8.4.2 Das Linerabscheidungsverfahren

Für das Auftragen des Linersystems in die Dual-Damascene Topologie gibt es eine Vielzahl verschiedener Methoden. Bei der Realisierung von Kupfermetallisierungen von der 350nm bis hin zur 65nm Generation haben PVD-basierende Verfahren in der industriellen Praxis die größte Verbreitung gefunden. Bedingt ist dies jedoch nicht unbedingt durch bessere physikalische Eigenschaften, sondern eher durch Kosten- und Durchsatzaspekte, welche diese Verfahren gegenüber CVD-basierenden Abscheidemethoden besitzen.

Zur Erreichung einer hohen Konformität und guter Kantenbedeckung ist es notwendig, dass auf Grund der zunehmenden Aspektverhältnisse in den neuen Technologien der Sputter-Prozess entsprechend angepasst wird. Desweiteren ist es wünschenswert, dass lokal auftretende Topologiedefekte, wie z.B. kleinere Unterätzungen, vorhandene Restpartikel sowie Mikrorauigkeiten bis zu einem gewissen Maße durch eine gleichmäßige Bedeckung dieser Oberflächen kompensiert werden. Dies verhindert die spätere Ausbildung von Zentren erleichterter Keimbildung und unterdrückt das Auftreten von Frühausfällen. Die Verwendung der PVD-Abscheidemethoden lässt sich mit den Technologiegenerationen etwa wie folgt korrelieren:

- 350nm Technologie Standard PVD-Verfahren (PVD)
- 180nm Technologie Ioneninduzierte PVD-Verfahren (IMP)
- 130nm Technologie Rücksputterbasierende PVD-Verfahren (z.B. SIP)

Ohne näher auf die zahlreichen Details dieser einzelnen Verfahren einzugehen, bestehen folgende wesentliche Unterschiede: Im Gegensatz zu herkömmlichen PVD-Verfahren werden beim IMP-Sputtern die Metallatome ionisiert und über ein elektrisches Feld zum Wafer beschleunigt. Dadurch können die Metallionen mit einer ausgeprägteren Vorzugsrichtung auf die Waferoberfläche gelangen und so geometrische Abschattungen durch große Aspektverhältnisse kompensieren. Eine weitere Verbesserung der erzielten Kantenbedeckung wird mit Rücksputterverfahren realisiert, bei denen ein Teil des am Boden abgeschiedenen Linermaterials durch Ionenbeschuss wieder zerstäubt wird. Dadurch kann sich das Linermaterial insbesondere an abgeschatteten Seitenwänden anlagern.

#### 8.4.2.1 Zusammenhang zwischen PVD-Verfahren, Linerkonformität und Isolation

Die Auswirkungen des Linerabscheidungsverfahrens auf die Seitenwandbedeckung der Dual-Damascene Topologie, lassen sich anhand der Konstruktionsanalysen an Via/Leitbahn-Strukturen mit identischen geometrischen Verhältnissen illustrieren (Abb. 8-19). Zunächst erkennt man, dass die Linerdicke am Grabenboden bei allen drei Abscheidungsarten nahezu identisch ist. Signifikante Unterschiede ergeben sich jedoch hinsichtlich der Konformität des Liners im Via, welches den Bereich des höchsten Aspektverhältnisses widerspiegelt. Im Falle des Standard-PVD-Liners wird praktisch kaum Linermaterial am Via-Boden und den unteren Seitenwänden abgeschieden. Bei Verwendung des IMP-Liners erhält man zwar eine vollständige Bedeckung des gesamten Via-Bereichs - die Linerdicke ist hier jedoch im Vergleich zu der Dicke am Via-Boden stark gedünnt. Erst durch die Anwendung eines Sputterverfahrens, welches die Vorteile eines Rücksputtereffekts nutzen kann, erhält man eine konforme Abscheidung des Liners über den kompletten Graben- bzw. Via-Bereich mit nahezu konstanter Dicke.

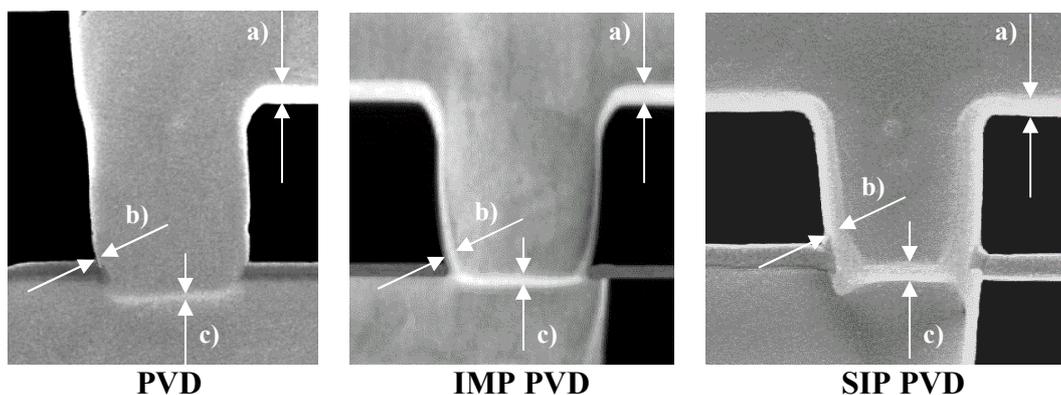


Abb. 8-19: Konstruktionsanalysen an Vias gleicher Geometrie mit unterschiedlich abgeschiedenen TaN/Ta-Linern. Am Boden des Leitbahngrabens (a) weisen alle Proben eine identische Dicke auf. Unterschiede ergeben sich im Via-Bereich. **PVD**: Kontinuierliche Abnahme der Linerdicke an den Seitenwänden (b) in Richtung des Via-Bodens (c). **IMP**: Nahezu konforme Abscheidung des Liners im Via jedoch mit stark reduzierter Dicke. **SIP**: Konforme Abscheidung des Liners über den Graben- und Via-Bereich mit konstanter Dicke.

Aus Zuverlässigkeitssicht ergeben sich aus den stark gedünnten oder gar unterbrochenen Linern natürlich Risiken hinsichtlich des Auftretens von frühen Elektromigrationsausfällen bzw. der Bildung von Stressmigrations-Voids. Darüberhinaus können solche dünnen Liner nicht mehr die Hauptaufgabe einer Barriere erfüllen, welche in einer Unterbindung der Ausdiffusion des Kupfers in das umgebende Oxid besteht. Folge derart permeabler Liner ist

eine Degradation des Isolationsverhaltens, die sich im Anstieg des Leckstroms zwischen den beiden Via-Ketten äußert. Eine derartige Degradation wird am geeignetsten mit einem Bias-Temperatur-Stress (BTS) Test untersucht, bei dem gegenüber Betriebsbedingungen erhöhte elektrische Felder und Temperaturen das gerichtete Ausdiffundieren des Kupfers beschleunigen.

Im Falle einer Belastung mit etwa 0.5MV/cm bei 200°C kann man an ineinander verflochtenen Via-Ketten (vgl. Kap. 2.3.1) bei einem PVD-Liner eine Erhöhung des Leckstromes um mehr als zwei Größenordnungen über einen Zeitraum von 2000h erkennen (Abb. 8-20). Mit einem IMP-Liner kann diese Erhöhung auf eine Größenordnung begrenzt werden. Im Fall des SIP-Liners tritt über die gesamte Belastungsdauer keine Erhöhung des Leckstroms auf. Hier wird durch den konform über die gesamte Topologie abgeschiedenen Liner eine Ausdiffusion des Kupfers vollständig unterbunden.

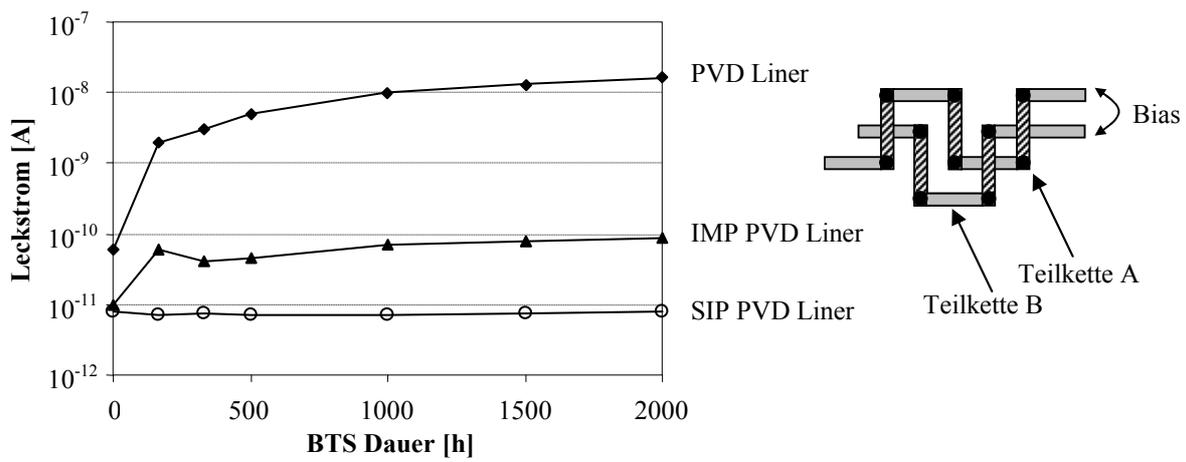


Abb. 8-20: Leckstromverhalten von Via-Ketten während einer BTS-Belastung mit 0.5MV/cm bei 200°C für verschiedene Linerabscheidungsverfahren. Konventionelle PVD-Liner zeigen eine Zunahme des Leckstromes durch ein kontinuierliches Ausdiffundieren von Kupferionen in das Dielektrikum. Dieser Effekt lässt sich durch die Verwendung eines IMP-Liners reduzieren und mit einem SIP-Verfahren vollständig unterdrücken.

#### 8.4.2.2 Defektkompensation durch Verwendung eines Rücksputterverfahrens

Anhand eines anschaulichen Beispiels soll verdeutlicht werden, wie durch einen Linerabscheidprozess mit Rücksputterverfahren bereits vorhandene Topologiedefekte im Bereich des Vias kompensiert werden können. Dazu soll sich hier noch einmal auf das Beispiel der Furchenbildung infolge einer nicht-optimalen Selektivität bei Öffnung der SiN-Doppelschicht bezogen werden, welches im Abschnitt 8.2.2 diskutiert wurde. Verwendet man bei diesen Proben anstelle eines herkömmlichen IMP-Liners ein rücksputterbasierendes SIP-Verfahren, so beobachtet man, dass sowohl der Elektromigrationsfrühausfallmode als auch die Stressmigrationsdrift vollständig unterdrückt werden können (Abb. 8-21). Ursache dieses Effektes ist die exzellente Kantenbedeckung des Liners auch im Bereich der lokal existierenden Unterätzung an der Grenzfläche der SiN-Doppelschicht. Wie aus Abbildung 8-22 rechts hervorgeht, füllt der SIP-Liner den vorhandenen Hohlraum aus und bildet an den inneren Seitenwänden des Vias eine defektfreie, durchgängig glatte Schicht. Dies wird nur durch den Rücksputtereffekt möglich, bei dem durch Bombardierung des in der Nähe der Unterätzung abgelagerten Liners auch Metallatome in die abgeschatteten Furchen gelangen können. Dies kann durch einen IMP-basierenden Liner nicht erreicht werden. Hier können die Abschattungen nicht vom Linermaterial erreicht werden - infolge dessen kann sich der Liner nicht an den Unterätzungen ablagern und es bilden sich Mikro-Voids im Bereich der Furchen (Abb. 8-22 links). Diese wirken bei der Elektromigration bzw. Stressmigration als Ausgangspunkt der bevorzugten Keimbildung und äußern sich durch entsprechende EM-Frühausfälle bzw. Widerstandsdriften (vgl. Abb. 8-9a).

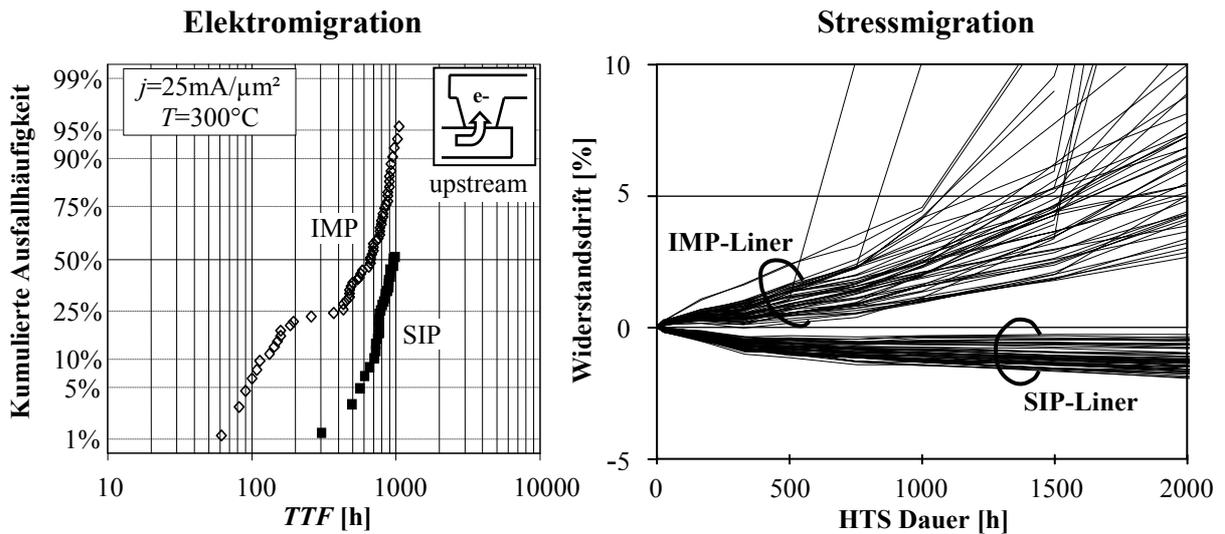


Abb. 8-21: Elektromigrations- (links) bzw. Stressmigrationsverhalten (rechts) von upstream-gestressten Via/Leitbahn- bzw. Gitterstrukturen für verschiedene Linerabscheidungsverfahren. Bei Verwendung des IMP-Liners tritt ein EM-Frühausfallmechanismus (vgl. Abb. 8-9) durch Voiding im Via sowie eine Stressmigrationsdrift auf. EM-Frühausfälle und Widerstandsdriften können mittels SIP-Verfahren unterdrückt werden, da sie durchgehende Liner an der SiN-Doppelschicht ermöglichen.

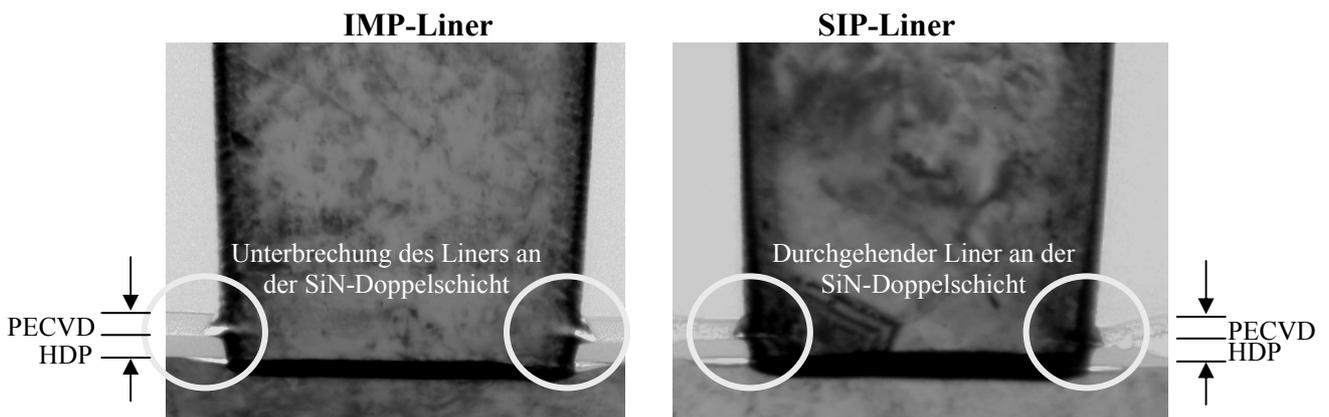


Abb. 8-22: Querschnitte durch unbelastete Vias mit vorhandenen Unterätzungen im Bereich der SiN-Doppelschicht infolge nicht optimierter Ätzselektivität. Während mit einem IMP-Prozess der Liner diese Unterätzungen nicht bedecken kann und es zur Ausbildung von Mikro-Voids kommt, können mit einem SIP-Liner diese Furchen defektfrei überzogen werden.

## 8.5 Die elektrolytische Kupferabscheidung

Die elektrolytische Kupferabscheidung ist derzeit das Standardverfahren zur Auffüllung der Dual-Damascene Gräben und Via-Löcher. Sie bestimmt ganz wesentlich die Mikrostruktur insbesondere die Korngröße, die Korngrößenverteilung sowie in gewissem Maße auch die Substruktur (Übersättigungsgrad an Leerstellen, Defekte etc.). Eine der entscheidenden Komponenten bei der elektrolytischen Abscheidung ist die Zusammensetzung des Elektrolyten speziell im Hinblick auf die Verwendung der chemischen Additive. Mit ihnen wird die Wachstumskinetik des abgeschiedenen Kupfers beeinflusst. Bei nicht optimaler Abstimmung dieser Zusätze kann es zur Lunker- oder Saumbildung kommen, welche neben einer Hochohmigkeit auch das Auftreten von zusätzlichen Diffusionspfaden bedingen können.

Der Einfluss des Elektrolyten auf das Elektromigrationsverhalten war Gegenstand intensiver Untersuchungen, welche im Rahmen der Entwicklung der 130nm Generation gemacht wurden. Hintergrund dieser Studien bildeten Anstrengungen, die spezifische Leitfähigkeit der schmalsten Leitbahnen ( $0.16\mu\text{m}$ ) zu erhöhen. Dies konnte durch Verwendung einer speziellen Elektrolytzusammensetzung („viaform-chemistry“) erreicht werden, mit der durch eine verbesserte Abscheidung des Kupfers vom Boden des Grabens nach oben hin („bottom-up“) größere mittlere Korngröße erzielt werden konnten. Mittels *TCR*-Methode lässt sich der Einfluss der verschiedenen Elektrolyten auf die Korngrößen relativ einfach nachweisen, wobei größere *TCR*-Werte stets zu größeren mittleren Korngrößen korrelieren (vgl. Kap. 3.4). Wie aus Abbildung 8-23 hervorgeht, ist der Effekt des Elektrolyten auf den *TCR*-Wert am deutlichsten bei der Minimalbreite von  $0.16\mu\text{m}$  zu beobachten (größtes Aspektverhältnis!). Bei der Verwendung des optimierten Elektrolyten ist der *TCR* um etwa 3.3% größer, was mit ungefähr 15% größerer Korngröße einhergeht (vgl. Abb. 3-4). Eine derartige Mikrostruktur führt im Falle einer Upstream-Belastung beinahe zu einer Verdoppelung der Elektromigrationsausfallzeiten, bei downstream-belasteten Strukturen immerhin noch zu etwa 50% höheren Lebensdauern (Abb. 8-24). Bei Leitbahnen größerer Breite nimmt der Einfluss des Elektrolyten stetig ab. Bei etwa  $0.5\mu\text{m}$  Breite ist kaum noch ein Unterschied festzustellen.

Im Gegensatz zu den Prozesseinflüssen, die in den Abschnitten 8.1 bis 8.4 beschrieben wurden, lässt sich der Zusammenhang zwischen Elektromigration und der elektrolytischen Abscheidung mit der globalen Mikrostruktur (mittlere Korngröße) korrelieren. Dieser Prozesseinfluss kann somit der Kategorie *Typ 2* (globale Kornstruktur) zugeordnet werden.

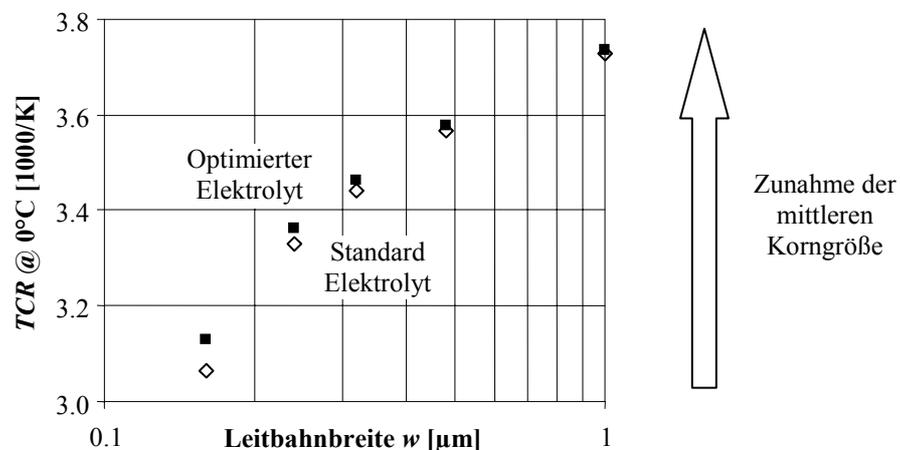


Abb. 8-23: Beeinflussung der Mikrostruktur durch das elektrolytische Abscheidungsverfahren: Durch Auffüllen der Damascene Gräben mittels optimierten Elektrolyten werden größere mittlere Korngrößen in den Gräben ermöglicht. Dies äußert sich in der Zunahme des *TCR*-Wertes. Der Einfluss des Elektrolyten auf die Mikrostruktur ist besonders ausgeprägt bei schmalen Leitbahnen.

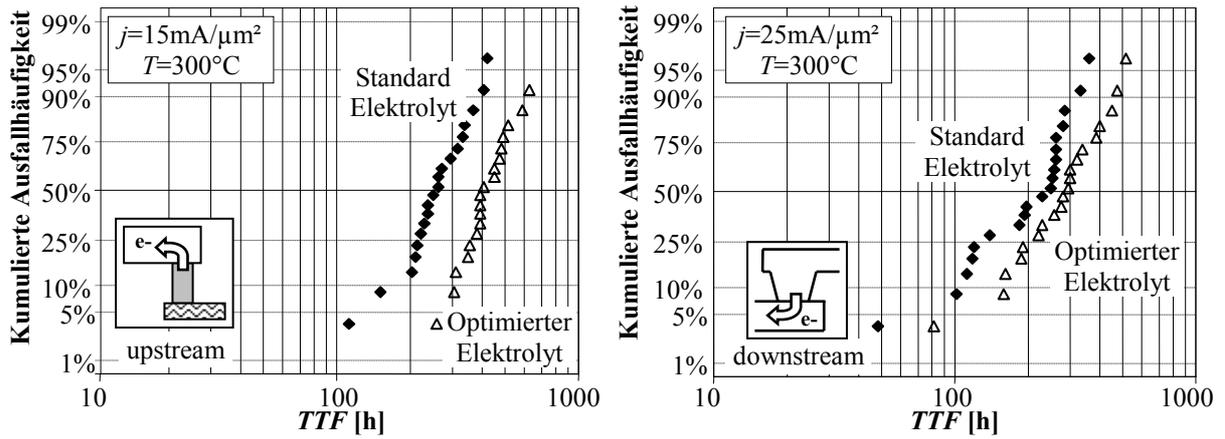


Abb. 8-24: Beeinflussung der Elektromigrationseigenschaften von Kontaktloch - (links) bzw. Via/Leitbahn-Strukturen durch das elektrolytische Abscheidungsverfahren: Durch eine optimierte Zusammensetzung des Elektrolyten können die Ausfallzeiten bis zu einen Faktor 2 erhöht werden.

## 8.6 Der Post-Plating Anneal

Da das Kupfer unmittelbar nach der elektrolytischen Abscheidung durch eine feinkörnige Mikrostruktur charakterisiert ist, erfolgt im Anschluss eine Temperaturbehandlung mit dem Ziel, durch Rekristallisation möglichst große mittlere Korngrößen zu erreichen (vgl. Kap. 4.4). Dieser so genannte Post-Plating Anneal ist notwendig, um einen geringen spezifischen elektrischen Widerstand zu realisieren und darüber hinaus Kristalldefekte auszuheilen. Aus Sicht der Zuverlässigkeit ist die Einstellung einer stabilen Mikrostruktur von großer Bedeutung. Werden z.B. Rekristallisation und Ausheilvorgänge während des Post-Plating Anneals nicht „zu Ende“ gebracht, so können spätere, während der Betriebsdauer auftretende Gefügeänderungen eine Widerstandsdegradation verursachen.

Bei der Entwicklung der 180nm Technologie wurde der Einfluss unterschiedlicher Post-Plating Anneal-Temperaturen auf die Zuverlässigkeit der Kupfermetallisierung untersucht. Dabei waren insbesondere drei aus Prozessintegrationssicht günstige Temperaturbereiche von Interesse, bei denen die Wafer bei 80, 100 bzw. 150°C für jeweils 1 Stunde unter Ausschluss von Luft behandelt wurden. Da die Grabengeometrie einen erheblichen Einfluss auf die Rekristallisation hat, machen sich die Unterschiede in den Anneal-Temperaturen in der Morphologie und den Korngrößenverteilungen insbesondere in den schmalsten Leitbahnen ( $w=0.28\mu\text{m}$ ) bemerkbar.

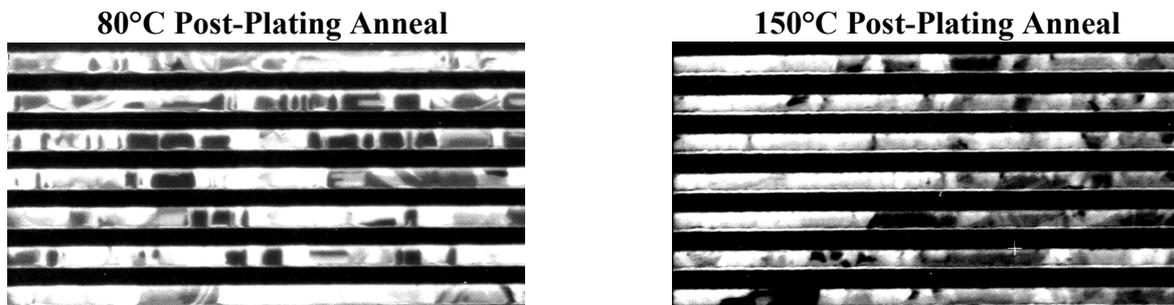


Abb. 8-25: Morphologie der Kupfermetallisierung in  $0.28\mu\text{m}$  breiten Damascene-Gräben für verschiedene Post-Plating Anneal-Temperaturen. Für  $80^\circ\text{C}$  ergeben sich viele kleine Körner mit orthogonalen Korngrenzen, während mit dem  $150^\circ\text{C}$  Anneal deutlich größere Körner erzielt werden und auch nicht-orthogonale Korngrenzen auftreten.

Die Metallisierung, die den  $80^\circ\text{C}$  Anneal durchlaufen hat, enthält viele kleine Körner, deren Korngrenzen vor allem senkrecht zur Leitbahn verlaufen. Bei der  $150^\circ\text{C}$  Temperung zeigen sich im Gegensatz dazu deutlich größere Körner, die zahlreiche nicht-orthogonale Korngrenzen aufweisen (Abb. 8-25). Diese visuelle Beobachtung wird durch eine statistische Analyse der Korngrößen bestätigt. Zunächst ergeben sich für alle drei Stichproben lognormale Korngrößenverteilungen mit annähernd der gleichen Steigung. Die mittleren Korngrößen steigen sukzessive mit der Anneal-Temperatur an:  $234\text{nm}$  bei  $80^\circ\text{C}$ ,  $334\text{nm}$  bei  $100^\circ\text{C}$  und  $437\text{nm}$  bei  $150^\circ\text{C}$ . Mit zunehmender Temperatur nähert sich die mittlere Korngröße dem Wert ( $0.47\mu\text{m}$ ) an, der von Mullins gemäß Gleichung (30) als maximal mögliche Korngröße für  $0.28\mu\text{m}$  breite Gräben abgeschätzt werden kann. Die mittleren Korngrößen korrelieren wiederum sehr gut mit den an den Strukturen bestimmten TCR-Werten (Abb. 8-26).

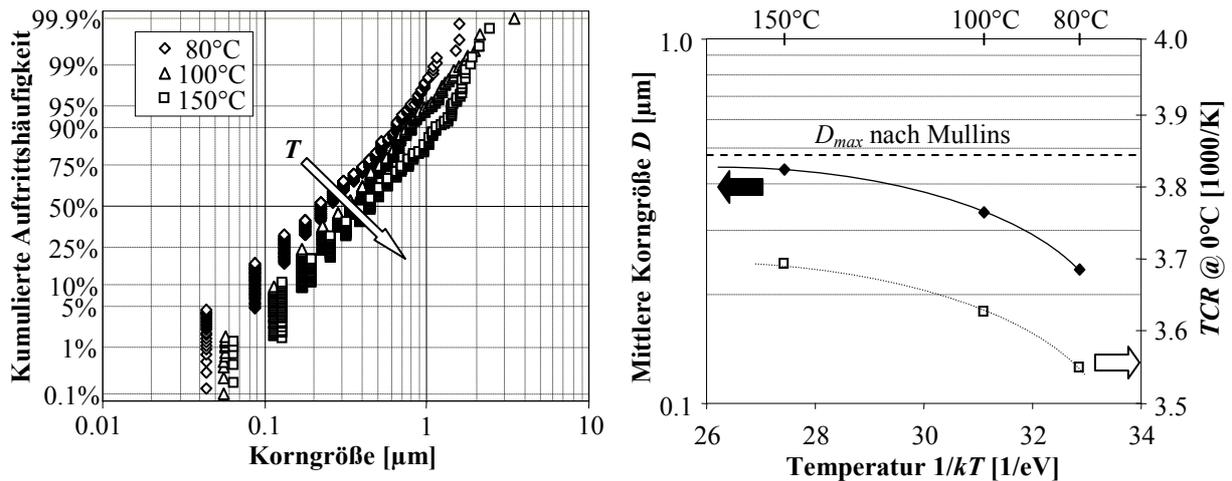


Abb. 8-26: Einfluss der Post-Plating Anneal-Temperatur auf die Korngrößenverteilung: Für sämtliche Anneal-Bedingungen ergeben sich lognormal verteilte Korngrößen. Die mittlere Korngröße steigt mit der Temperatur an und nähert sich bei 150°C dem von Mullins abgeschätzten maximalen Wert von  $D_{max}=0.47\mu\text{m}$ . Mittlere Korngrößen und gemessene TCR-Werte zeigen eine sehr gute Korrelation.

### Stressmigration

Der Einfluss des Post-Plating Anneals auf die Stressmigration wurde an Gabelstrukturen untersucht. Da diese Teststrukturen aus Leitbahnen minimaler Breite aufgebaut sind, eignen sie sich besonders gut, um die speziellen Mikrostrukturaspekte in den schmalen Gräben zu adressieren. Nach einer Hochtemperaturlagerung bei 225°C ergaben sich nach 2000h Testdauer für die Proben mit der 80°C Temperaturbehandlung Widerstandsdriften von bis zu 6%, während eine geringe Abnahme des Strukturwiderstands um etwa 1% an Stichproben des 100 bzw. 150°C Anneal zu verzeichnen war (Abb. 8-27 links). Die Probe mit der geringsten mittleren Korngröße stellte sich somit als stressmigrationsanfällig heraus. Fehleranalysen ergaben hier, dass der Widerstandsanstieg durch Voids im Via verursacht wurde (Abb. 8-27 rechts).

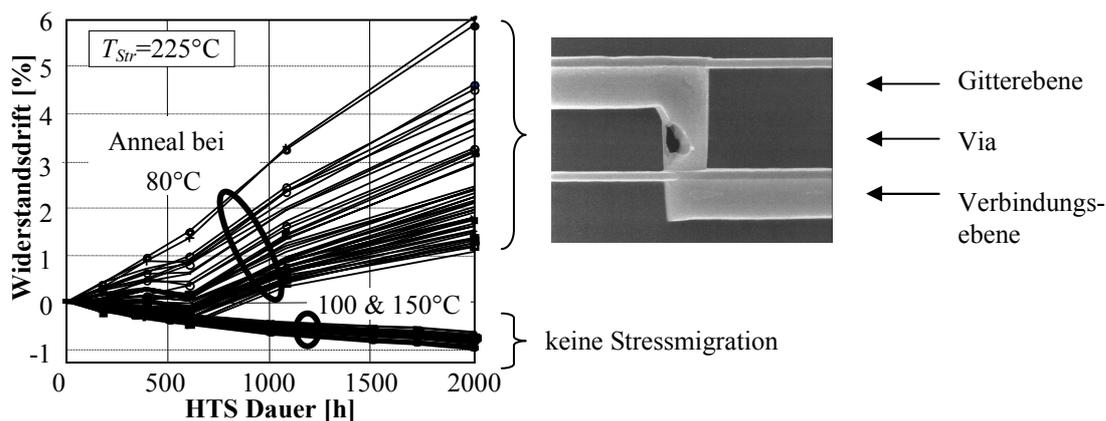


Abb. 8-27: Einfluss des Post-Plating Anneals auf die Stressmigrationseigenschaften von Gitterstrukturen: Während Proben mit einem Post-Plating Anneal von 80°C während einer Hochtemperaturlagerung bei 225°C eine deutliche Erhöhung des Widerstands durch SM-Voiding im Via zeigen, wird an Metallisierungen mit einem 100 bzw. 150°C Post-Plating Anneal nur eine geringe Widerstandsabnahme registriert.

Das Auftreten von Stressmigrations-Voids kann somit in direkten Zusammenhang mit der anfänglichen Mikrostruktur gebracht werden. Verfügt eine Metallisierung nach dem Post-Plating Anneal über eine feinkörnige Struktur, so können im Verlauf der Hochtemperaturlagerung durch Rekristallisation und Kornwachstum größere Körner gebildet

werden. Dies lässt sich mit einem Vergleich der Korngrößenverteilungen an den 80°C-Anneal-Proben belegen, welche vor bzw. nach erfolgter Hochtemperaturlagerung bei 225°C bestimmt wurden. Darin erkennt man eine Zunahme der mittleren Korngröße von 215nm auf 316nm (Abb. 8-28), wobei die Änderungen innerhalb der feinkörnigen Population stärker ausgeprägt sind als für große Körner. Durch diese Gefügeänderungen werden Leerstellen freigesetzt, die dann von den Stressfeldern in Via/Leitbahn-Strukturen eingefangen werden und in Richtung des Vias migrieren. Eine Akkumulation der Leerstellen führt dann zum Entstehen von Voids im Via. Im Gegensatz dazu liegt bei Proben, die den 100 bzw. 150°C Post-Plating Anneal durchlaufen haben, eine stabilere Mikrostruktur vor. Durch die Hochtemperaturlagerung werden in dem betrachteten Zeitraum keine Leerstellen mehr freigesetzt. Demzufolge ist das Auftreten von Stressmigrations-Voids unterdrückt.

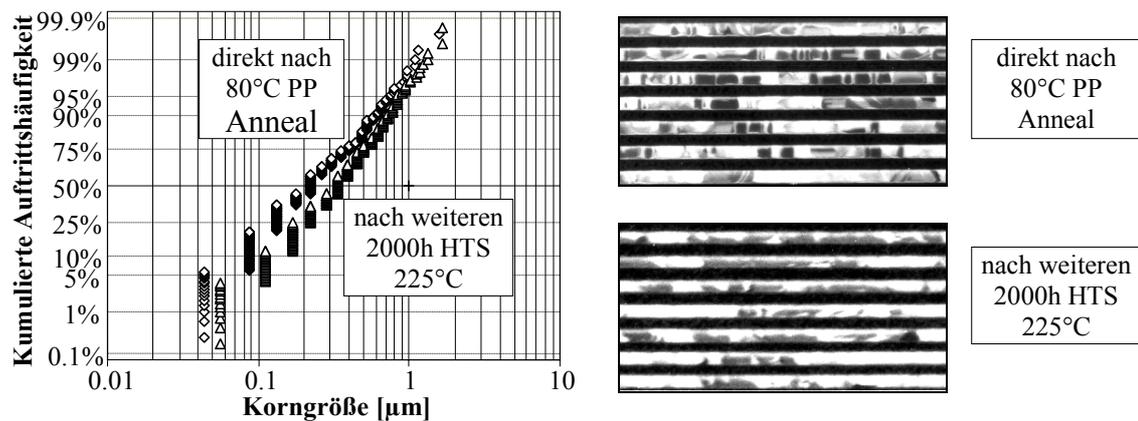


Abb. 8-28: Änderung von Korngrößenverteilungen und Morphologie an 0.28µm breiten Kupferbahnen nach 2000h Hochtemperaturlagerung bei 225°C: Die mittlere Korngröße erhöht sich von 215nm auf 316nm. Die anfängliche Morphologie mit vielen kleinen Körnern und orthogonalen Korngrenzen geht über in eine mit deutlich größeren Körnern, bei denen vor allem nicht-orthogonale Korngrößen auftreten.

### Elektromigration

Die feinkörnige Mikrostruktur, welche an den Proben mit dem niedrigen 80°C Post-Plating Anneal zu finden ist, hat auch Auswirkungen auf das Elektromigrationsverhalten. So reduziert sich bei downstream-belasteten Leitbahnen minimaler Breite die mittlere Ausfallzeit um einen Faktor 4 im Vergleich zu Stichproben mit 100°C Anneal. Daneben kommt es auch zu einer signifikanten Verbreiterung der Ausfallverteilung. Es sei angemerkt, dass bei der Interpretation dieses Ergebnisses berücksichtigt werden muss, dass neben der strom-induzierten Degradation sicherlich auch noch ein gewisser Anteil überlagert ist, welcher durch Stressmigration hervorgerufen wird. Aufschluss darüber würden kinetische Studien liefern, bei denen insbesondere der Stromdichteexponent Aufschluss über die Natur des Voiding-Vorganges liefern könnte. Darauf soll jedoch hier nicht weiter eingegangen werden. Ungeachtet dessen wird mit derart feinkörnigen Metallisierungen eine Verringerung der Lebensdauer bei Betriebsbedingungen um mindestens eine Größenordnung erwartet.

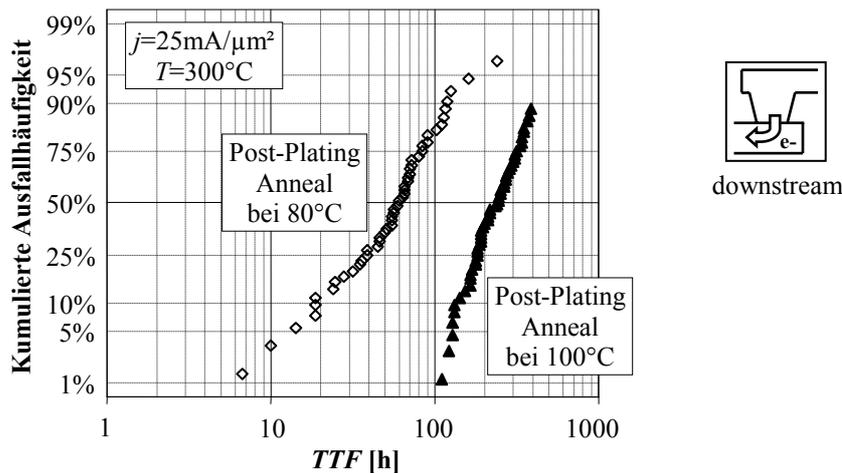


Abb. 8-29: Einfluss des Post-Plating Anneals auf die Elektromigrationseigenschaften von downstream-gestressten Via/Leitbahn-Strukturen: Während Proben mit  $100^\circ\text{C}$  Anneal eine steile lognormal-Verteilung und große Ausfallzeiten aufweisen, zeigen die bei  $80^\circ\text{C}$  behandelten Strukturen deutlich frühere Ausfälle mit größerer Streuung.

### Zusammenfassung

Der Post-Plating Anneal ist ein Beispiel dafür, wie über die Änderung der globalen Mikrostruktur des Kupfers durch die thermische Behandlung die Zuverlässigkeit beeinflusst werden kann (Kategorie *Typ 2*). Sowohl das Elektromigrations- als auch das Stressmigrationsverhalten verbessern sich bei zunehmender Anneal-Temperatur. Die primäre Ursache ist in der unmittelbaren Beeinflussung der Korngrößenverteilung zu finden. Die Verwendung eines  $80^\circ\text{C}$  Anneals führt zu einer feinkörnigen, instabilen Mikrostruktur. Durch diese können im weiteren Verlauf einer Hochtemperaturlagerung bzw. der Produktlebensdauer Leerstellen freigesetzt werden, die Stress-Voids provozieren oder die Elektromigrationsfestigkeit vermindern können. Mit Post-Plating Anneals ab  $100^\circ\text{C}$  werden deutlich höhere Korngrößen eingestellt. Dadurch wird die Stressmigration unterdrückt und es können bis zu vierfach höhere Elektromigrationsausfallzeiten erreicht werden.

## 8.7 Die SiN-Deckschicht Abscheidung

Die Grenzfläche entlang der SiN-Deckschicht stellt den Hauptdiffusionspfad für die Migration in Kupfermetallisierungen mit einer Damascene Architektur dar. Als solche hat sie entscheidenden Einfluss auf die Kinetik und Thermodynamik diffusiv gesteuerter Degradationsmechanismen. Demzufolge ist die Kontrolle der Grenzflächeneigenschaften wesentlich für die Erreichung ausreichender Lebensdauern in Produkten mit komplexer Verdrahtungsarchitektur. Der Kern beim Verständnis der Grenzflächenphysik ist die Beobachtung, dass gute Adhäsionseigenschaften stets mit einer Verminderung der Migrationsrate entlang der Grenzfläche einhergehen. So findet man z.B. eine exzellente Korrelation zwischen der in einem Delaminationstest bestimmten Adhäsionsenergie und der Aktivierungsenergie sowie der Void-Wachstumsrate bei Elektromigration [48].

Bei der Entwicklung der ersten Kupfertechnologien beobachtete man zunächst, dass Metallisierungen, welche vor der Abscheidung der Deckschicht zu lange der Luft ausgesetzt wurden, dramatisch kürzere Elektromigrationsausfallzeiten zeigen. Im konkreten Fall einer 5-tägigen Lagerung bei normaler Reinraumatmosfera bewirkte die Oxidation der freiliegenden Kupferoberfläche eine Reduktion der Lebensdauer bis zu 50% im Vergleich zu Stichproben, welche unverzüglich nach dem Polierprozess (CMP) mit der SiN-Deckschicht passiviert wurden (Abb. 8-30). Ursache dieses Verhaltens ist die Verschlechterung der Adhäsion zwischen dem Kupfer und der Deckschicht, welche mit der zwangsläufigen Bildung der dünnen Kupferoxidschicht einhergeht.

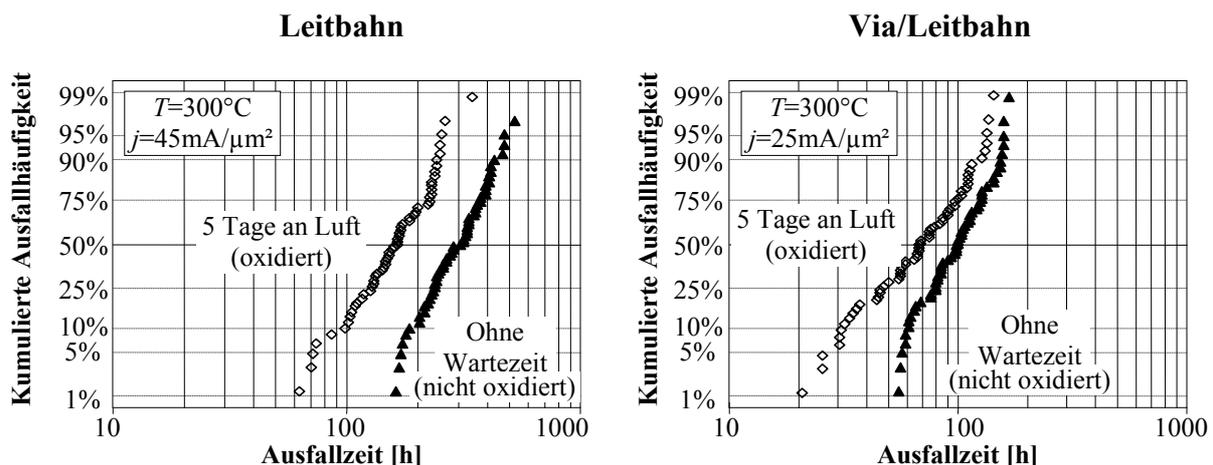


Abb. 8-30: Auswirkungen einer oxidierten Kupferoberfläche auf die Elektromigration von Leitbahn- (links) und Via/Leitbahn-Strukturen (rechts): Wird die Kupfermetallisierung vor der Abscheidung der Deckschicht 5 Tage an Luft gelagert, bildet sich eine Oxidschicht auf der Oberfläche. Kürzere Ausfallzeiten an beiden Teststrukturtypen sind die Folge.

Die Hauptaufgabe bei der Entwicklung dieses Prozessmoduls ist die Suche nach einer optimalen Kombination von geeigneten Reinigungsschritten (Pre-Clean), Deckschichtmaterialien und Abscheidemethoden (Kap. 4.6). Für den Reinigungsprozess kommen in erster Linie plasmabasierende Verfahren in Frage, welche sich hinsichtlich der Plasmadichte in PECVD und HDP unterteilen lassen. Dabei verwendet man Gase wie  $\text{H}_2$ ,  $\text{NH}_3$ ,  $\text{N}_2$  bzw. Mischungen daraus. Primäres Ziel des Pre-Cleans ist es, das Kupferoxid zu entfernen. Daneben soll die Kupferoberfläche möglichst gut „aktiviert“ werden, um mit der Deckschicht eine effektive Bindung eingehen zu können. Für die Reduktion der Kupferoxidschicht ist die Wahl der Plasma-Art und der Gasmischung entscheidend. Zum einen muss das Plasma reaktiv genug sein, um das Oxid zu reduzieren, zum anderen darf das Kupfer selbst nicht zu stark mit den Gasen reagieren [148]. Hinsichtlich der verwendeten Deckschichtmaterialien haben sich in der industriellen Praxis SiN- und SiC-basierende Filme

durchgesetzt. Für deren Auftragung kommen sowohl PECVD- als auch HDP-Plasma Prozesse infrage.

Die bisher in der Literatur veröffentlichten Arbeiten zum Thema Pre-Clean und Deckschicht beschränkten sich meist auf die Untersuchung des Einflusses auf die Elektromigration - andere Zuverlässigkeitsaspekte, wie Stressmigration, wurden nicht beleuchtet. Darüber hinaus lassen die Ergebnisse im Kreuzvergleich eine gewisse Konsistenz vermissen. So finden z.B. Hatano et al. [34] für SiC-Schichten deutlich höhere Elektromigrationsausfallzeiten im Vergleich zu SiN. Dem gegenüber beobachten Martin et al. [150] beinahe identische Lebensdauern für SiN und SiC-basierende Schichten. Differenzen ergeben sich erst bei der Verwendung unterschiedlicher Pre-Clean Bedingungen, welche darauf hindeuten, dass dieser Reinigungsschritt der eigentliche Hebel zur Verbesserung der Elektromigrationseigenschaften ist [42, 48, 103].

Da systematische Studien zum individuellen Einfluss von Pre-Cleans und Deckschichtabscheidungen bisher fehlten, wurden im Rahmen dieser Arbeit fünf verschiedene Splits hinsichtlich ihres Elektromigrations- und Stressmigrationsverhaltens untersucht (Tab. 8-1). Der Pre-Clean und der SiN-Abscheideprozess wurden bezüglich der verwendeten Plasmadichte nach HDP bzw. PECVD gesplittet, wobei als Gas  $\text{NH}_3/\text{N}_2$  bzw.  $\text{H}_2$  verwendet wurde. Die Pre-Clean Intensität korrespondiert zur verwendeten elektrischen Leistung in der Plasmakammer. Für den Pre-Clean mittels PECVD ist diese mit nur einigen 100W naturgemäß „sehr gering“. Im Vergleich dazu ist die Leistung bei HDP-Prozessen um etwa eine Größenordnung höher und wurde über drei Stufen von „niedrig“ bis „hoch“ variiert.

	Pre-Clean			SiN-Abscheideprozess
	Art	Gas	Intensität	
<b>Split A</b>	PECVD	$\text{NH}_3/\text{N}_2$	Sehr niedrig	PECVD
<b>Split B</b>	PECVD	$\text{NH}_3/\text{N}_2$	Sehr niedrig	HDP
<b>Split C</b>	HDP	$\text{H}_2$	Niedrig	HDP
<b>Split D</b>	HDP	$\text{H}_2$	Mittel	PECVD
<b>Split E</b>	HDP	$\text{H}_2$	Hoch	HDP

Tab. 8-1: Übersicht der Splits zur Ermittlung des Einflusses des Pre-Cleans und des Abscheideprozesses der SiN-Deckschicht. PECVD und HDP kennzeichnen die jeweils verwendeten Plasma-Arten. Die Pre-Clean Intensität korrespondiert zur verwendeten elektrischen Leistung in der Plasmakammer.

### Stressmigration

Das Stressmigrationsverhalten der unterschiedlichen Splits wurde bei  $275^\circ\text{C}$  über einen Zeitraum von 2000h untersucht. Dabei kamen zwei verschiedene Typen von Teststrukturen zum Einsatz: Gitterstrukturen mit Einzel-Via-Anschlüssen sowie reine Leitbahnstrukturen ohne Vias. Erstere eignen sich aufgrund ihrer hohen Stressmigrationsanfälligkeit besonders gut zur Detektion von Stress-Voids (Kap. 2.2.2). Reine Leitbahnen sind aus Sicht der Degradation durch Stress-Voids zwar unkritisch, eignen sich aber zur Überwachung mikrostruktureller Änderungen (Kap. 3.3).

Die primäre Erkenntnis, welche man aus Hochtemperaturstudien an beiden Teststrukturen ableiten kann, ist die Tatsache, dass die Widerstandsdrift nur von der Pre-Clean Intensität beeinflusst wird, nicht jedoch von dem Verfahren, mit dem das SiN abgeschieden wird (Abb. 8-31). So bleiben bei Split A und Split B (jeweils mit PECVD-Pre-Clean) unabhängig von der Abscheideart die Widerstände konstant. Bei den Proben mit HDP-Pre-Clean (Split C, D, E) tritt jedoch eine dramatische Änderung des Widerstandsverhaltens auf. Zunächst zeigen sich für reine Leitbahnen bzw. für Gitterstrukturen qualitativ unterschiedliche Verläufe: Während der Widerstand von reinen Leitbahnstrukturen einen Abfall von bis zu 4% zeigt, sind an Gitterstrukturen Widerstandserhöhungen bis weit über 20% zu registrieren. Bei genauerer Betrachtung stellt man fest, dass sowohl der Abfall bei Leitbahnen als auch der Anstieg an Gitterstrukturen mit der Plasmaintensität korreliert (Abb. 8-32). So kann man an

den Leitbahnen fast eine Verdoppelung des Widerstandabfalls beobachten, wenn die PC Intensität von „niedrig“ auf „hoch“ zunimmt. Betrachtet man bei den Gitterstrukturen die Anzahl der ausgefallenen Strukturen ( $\Delta R/R \geq 20\%$ ), so erhöht sich deren Zahl von 2 auf 73.

	<b>Split A bzw. B</b>	<b>Split C</b>	<b>Split D</b>	<b>Split E</b>
<b>PC Art</b>	PECVD	HDP	HDP	HDP
<b>PC Intensität</b>	Sehr niedrig	Niedrig	Mittel	Hoch
<b>SiN Abscheideprozess</b>	PECVD bzw. HDP	HDP	PECVD	HDP

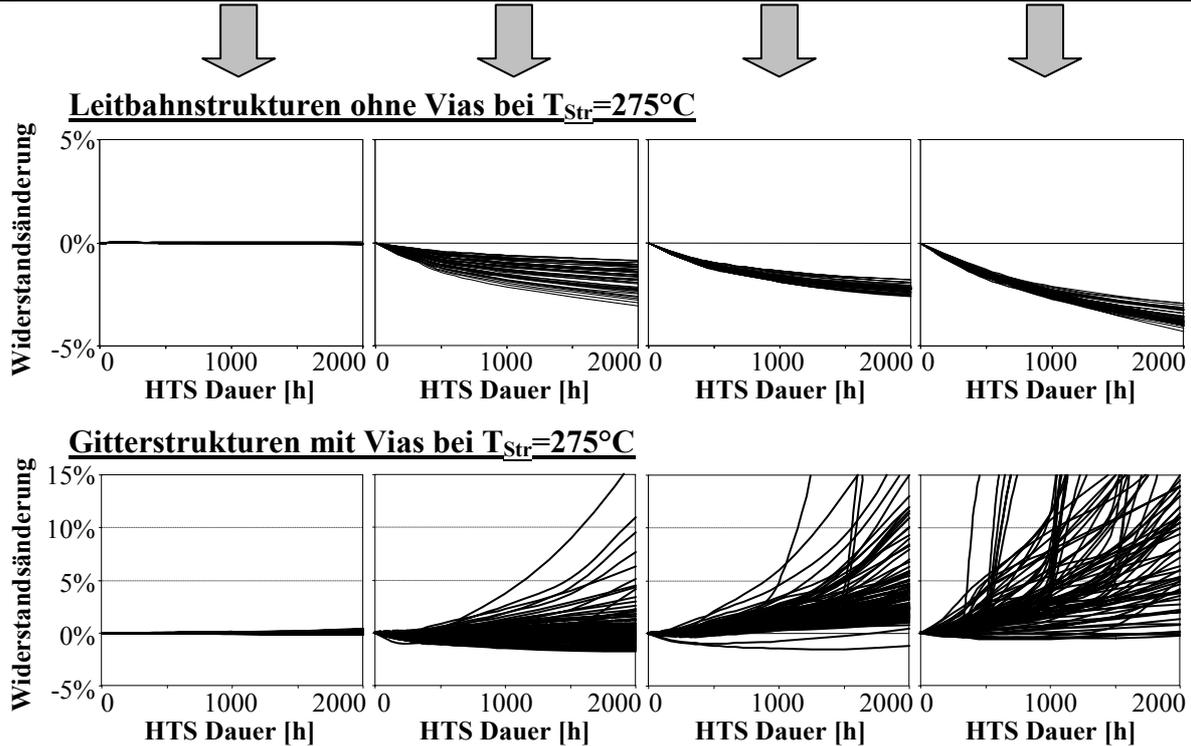


Abb. 8-31: Einfluss von Pre-Clean und Deckschichtprozess auf die Widerstände von Leitbahnen (oben) bzw. Gitterstrukturen (unten). Das beobachtete Widerstandsverhalten bei  $275^{\circ}C$  wird durch den Pre-Clean Prozess, nicht jedoch durch die Deckschichtabscheidung bestimmt. Bei Splits C, D, E mit HDP-Pre-Clean Behandlung korrelieren Abfall bzw. Anstieg des Widerstandes mit der jeweiligen Plasmaintensität.

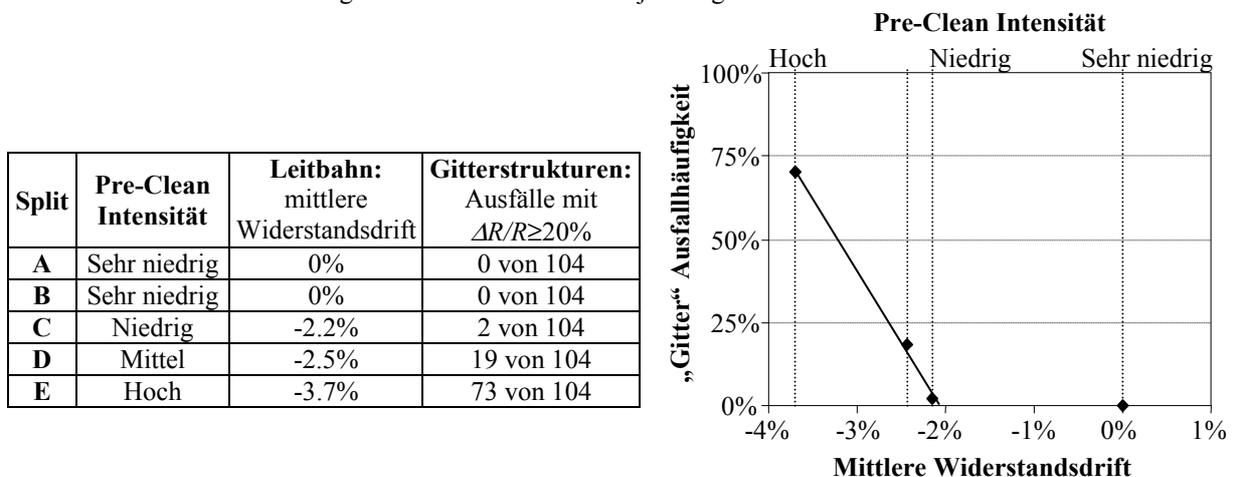


Abb. 8-32: Korrelation zwischen Pre-Clean Intensität und mittlerer Widerstandsdrift bei Leitbahnen bzw. der Anzahl von Ausfällen an Gitterstrukturen ( $\Delta R/R \geq 20\%$ ) unter Zugrundelegung der in Abb. 8-31 dargestellten Driftverläufe bei  $T_{Str}=275^{\circ}C$ .

Die Ursache für das dramatisch veränderte Widerstandsverhalten kann anhand von TEM-Analysen mit dem Vorhandensein massiver Kristalldefekte erklärt werden, welche durch den HDP-Pre-Clean induziert werden. Dabei zeigt sich, dass Proben, welche mittels HDP-Plasma einer Wasserstoffbehandlung ausgesetzt sind, punktförmige Defekte im gesamten Kupfervolumen aufweisen (Abb. 8-33 rechts). Im Vergleich dazu zeigen Metallisierungen mit dem  $\text{NH}_3/\text{H}_2$ -PECVD-Pre-Clean keine derartigen Störungen. Hier ist die Wechselwirkung zwischen Plasma und Kupfer gering und bleibt offensichtlich nur auf den Oberflächenbereich beschränkt (Abb. 8-33 links). Das Kupfervolumen bleibt intakt.

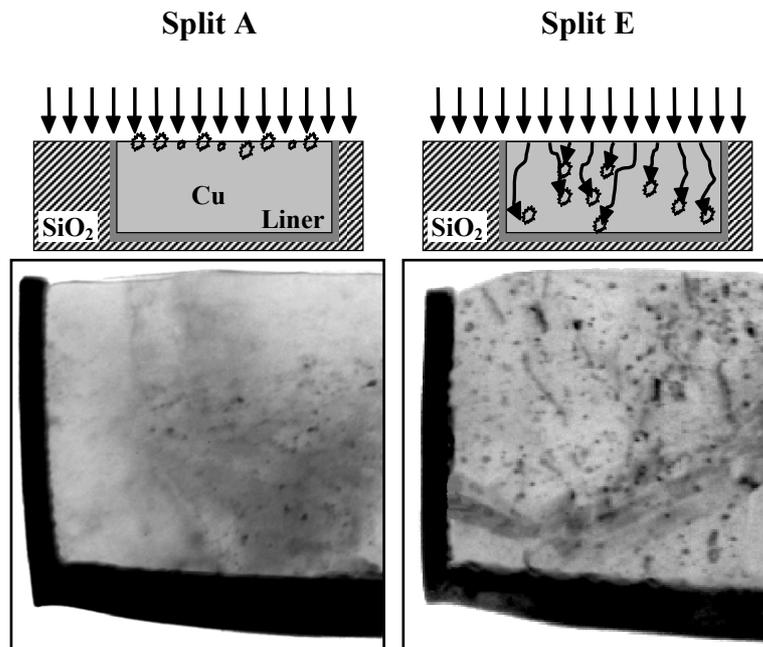


Abb. 8-33: Auswirkungen der Pre-Clean Behandlung auf die Kristallstruktur: Bei Verwendung eines  $\text{H}_2$ -HDP-Plasmas werden im gesamten Kupfervolumen punktförmige Kristalldefekte induziert (Split E). Die Wechselwirkung des  $\text{NH}_3/\text{N}_2$ -PECVD-Plasmas mit dem Kupfer beschränkt sich auf einen oberflächennahen Bereich und lässt die Kristallstruktur unverändert (Split A).

Die genaue Natur der Defekte, welche durch den  $\text{H}_2$ -HDP-Pre-Clean induziert werden, wurde nicht eingehender untersucht. Vermutlich wird es sich um Ausscheidungen (z.B. Hydrate) oder Versetzungsringe handeln. Neben dem visuellen Nachweis dieser Kristalldefekte mittels TEM lässt sich ihre Existenz auch an Unterschieden in den *TCR*-Werten der Kupferleitbahnen ablesen (vgl. Kapitel 3.4). Splits A & B, welche nach der Behandlung mit dem PECVD-Pre-Clean keine Defekte aufweisen, zeigen gegenüber den HDP-behandelten Splits (C, D, E) bis zu 5% höhere *TCR*-Werte. Innerhalb der HDP-Gruppe erkennt man weiterhin, dass mit zunehmender Plasmaintensität die *TCR*-Werte abnehmen. Dies lässt darauf schließen, dass auch die Anzahl der induzierten Kristalldefekte anwächst.

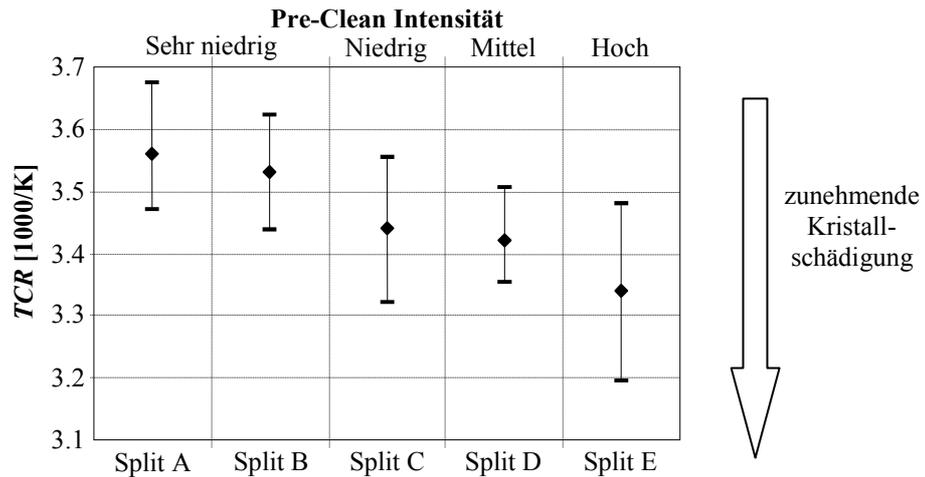


Abb. 8-34: Einfluss unterschiedlicher Pre-Clean Intensitäten auf die  $TCR$ -Werte: Mit zunehmender Intensität beobachtet man den Abfall des  $TCR$ -Werts infolge zunehmender Kristalldefektdichte.

Das beobachtete Widerstandsverhalten kann beim Vorhandensein von Kristalldefekten wie folgt erklärt werden: Während der Hochtemperaturlagerung kommt es zur Ausheilung der Kristalldefekte im Kupfervolumen. Mit dieser Erholung ist eine Generierung von Leerstellen verbunden. Dies hat dann unterschiedliche Auswirkungen auf das Widerstandsverhalten der beiden Teststrukturtypen: In den Gitterstrukturen migrieren die freigesetzten Leerstellen, durch Stressgradienten getrieben, in Richtung des Vias und führen dort zur Bildung von Stress-Voids. Damit ist eine Erhöhung des Widerstands verbunden. Bei Strukturen ohne Vias werden auch beim Vorhandensein freier Leerstellen keine Stress-Voids generiert, da entsprechende Stressgradienten fehlen. Vielmehr kommt es hier durch die Ausheilung der Kristalldefekte zur Erhöhung der spezifischen Leitfähigkeit, was das Absinken des Widerstandes an Leitbahnen ohne Vias erklärt.

Das Ausheilen der Kristalldefekte kann auch an einer Zunahme des  $TCR$ -Werts abgelesen werden. So steigt der  $TCR$ -Wert des vom HDP-Plasma am stärksten gestörten Kupfers (Split E) während der Temperaturlagerung von  $3.34 \times 10^{-3} \text{ K}^{-1}$  auf  $3.48 \times 10^{-3} \text{ K}^{-1}$  an (Abb. 8-35 rechts).

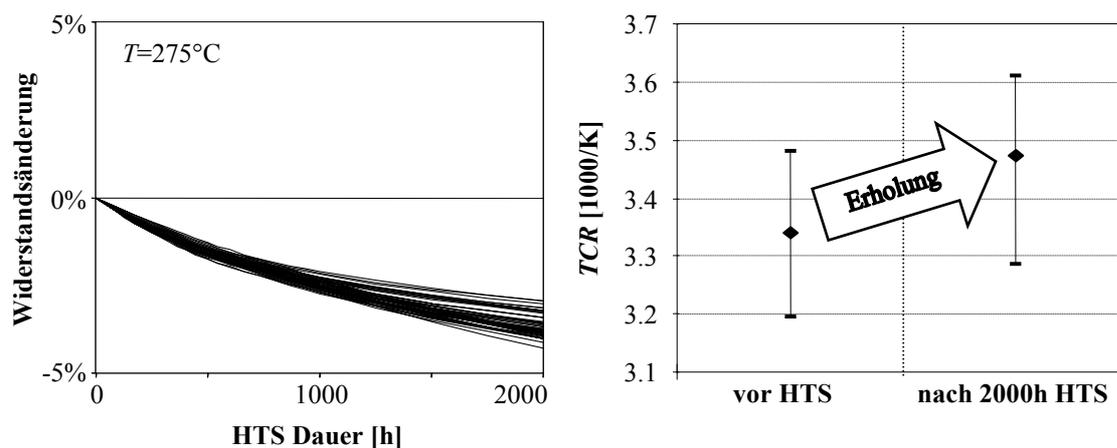


Abb. 8-35: Auswirkungen der Kristallerholung auf den Widerstand und den  $TCR$ -Wert von Leitbahnen mit hoher Defektivität infolge HDP-Pre-Cleans (Split E): Die Ausheilung der Defekte führt nach 2000h Lagerung bei  $275^\circ\text{C}$  zu einem Absinken des Widerstandes – parallel dazu beobachtet man einen Anstieg des  $TCR$ -Wertes.

Die beobachteten Zusammenhänge zwischen Plasmaintensität und Kristalldefektivität einerseits sowie der Kristallerholung und dem Auftreten der jeweiligen Widerstandsänderungen können auch quantitativ korreliert werden. Dabei wird davon

ausgegangen, dass der an den HDP-Pre-Clean Proben beobachtete Abfall des  $TCR$ -Wertes ein Maß für den Grad der Kristallschädigung ist. Trägt man die ermittelten  $TCR$ -Werte gegen die an Leitbahnen beobachtete Widerstandsdrift auf, so ergibt sich ein nahezu linearer Zusammenhang. Daraus lässt sich schließen, dass das Maß der anfänglichen Kristallschädigung proportional zum Grad der Kristallerholung während der Temperaturlagerung ist, die sich wiederum in einem Widerstandsabfall äußert.

In ähnlicher Weise ist die durch Generierung von Leerstellen bedingte Stressmigrationsausfallhäufigkeit mit dem  $TCR$ -Wert verknüpft - es ergibt sich für die Splits mit Kristallschädigungen (C, D, E) eine lineare Abhängigkeit. Höhere Kristallschädigungen und damit kleinere  $TCR$ -Werte korrespondieren mit einer Zunahme der Stressmigrationsausfälle. Diese Beobachtung legt nahe, dass der  $TCR$ -Wert nicht nur als Indikator für die Stressmigration verwendbar ist, sondern auch Aussagen über die Stärke des zu erwartenden Stress-Voidings zulässt [S]. Unterhalb eines Schwellenwertes von etwa 3450ppm/K ist im dargestellten Beispiel mit dem Auftreten von Stressmigrationsproblemen zu rechnen. Sinkt der gemessene Wert weiter ab, so steigt die Ausfallrate proportional an.

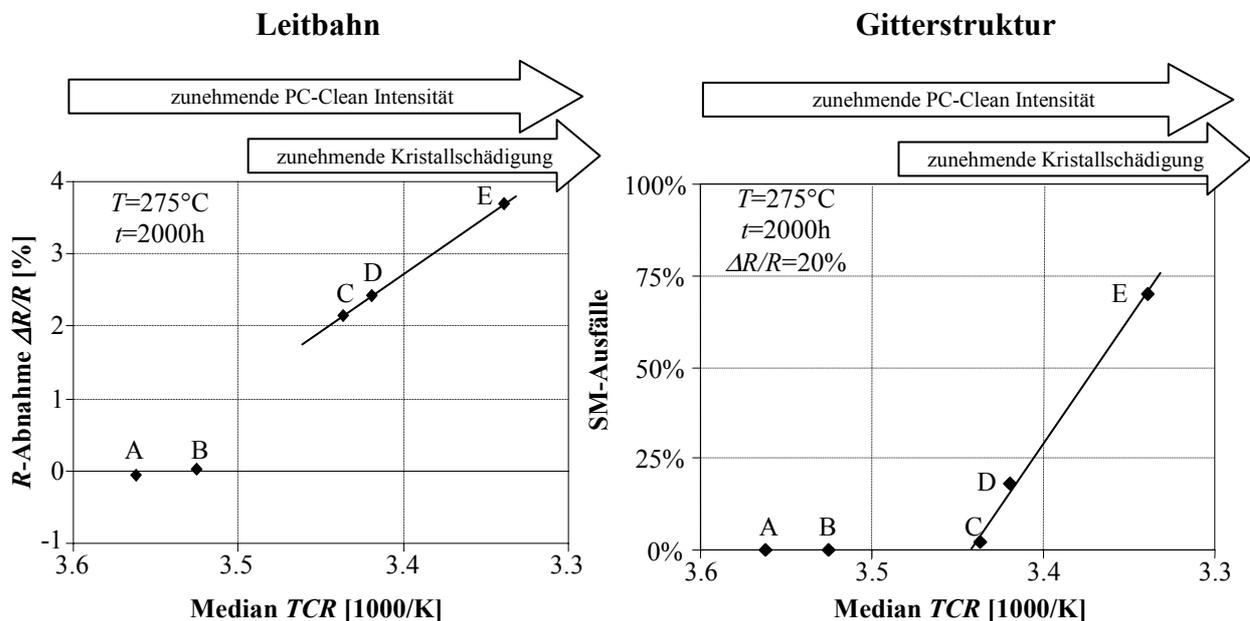


Abb. 8-36: Zusammenhang zwischen induzierter Kristallschädigung und dem Widerstandsabfall an Leitbahnen (links) bzw. der Ausfallhäufigkeit von Gitterstrukturen (rechts) jeweils nach 2000h Temperaturlagerung bei  $275^\circ\text{C}$ . Die zunehmende Kristallschädigung entsteht infolge steigender Pre-Clean Intensität und korreliert mit abnehmendem  $TCR$ -Wert.

### Elektromigration

Studien zum Einfluss von Pre-Clean und SiN-Abscheideprozess auf das Elektromigrationsverhalten wurden an breiten Bahnen ( $0.76\mu\text{m}$ ) mit Einzel-Via durchgeführt, welche in downstream Richtung belastet wurden. Diese Testkonfiguration eignet sich speziell für die Untersuchung von Unterschieden in den Deckschichteigenschaften, da hier eine besonders große Grenzfläche vorhanden ist und das Via in der Regel keinen Kontakt (Redundanz) mit dem Liner der darunterliegenden Leitbahn hat [L]. Kleinste Voids unter dem Via, die zum Beispiel durch Störungen der Grenzfläche hervorgerufen werden, können dann über einen deutlichen Widerstandsanstieg detektiert werden. Ein besonderes Augenmerk wurde darauf gerichtet, ob sich mit den unterschiedlichen SiN-Deckschicht-Splits der Hauptdiffusionspfad der Elektromigration sowie deren Kinetik ändert. Hierzu wurden Aktivierungsenergien bei Temperaturen zwischen  $250$  und  $350^\circ\text{C}$  und Stromdichteexponenten in einem Stromdichtebereich von  $5$  bis  $15\text{mA}/\mu\text{m}^2$  ermittelt.

Für die fünf gemessenen Splits ergeben sich für die mittleren Ausfallzeiten, die Stromdichteexponenten und die Aktivierungsenergien jeweils unterschiedliche Zusammenhänge, die sich wie folgt beschreiben lassen (Tab. 8-2):

Zunächst erkennt man, dass die Proben sämtlicher Splits annähernd dieselben Stromdichteexponenten besitzen ( $n=1.4...1.5$ ). Somit kann davon ausgegangen werden, dass die Elektromigrationskinetik bei Verwendung der unterschiedlichen Pre-Clean- und Abscheideprozesse keinen wesentlichen Änderungen unterliegt.

Bei der Aktivierungsenergie ergeben sich zwei Gruppen von Splits: Während Proben mit H<sub>2</sub>-HDP-Pre-Clean (C, D, E) sehr hohe Werte von 1.22 bis 1.26eV aufweisen, zeigen Proben mit PECVD-Pre-Clean (A, B) deutlich niedrigere Werte von 1.03 bzw. 1.06eV. Offensichtlich kann die Thermodynamik des Migrationsvorgangs je nach Anwendung von PECVD und HDP Pre-Clean modifiziert werden. Ursächlich hierfür ist die Ausbildung einer effektiveren Bindung zwischen Cu und SiN Deckschicht bei Verwendung des Wasserstoff Pre-Cleans in Verbindung mit einer hohen Plasmaintensität.

Bei der Analyse der Ausfallzeiten kann man wiederum die selben zwei Gruppen unterscheiden: Splits mit H<sub>2</sub>-HDP-Pre-Clean zeigen deutlich höhere Ausfallzeiten als solche mit PECVD-Pre-Clean. Innerhalb der HDP-Gruppe kann man darüber hinaus noch eine Abhängigkeit von der verwendeten Plasma-Intensität erkennen, wobei Split E mit der höchsten Intensität etwa doppelt so hohe Ausfallzeiten besitzt wie Split A. Die Verwendung des H<sub>2</sub>-HDP-Cleans ermöglicht es also, die Anzahl der zur Verfügung stehenden Migrationskanäle wirkungsvoll zu unterdrücken und so die Migrationsrate entlang der Grenzfläche zwischen Kupfer und SiN-Deckschicht zu reduzieren.

Die quantitative Auswirkung des Pre-Cleans auf die extrapolierte Lebensdauer ist aufgrund der starken Änderungen der mittleren Ausfallzeit sowie der Aktivierungsenergie recht eindrucksvoll. Vergleicht man die Lebensdauern von Split A (PECVD,  $MTF(A)=60h$ ,  $E_a=1.03eV$ ) mit denen von Split E (HDP,  $MTF(E)=380h$ ,  $E_a=1.22eV$ ), so ergibt sich das Lebensdauerverhältnis gemäß Gleichung (19) wie folgt:

$$\frac{t_{EOL}(E)}{t_{EOL}(A)} = \frac{MTF(E)}{MTF(A)} \cdot \exp\left(\frac{E_a(E) - E_a(A)}{k} \left(\frac{1}{T_{op}} - \frac{1}{T_{str}}\right)\right) \approx 50 \quad (49)$$

wobei  $T_{op}$  die typische Betriebstemperatur (100°C) und  $T_{str}$  die verwendete Stresstemperatur (300°C) darstellen. Unter Verwendung der experimentell ermittelten Größen ergeben sich aus der Verwendung eines Wasserstoff HDP-Pre-Cleans etwa 50-fach größere Lebensdauern.

	Pre-Clean			$MTF$ [h] (15mA/μm <sup>2</sup> , 300°C)	$E_a$ [eV]	$n$
	Art	Gas	Intensität			
<b>Split A</b>	PECVD	NH <sub>3</sub> /N <sub>2</sub>	Sehr niedrig	60	1.03	1.4
<b>Split B</b>	PECVD	NH <sub>3</sub> /N <sub>2</sub>	Sehr niedrig	56	1.06	1.4
<b>Split C</b>	HDP	H <sub>2</sub>	Niedrig	180	1.26	1.4
<b>Split D</b>	HDP	H <sub>2</sub>	Mittel	250	1.23	1.5
<b>Split E</b>	HDP	H <sub>2</sub>	Hoch	380	1.22	1.4

Tab. 8-2: Elektromigrationseigenschaften ( $MTF$ ,  $E_a$ ,  $n$ ) von downstream-belasteten breiten Einzel-Via-Strukturen (0.76μm) für verschiedene Pre-Clean Konditionen: Während PECVD Splits (A, B) niedrige Ausfallzeiten und niedrige Aktivierungsenergien aufweisen, zeigen HDP Splits um etwa 0.20eV höhere  $E_a$  Werte und um einen Faktor 3 bis 6 höhere Ausfallzeiten. Die  $MTF$  steigen mit Zunahme der HDP-Intensität sukzessive an. Alle Splits haben nahezu identische Stromdichteexponenten.

Der Zusammenhang zwischen der Pre-Clean Intensität und der beobachteten Elektromigrationsausfallzeit lässt sich zusammenfassend in Abb. 8-37 darstellen. Geht man davon aus, dass die zunehmende Kristallschädigung im Kupfervolumen bei steigender HDP-Intensität mit einer verbesserten Haftung der SiN-Schicht auf der Kupferoberfläche

einhergeht, so kann man die Änderung des  $TCR$ -Wertes auch in Zusammenhang mit den Grenzflächeneigenschaften bringen. Ein geringer  $TCR$ -Wert, der für eine hohe Defektdichte im Kupfervolumen steht, ist dann mit einer effektiven Haftung der SiN-Schicht auf der Kupferoberfläche korreliert. Trägt man also die mittlere Elektromigrationsausfallzeit gegen den  $TCR$ -Wert auf, so ergibt sich für die Split-Gruppen der HDP-Splits (C, D, E) ein nahezu exponentieller Zusammenhang (Abb. 8-37). Mit zunehmender Plasmastärke wird offensichtlich die Haftung der Deckschicht auf dem Kupfer immer weiter verbessert, die effektive Anzahl von Migrationskanälen wird somit kleiner und die Lebensdauern steigen sukzessive an. Auf der anderen Seite kommt es jedoch zu immer stärkeren Ausbildungen von Kristalldefekten.

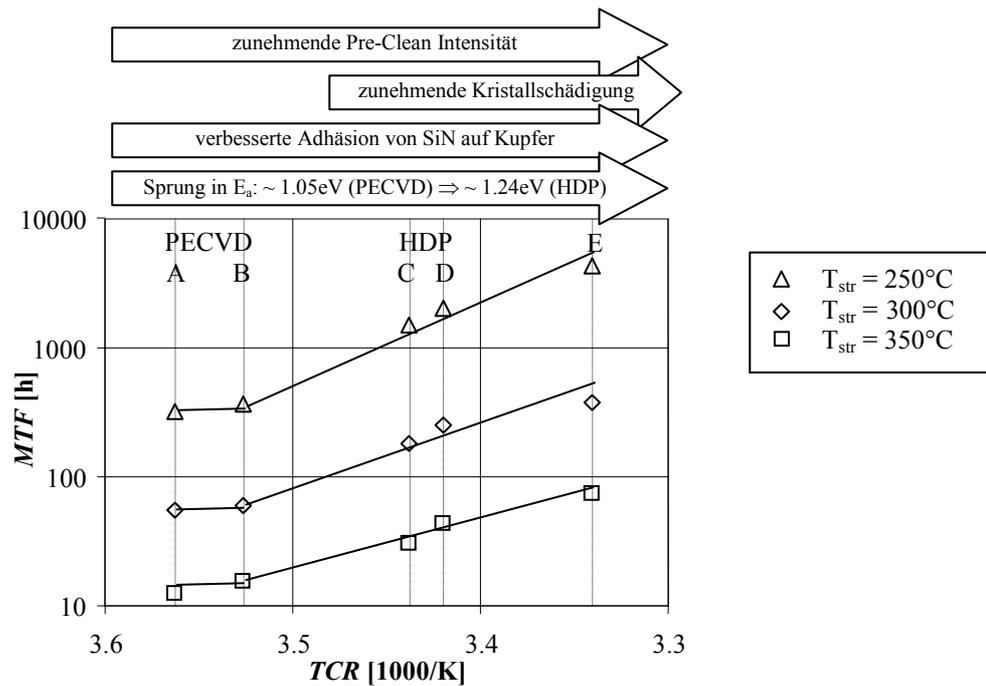


Abb. 8-37: Einfluss der Pre-Clean Intensität auf das Elektromigrationsverhalten breiter downstream-belasteter Einzel-Via-Strukturen ( $0.76\mu\text{m}$ ) bei unterschiedlichen Stresstemperaturen ( $T_{str}$ ). Die zunehmende PC Intensität verbessert die Adhäsion der SiN-Deckschicht auf der Kupferoberfläche, was zu höheren Ausfallzeiten (MTF) führt. Gleichzeitig ergibt sich beim Übergang von PECVD zu HDP ein Sprung in der Aktivierungsenergie ( $E_a$ ). Auf der anderen Seite induziert die intensive Pre-Clean Behandlung Kristalldefekte im Kupfervolumen.

#### Zusammenfassung: Zuverlässigkeitsaspekte der SiN-Deckschichtabscheidung

Vergleicht man die Stressmigrations- und Elektromigrationsergebnisse der vorangegangenen Studien miteinander, erkennt man zunächst, dass die Zuverlässigkeitseigenschaften der Proben primär nur von dem Pre-Clean vor der SiN-Abscheidung abhängen, nicht jedoch von der Abscheideart der SiN-Deckschicht. Bei den Auswirkungen der Pre-Clean Plasma-Intensität ergibt sich für die Elektromigration und Stressmigration ein gegenläufiges Bild: Einerseits verbessert eine intensive Plasmavorbehandlung die Grenzflächeneigenschaften zwischen dem Kupfer und der Nitridschicht und führt so zu signifikant höheren Elektromigrationsausfallzeiten sowie größeren Aktivierungsenergien. Andererseits verursachen intensive Reinigungsschritte mit Wasserstoff Kristallschädigungen im Kupfervolumen, welche während des Ausheilvorgangs zur Freisetzung von Leerstellen führen, die zur Bildung von Stress-Voids führen können. Mit der Intensität des Plasmas steigen der Grad der Kristallschädigung und die Stressmigrationsausfallhäufigkeit.

Split	Pre-Clean Intensität	Eigenschaften	
		SM	EM
A	Sehr niedrig	+	-
B	Sehr niedrig	+	-
C	Niedrig	-	+
D	Mittel	--	++
E	Hoch	---	+++

Tab. 8-3: Qualitative Zusammenfassung der Elektromigrations- und Stressmigrationsergebnisse in Abhängigkeit der Pre-Clean Plasma Intensität („+“ hohe Lebensdauer bzw. geringes Ausfallrisiko; „-“ niedrige Lebensdauer bzw. hohes Ausfallrisiko).

Dieses aus Zuverlässigkeitssicht gegenläufige Verhalten erschwert es, einen SiN-Abscheidungsprozess zu finden, der in optimaler Weise hohe Elektromigrations- und hohe Stressmigrationszuverlässigkeit gewährleistet. Während der Prozessentwicklung muss somit ein Optimum gefunden werden, bei dem die Elektromigrationstargets noch erreicht werden, Stressmigrationsausfälle jedoch unterhalb des zulässigen Wertes bleiben.

## 8.8 Zusammenfassung der wichtigsten Einflüsse des Metallisierungsprozesses

Durch die Untersuchungen in den Kapiteln 8.1 bis 8.7 konnte aufgezeigt werden, in welcher Weise Einzelprozesse Einfluss auf bestimmte Zuverlässigkeitsaspekte der Kupfermetallisierung oder der umgebenden Isolierung nehmen können (Tab. 8-4). An unterschiedlichen Fallbeispielen wurde dabei demonstriert, dass bereits kleinste Änderungen in der Prozessführung starke Auswirkungen auf einzelne Ausfall- und Degradationsmechanismen haben können.

Bei Prozessen vom *Typ 1* wie der Graben- bzw. Via-Ätzung oder dem Liner-Pre-Clean (Kap. 8.1 ... 8.3) kann es zu Bildung lokal begrenzter Störungen kommen, die sich in Überhängen, Furchen, Mikrorauhigkeiten, dem Vorhandensein von Polymerresten oder Plasmaschädigungen der Kupferoberfläche äußern. Bei der dann folgenden Linerabscheidung führen derartige Störungen zu Defekten, Dickerreduktionen und dem vollständigen Fehlen des Liners, was eine bevorzugte Nukleation von Leerstellen bedingen kann. In der Konsequenz werden dann meist Elektromigrations- sowie Stressmigrationverhalten in gleicher Weise beeinträchtigt, wobei die Ausfallzeiten oft um Größenordnungen abfallen können. In Kapitel 8.4 wurde nachgewiesen, dass bereits vorhandene lokale Störungen durch die Verwendung eines geeigneten Linerabschleifverfahrens (hier: unter Ausnutzung des Rücksputtereffekts) kompensiert und die Zuverlässigkeit wieder verbessert werden können.

Bei lokal wirkenden Prozesseinflüssen vom *Typ 1* spielt also die resultierende Linerqualität innerhalb (oder unterhalb) des Vias die entscheidende Rolle. Eine Prozessoptimierung muss deshalb darauf abzielen, einerseits lokale Störungen zu vermeiden (z.B. Anpassung der Ätzselektivität) und andererseits geeignete Linerabschleifprozesse zu entwickeln, die unvermeidbare Topologien überdecken können. Homogene und gleichmäßig dick abgeschleifte Liner fördern in gleicher Weise die Elektromigrations-, Stressmigrations- sowie Isolationseigenschaften.

Ein Prozess vom *Typ 1*, der nur eine selektive Auswirkung auf einen einzigen Zuverlässigkeitsaspekt hat, ist der Sputter Pre-Clean vor der Linerabscheidung (Kap. 8.3.). Die hohe Intensität des Wasserstoffplasmas bewirkt zwar eine lokale mikrostrukturelle Änderung der Kupferoberfläche unter dem Via und das Auftreten früher Elektromigrationsausfälle unter Strombelastung. Das gestörte Kristallvolumen ist aber zu gering, um genügend Leerstellen für Stress-Voids zu generieren. Somit ist mit diesem Prozess kein erhöhtes Stressmigrationsrisiko verbunden.

Die Einflüsse des Elektrolyten und des Post-Plating-Anneals auf die globale Kornstruktur des Kupfers und deren Konsequenz auf die Zuverlässigkeit wurden in den Kapiteln 8.5 und 8.6 besprochen. Bei diesen Prozessen vom *Typ 2* ist die Erreichung einer stabilen Mikrostruktur des Kupfers, die sich unter Betriebsbedingungen nicht mehr ändern kann, die essentielle Voraussetzung zur Realisierung hoher Zuverlässigkeitsanforderungen. Dies kann in erster Linie durch einen geeigneten Hochtemperatur Anneal-Schritt nach der Kupferabscheidung sowie durch Vermeidung von Kristalldefekten in späteren Prozess-Schritten erreicht werden. Es konnte nachgewiesen werden, dass für eine stabile Mikrostruktur Anneal-Temperaturen von mindestens 100°C erforderlich sind. Erst durch diese ausreichende Temperaturbehandlung können die Stressmigrationsanfälligkeit wirksam unterdrückt und die Elektromigrationslebensdauer erhöht werden. Daneben können durch chemische Additive im Elektrolyten, die ein bevorzugtes Wachstum des Kupfers vom Boden des Grabens nach oben hin („bottom-up“) favorisieren, die mittleren Korngrößen noch weiter vergrößert werden. Dies führt zu einer deutlichen Verbesserung des Elektromigrationsverhaltens insbesondere in den schmalsten Bahnen.

Hinsichtlich des Einflusses auf die Gesamtzuverlässigkeit stellt das Prozessmodul der SiN-Deckschichtabscheidung eine gewisse Ausnahme dar. Im Kapitel 8.7 wurde gezeigt, dass die globalen Eigenschaften an der Cu/SiN-Grenzfläche primär durch den Pre-Clean Prozess vor der Deckschichtabscheidung beeinflusst werden (*Typ 3*). Bei Verwendung eines Pre-Cleans

mittels intensiven Wasserstoffplasmas können die Elektromigrationseigenschaften zwar maßgeblich verbessert werden, gleichzeitig ist jedoch eine dramatische Erhöhung der Stressmigrationsanfälligkeit festzustellen. Mit steigender Intensität des Plasmas verbessern sich stetig die Adhäsionseigenschaften der Deckschicht wodurch auch die Elektromigrationslebensdauer kontinuierlich steigt. Parallel werden aber immer mehr Kristallschäden im Kupfervolumen induziert, die im weiteren Verlauf Leerstellen für die Ausbildung von Stressmigrations-Voids generieren können. Bei diesem Pre-Clean sind die Auswirkungen auf Elektromigration und Stressmigration also gegenläufig. Es gilt, den besten Kompromiss für einen Gesamtprozess zu finden, der für das spätere Produkt ein Optimum an Gesamtzuverlässigkeit ermöglicht.

Bei der Untersuchung der Einflüsse von Prozessänderungen von *Typ 2* und *Typ 3* auf die Qualität der Mikrostruktur hat sich eine Überwachung mittels *TCR* als äußerst effektive Methode bewährt. Ein Absinken des *TCR*-Wertes konnte so stets Hinweise auf zu geringe Korngrößen oder Plasmaschädigungen des Kupfers geben, welche ursächlich für die Reduzierung der Elektromigrations- und/oder Stressmigrationsfestigkeit waren.

Auf Basis obiger Untersuchungen zum Einfluss der Herstellungsprozesse können folgende Erkenntnisse zusammengefasst werden, die für eine optimale Metallisierungszuverlässigkeit unabdingbar sind:

- Homogene Damascene Ätzung ohne Seitenwanddefekte
- Homogene, konforme und defektfreie Linerabscheidung
- Optimierte Reinigungsschritte vor der Liner- und Deckschichtabscheidung
- Ausreichende Temperung des Kupfers für eine stabile Mikrostruktur

Sämtliche Einzelprozess-Schritte müssen jedoch derart aufeinander abgestimmt werden, dass ein Optimum der gesamtheitlichen Zuverlässigkeit (Elektromigration, Stressmigration, Isolation) der Metallisierung die Folge ist. In der industriellen Praxis hängt der finale Herstellungsprozess der Metallisierung neben der Optimierung der Zuverlässigkeit aber auch wesentlich von anderen Einflüssen ab, wie dem zur Verfügung stehenden Gerätepark, den Durchsatzzeiten sowie den Herstellungs- und Betriebskosten.

Prozess	Zuverlässigkeitsrelevanter Prozess oder Parameter	Auswirkungen	Folgen	Fehlerszenarien nach Belastungsstress	Prozessoptimierung
8.1. Single-Damascene Grabenätzung	Selektivität zwischen Oxid und Wolfram bei Ätzung des Leitbahngrabens	Zu geringe Selektivität: Oxid-überhänge, lokale Rauigkeiten und Überätzung am W-Kontakt	Inhomogener bzw. fehlender Liner am W-Kontakt	EM und SM Frühausfälle durch schlitzförmige Voids an gestörter Grenzfläche zum W-Kontakt	Erhöhung der Selektivität: Vollständige Unterdrückung von SM-Ausfällen, Erhöhung der EM-MTF um Faktor 5
8.2. Dual-Damascene Via-Ätzung	Selektivität zwischen Oxid und SiN bei Ätzung des Via-Loches	Zu geringe Selektivität: Anätzung SiN-Deckschicht am Via, lokale Cu-Oxidation bei Verätzung, Leitbahnunterätzung bei Entfernung des Oxids	Inhomogener Liner sowie nicht aufgefüllte Hohlräume am Via	Frühe EM-Ausfälle und erhöhte SM-Anfälligkeit	Erhöhung der Selektivität: Vollständige Unterdrückung von SM-Ausfällen, Erhöhung der EM-Ausfallzeiten bis 2 Dekaden
	Selektivität zwischen HDP- und PECVD-SiN bei Öffnung der Deckschicht	Zu hohe Selektivität: Unterätzung der PECVD-SiN-Schicht und Furchenbildung	Fehlender Liner an Nahtstelle zwischen PECVD- und HDP-SiN-Schicht	Frühe EM-Ausfälle (upstream) durch Via-Voiding und erhöhte SM-Anfälligkeit (Gitter über Via)	Unterdrückte EM-Via-Voiding und SM-Driften durch: 1) Reduktion der Selektivität HDP- vs. PECVD-SiN, 2) Rücksputter-Liner zur Abdeckung der Furchen
8.3. Liner Pre-Clean	Ungentügender nass-chemischer Pre-Clean	Polymer-Rückstände an Via-Seitenwand und Via-Boden	Kleinere Liner-Defekte durch Polymer-Ansammlungen, grobe Via-Defekte durch Partikel	Verbreiterung der EM-Ausfallverteilung und Auftreten von EM-Frühausfällen	Unterdrückung der EM-Frühausfälle und Verringerung der Streuung der Ausfallzeiten durch vollständige Entfernung von Polymer-Rückständen aus Via
	Verwendung von H-Plasma beim Sputter-Pre-Clean	Lokale oberflächennahe Änderung der Cu-Mikrostruktur unterhalb Via (Plasmaschädigung)	Lokale Mikrorauigkeit, Bildung von Zentren erleichterter Void-Bildung	EM: Reduktion von $n$ auf 1.0, keine Änderung $E_a$ , Frühausfälle SM: Einfluss nicht nachweisbar	Verwendung von Ar-Plasma: EM: $n \rightarrow 1.5$ , Unterdrückung der Frühausfälle, Erhöhung der Lebensdauer um Faktor 3...4
8.4. Liner-Abscheidung	TaN/Ta-Liner	Grenzfläche Cu/TaN	Schlechtere Haftung und erhöhte Migration	EM: Reduktion der Ausfallzeiten	Verwendung von Ta-Liner: EM: Erhöhung der Ausfallzeiten um 20% aber gleichzeitig Erhöhung des Via-Widerstandes
	Standard-PVD-Abscheidungsverfahren	Reduzierte Kantenbedeckung bei hohen Aspektverhältnissen	Reduzierte Liner-Dicke insbesondere im Via	ISO: Erhöhte Ausdiffusion von Cu-Ionen, Anstieg des Leckstromes	Verwendung von IMP & SIP-Abscheidungsverfahren: ISO: Unterdrückung der Cu-Ionen Ausdiffusion durch konforme Kantenbedeckung
	IMP-Abscheidungsverfahren	Topologiedefekte werden durch Liner nicht kompensiert	Lokale Unterbrechungen bzw. Liner-Defekte bedingen Zentren erleichterter Void-Bildung	Frühe EM-Ausfälle (upstream) durch Via-Voiding und erhöhte SM-Anfälligkeit (Gitter über Via)	Verwendung von SIP-Abscheidungsverfahren: Unterdrückung von EM-Via-Voiding-Mode und SM-Driften durch Kompensation der Topologiedefekte
8.5. Elektrolytische Cu-Abscheidung	Nicht-optimierter Elektrolyt bzw. Additive	Kleine Kupferkorngrößen in schmalen Gräben	Erhöhung der Diffusion entlang Korngrenzen	EM: Reduktion der Ausfallzeiten (upstream und downstream)	Verwendung von „Viaform-Chemistry“ Elektrolyten: EM: Erhöhung der Korngrößen und der Ausfallzeiten um bis zu 100%
8.6. Post-Plating Anneal	Zu geringe Anneal Temperatur nach elektrolytischer Abscheidung ( $\leq 80^\circ\text{C}$ )	Kleine Kupferkorngrößen in schmalen Gräben	Erhöhung der Diffusion entlang Korngrenzen, instabile Kornstruktur, Freisetzung von Leerstellen	EM: Reduktion der Ausfallzeiten SM: Stress-Voids an Strukturen mit schmalen Leitbahnen	Verwendung von Anneal-Temperaturen $\geq 100^\circ\text{C}$ : EM: Erhöhung der Ausfallzeiten um Faktor 4 SM: Unterdrückung von SM-Voids durch Erreichung stabiler Mikrostruktur
8.7. SiN-Deckschicht Abscheidung	NH <sub>3</sub> /H <sub>2</sub> PECVD-Pre-Clean mit niedriger Intensität	Unzureichende Entfernung von Kupferoxid und unzureichende Aktivierung der Oberfläche zur Haftvermittlung	Nur mäßige Adhäsion der Deckschicht auf Cu, Erhöhung der Diffusion entlang der Cu/SiN-Grenzfläche	EM: $E_a \sim 1.05\text{eV}$ , niedrige MTF SM: kein SM-Risiko	Verwendung von H <sub>2</sub> -HDP Pre-Clean mit hoher Intensität: EM: Erhöhung MTF um Faktor 6 und $E_a$ um $\sim 0.2\text{eV}$ SM: Anfälligkeit für SM-Voids durch Kristall-Defekte
	H <sub>2</sub> -HDP Pre-Clean mit hoher Intensität	Effektive Reinigung und Aktivierung der Cu-Oberfläche, gleichzeitig Induzierung von Kristalldefekten im Cu-Volumen	Gute Adhäsion der Deckschicht auf Cu, Unterdrückung von Diffusionskanälen an Cu/SiN-Grenzfläche, Freisetzung von Leerstellen	SM: Induzierung von Stress-Voids an Vias in Verbindung mit großen angeschlossenen Metall-Volumen EM: $E_a \sim 1.26\text{eV}$ , hohe MTF	Verwendung von NH <sub>3</sub> /H <sub>2</sub> PECVD-Pre-Clean: SM: Unterdrückung von SM-Voids EM: Reduktion MTF um Faktor 6 und $E_a$ um $\sim 0.2\text{eV}$

Tab. 8-1: Zusammenfassende Übersicht über Studien zum Einfluss der kritischsten Prozessmodule auf zuverlässigkeitsrelevante Aspekte von Kupfermetallisierungen. Dargestellt sind die Auswirkungen verschiedener Einzelprozess-Schritte und Prozessparameter auf die Mikrostruktur des Kupfers, den Liner sowie die Grenzfläche zur Deckschicht und deren Konsequenzen hinsichtlich des Auftretens bestimmter Fehlermechanismen. Die letzte Spalte enthält nachgewiesene Prozessoptimierungen, die zu einer Unterdrückung eines Fehlermechanismus' oder zur Erhöhung der Lebensdauer führen.

## **9. Zuverlässigkeitsaspekte von Kupfermetallisierungen in Integrierten Schaltungen - Zusammenfassung**

In der vorliegenden Arbeit wurden Zuverlässigkeitsaspekte von Kupfermetallisierungen mit dem Ziel behandelt, das Ausfallrisiko derartiger Verdrahtungen in hochintegrierten Halbleiterschaltungen unter Betriebsbedingungen zu bewerten. Die in den Kapiteln dargestellten Zusammenhänge reflektieren die Studien, welche beim Halbleiterhersteller Infineon zur Zuverlässigkeitsbewertung notwendig waren, um die Ablösung der bisher verwendeten Aluminiummetallisierungen abzusichern. Sie umfassen Untersuchungen zu grundlegenden Materialeigenschaften des Kupfers in Integrierten Schaltungen, zu einzelnen Fehlermechanismen sowie der Methodik der Lebensdauerabschätzung auf Basis hochbeschleunigter Ausfalltests. Daneben wurde in zwei Themenschwerpunkten der Einfluss der Metallisierungsdesigns sowie bestimmter Prozessierungsschritte auf die Zuverlässigkeit diskutiert. Diese bilden die Grundpfeiler für die Definition eines optimalen Gesamtprozesses sowie zur Erstellung von Vorschriften und Empfehlungen für die Erstellung von Produktdesigns.

Die Motivation zu dieser Arbeit bildet die Einführung von Kupfer als Metallisierungsmaterial in Integrierte CMOS- und Bipolar-Schaltungen, die sich in der Halbleiterindustrie mit Entwicklung der 180nm Generation Mitte der 90iger Jahre abzeichnete. Neben den erhofften Vorteilen wie Niederohmigkeit und höherer Strombelastbarkeit brachte dieser Übergang erhebliche Herausforderungen bei der Bewertung der Zuverlässigkeit mit sich. Diese ergaben sich zunächst aus der Materialinnovation selbst sowie der Dual-Damascene Integrationsmethode, welche in neuartigen elektrischen und mikromechanischen Phänomenen in den Leitbahnkonstruktionen und den Via-Übergängen resultierten.

Unter der Zuverlässigkeit der Kupfermetallisierung versteht man die Fähigkeit, die elektrischen Eigenschaften der Verdrahtungskonstruktion innerhalb einer erforderlichen Genauigkeit aufrechtzuerhalten, wodurch die Funktionalität der Schaltung über den Zeitraum der Produktlebensdauer gewährleistet werden kann. Die Zuverlässigkeit einer Integrierten Kupfermetallisierung wird durch drei Degradationsmechanismen beeinträchtigt: Elektromigration, Stressmigration bzw. Degradation der Isolation. Durch sie können Materialansammlungen (Extrusionen) oder Poren (Voids) in den Leitbahnen und Vias erzeugt werden bzw. Kupferionen in das umgebende Dielektrikum gelangen. Infolge dessen kann es zu Änderungen des elektrischen Widerstands, zu Kurzschlüssen oder Leitbahnunterbrechungen bzw. zur Erhöhung von Leckströmen oder Kapazitätsdriften kommen. Dies führt zur Beeinträchtigung der Funktionalität bis hin zum Totalausfall des Produktes.

Für eine quantitative Bewertung der Zuverlässigkeit werden in beschleunigten Test kleine Stichproben produktrelevanter Teststrukturen unter höheren Belastungen als im späteren Produkt betrieben, um sie innerhalb weniger Stunden oder Wochen zum Ausfall zu bringen. Die ermittelten Ausfallzeiten werden mit einem statistischen Modell beschrieben und über ein Transformationsmodell auf die moderateren Betriebsbedingungen umgerechnet. Die Lebensdauer wird ermittelt, indem man auf die maximal zulässigen Ausfallhäufigkeiten extrapoliert. Typische Produktanwendungen erfordern 10 bis 15 Jahre Lebensdauer, bei 100 bis 125°C Metallisierungstemperatur unter Strombelastungen von 10mA/μm<sup>2</sup> oder mehr. Die dabei maximal tolerierbaren Ausfallhäufigkeiten auf Produktebene dürfen für industrielle Anwendungen meist nur einige „ppm“ betragen, d.h. nur eins von einer Million Produkten darf ausfallen. Dabei ist zu beachten, dass Halbleiterschaltungen mit integrierten Kupferverdrahtungen bis zu 10 Metallisierungsebenen, mehrere Millionen Vias, Leitbahnen mit Breiten von 100nm bis 10μm bei einer Gesamtlänge von bis zu einigen Kilometern enthalten.

### Elektromigration

Aufgrund existierender Diffusionsbarrieren sind (Dual-) Damascene Leitbahnen am Via-Übergang einem erheblichen Ausfallrisiko durch Elektromigration ausgesetzt. Aus prozesstechnischer Sicht sind Einzel-Vias, die an den schmalsten Leitbahnen angeschlossen sind, am kritischsten. Dies liegt an dem großen Aspektverhältnis, das es erschwert, den Liner homogen und defektfrei in die Gräben und Vias abzuschneiden. Aus Sicht des Produktdesigns stellen Einzel-Vias an breiteren Leitbahnanschlüssen die größte Herausforderung dar. Ursache ist eine deutlich höhere Strombelastung des Vias, welche mit zunehmender Bahnbreite ansteigen muss, um die Stromdichte in der Leitbahn konstant zu halten.

Eine für Kupfermetallisierungen charakteristische Eigenschaft ist das häufige Auftreten multimodaler Ausfallverteilungen, d.h. ein und derselbe Strukturtyp kann durch verschiedene physikalische Mechanismen zum Ausfall gebracht werden. Umfassende Studien zur Systematisierung und statistischen Beschreibung der möglichen Ausfallszenarien sind erstmals im Rahmen dieser Arbeit veröffentlicht worden. Das Ausfallszenario ist zunächst abhängig von der Richtung des Gleichstromes. Wird das Via nach „oben“ belastet („upstream“), kann es zur Bildung von Voids innerhalb des Vias und/oder in der Leitbahn kommen. Findet die Belastung nach „unten“ („downstream“) statt, kommt es zur Materialverarmung direkt unterhalb des Vias und/oder weiter entfernt in der Leitbahn. Treten die jeweiligen Fehlermechanismen in ein und derselben Stichprobe auf, so können die daraus resultierenden bimodalen Verteilungen in den meisten Fällen mit dem Superpositionsmodell beschrieben werden. Es basiert auf der Überlagerung zweier Verteilungen, wobei jeder einzelne Ausfallmechanismus durch eine Lognormal-Verteilung beschrieben werden kann. Mit Hilfe eines solchen statistischen Modells gelang es erstmals, die Lebensdauern von Via/Leitbahn-Konstruktionen mit bimodalen Verhalten abzuschätzen.

Kinetische Studien bestätigen für sämtliche Teststrukturkonfigurationen unabhängig von der Stromrichtung und dem jeweiligen Fehlermechanismus die Gültigkeit von Black's Gleichung auch bei Kupfermetallisierungen. Die Aktivierungsenergie wird beeinflusst durch die Eigenschaften der Grenzfläche zwischen dem Kupfer und der Deckschicht, welcher den Hauptdiffusionspfad für die Elektromigration darstellt. Die Werte für eine SiN-Deckschicht liegen in der Regel zwischen 0.9 und 1.0eV, können aber mit einem optimierten Reinigungsschritt auf bis zu 1.25eV gesteigert werden. Die Stromdichteexponenten liegen typischerweise zwischen 1.4 und 1.5. Ist die Metallisierung defektbehaftet, so sinken die Werte auf bis zu 1.0 ab. Derart verursachte Frühausfallmechanismen können jedoch meist durch Prozessoptimierungen vollständig unterdrückt werden.

Unter typischen Betriebsbedingungen können auf Basis obiger Elektromigrationsparameter bei Kupfermetallisierungen maximale Stromdichten von bis zu 30mA/μm<sup>2</sup> auf Produktebene erlaubt werden - über eine Größenordnung mehr als bei Aluminium (typ. 2mA/μm<sup>2</sup>) ! Sofern die Barriere am Via-Boden vollständig vorhanden ist, konnte an diesen Dual-Damascene Metallisierungen darüberhinaus ein ausgeprägter Kurzlängeneffekt (Blech-Effekt) beobachtet werden. Kurze Leitbahnen können demzufolge mit noch höheren Stromdichten betrieben werden. Das kritische Blech-Produkt beträgt etwa 7500A/cm.

### Stressmigration

Neben der Elektromigration wird die Lebensdauer von Kupfermetallisierungen durch den Mechanismus der Stressmigration begrenzt. Im Gegensatz zum strominduzierten Materialtransport wird die Leerstellenmigration durch Gradienten in der mechanischen Spannung getrieben. Im fundamentalen Unterschied zu Aluminiummetallisierungen, bei denen Stress-Voids nur in schmalen Leitbahnen auftreten, können bei Kupfer stressmigrationsinduzierte Ausfälle stets mit einem Voiding im oder unter dem Via in Verbindung gebracht werden. Dabei werden die Voids jeweils nur in der Ebene gefunden, in der ein hinreichend großes, aktives Volumen zur Verfügung steht. Liegt das anschließende Metallreservoir über dem Via, so sind Voids innerhalb des Vias zu finden. Liegt es unter dem

Via, erfolgt die Leerstellenansammlung in der Metallebene unter dem Via.

Ursächlich für die Anfälligkeit gegenüber Stressmigration ist die Tatsache, dass bei der elektrolytischen Abscheidung des Kupfers eine Vielzahl von Leerstellen in das Gefüge eingebaut wird, die zu einer Leerstellenübersättigung bzw. einer gewissen Mikroporosität führt. Zusätzliche Leerstellen können durch physikalische Vorgänge wie Erholung, Rekristallisation oder Kornwachstum generiert werden. Die freien Leerstellen werden durch Stressgradienten, welche vorzugsweise an den Übergängen vom Via zur Leitbahn auftreten, in Richtung des Vias getrieben. Der Hauptmigrationspfad ist hierbei wiederum die Grenzfläche zwischen dem Kupfer und der Deckschicht. Die Ansammlung freier Leerstellen im oder unter dem Via können dann den Nukleationskeim für das weitere Void-Wachstum bilden. Dabei findet eine Nukleation vorzugsweise an solchen Stellen statt, die sich durch eine geringe Keimbildungsenergie auszeichnen z.B. bereits vorhandene Mikroporen, Defekte im Liner oder der Deckschicht sowie Tripelpunkte heterogener Grenzflächen.

Stressmigrationsbedingtes Void-Wachstum kann in Kupfermetallisierungen immer dann beobachtet werden, wenn das Via an eine Leitbahnkonstruktion angeschlossen ist, die ein großes aktives Volumen bildet. Ein solches aktives Volumen entsteht aus der Überlagerung des Metallvolumens (Leerstellenreservoir), des Diffusionsvolumens (gegeben durch Diffusionslänge) und des Volumens, in dem Stressgradienten existieren (treibende Migrationskraft). Demzufolge liegt bei Via/Leitbahn-Strukturen ein hohes Ausfallrisiko vor, wenn große Stressgradienten existieren, eine besonders hohe Anzahl freier Leerstellen zur Verfügung steht oder durch eine instabile oder defekte Mikrostruktur erzeugt werden kann, Stellen bevorzugter Keimbildung existieren sowie eine große Anzahl von Diffusionspfaden mit niedriger Aktivierungsenergie zur Verfügung steht. Somit haben die lokale Mikrostruktur des Kupfers, die Grenzflächeneigenschaften der Deckschicht und des Liners sowie das Metallisierungsdesign den entscheidenden Einfluss auf die Bildung von Stress-Voids.

Von zentraler Bedeutung bei der Reduzierung der Stressmigration ist es, eine stabile Mikrostruktur des Kupfers einzustellen. Dies kann durch eine ausreichend hohe Post-Plating Temperatur und die Vermeidung von Kristallschädigungen erreicht werden. Daneben kann der Migrationsvorgang verlangsamt werden, wenn die Deckschichten eine besonders gute Adhäsion zum Kupfer besitzen. Dies wird durch geeignete Reinigungsschritte vor der Abscheidung der Deckschicht erreicht. Die Stressgradienten in der Umgebung des Vias können nur zu einem gewissen Teil reduziert werden. Dies gelingt zum Beispiel durch die Wahl geeigneter Materialkombinationen und der optimierten Gestaltung des Via-Anschlusses (z.B. durch Vermeidung negativer Überlappung). Der größte Hebel zur Unterdrückung von Stressmigration bietet sich in der konsequenten Vermeidung großer Metallvolumina. Lassen sich diese nicht umgehen, kann das aktive Volumen dennoch reduziert werden, indem beispielsweise das Via über schmale Zuleitungen vom Metallreservoir auf Abstand gehalten wird („Nasenregel“).

Die Untersuchungen zum Verständnis des Stressmigrationsverhaltens, die im Rahmen dieser Arbeit durchgeführt wurden, verhalfen international zu einem Durchbruch im Verständnis dieses Degradationsmechanismus'. Zunächst musste das Teststrukturkonzept auf die besonderen Gegebenheiten der Kupfermetallisierungen angepasst werden. Um den Stressmigrationseffekt so groß wie möglich zu machen, werden in den Teststrukturen große aktive Volumina dadurch realisiert, dass Kupferplatten im  $\mu\text{m}^2$ -Bereich über einzelne Vias miteinander verbunden werden. Um die mikrostrukturellen Besonderheiten von Kupfer in Gräben minimaler Breite zu untersuchen, kann das Metallvolumen auch aus einer Vielzahl miteinander verbundener, schmaler Leitbahnen realisiert werden. Dazu wurden neuartige Strukturen mit verketteten Gittern erstmals erprobt. Daneben wurde gezeigt, dass sich die stressmigrationsbedingten Ausfallzeiten innerhalb einer Stichprobe in Analogie zur Elektromigration durch eine Lognormal-Verteilung beschreiben lassen. Studien zur thermischen Aktivierung der Stressmigration ergaben, dass die mittleren Ausfallzeiten über

dem gesamten Temperaturbereich von 170°C bis 350°C mit zunehmender Temperatur stetig abnehmen. Dies steht im Gegensatz zu Aluminiummetallisierungen, wo die Ausfallzeiten ein ausgeprägtes Minimum zwischen 225 und 250°C aufweisen. Die Ausfallszenarien für Stressmigration in Kupfer sind interessanterweise vergleichbar mit denen der Elektromigration. Wiederum bildet die Grenzfläche zwischen dem Kupfer und der Deckschicht den Hauptdiffusionspfad mit derselben Aktivierungsenergie wie für die Elektromigration. Auch kann es zum Auftreten von Bimodalitäten kommen, die man verschiedenen physikalischen Mechanismen zuordnen kann. Durch den Nachweis einer reinen Arrhenius-Abhängigkeit und der Verwendung des abgeleiteten statistischen Modells, war erstmals eine quantitative Abschätzung der Stressmigrationslebensdauer für Kupfermetallisierungen möglich. Dabei zeigte sich, dass Metallreservoirs mit einigen  $\mu\text{m}^2$  Fläche potenziell als kritisch einzustufen sind, um bei Betriebstemperaturen von 100°C die erforderlichen Lebensdauern von 10 bis 15 Jahren zu erreichen. Für Anwendungen bei 125°C ist mit einer zusätzlichen Verringerung der Lebensdauer um den Faktor sechs zu rechnen. Ein weiteres kritisches Element ist in der Verwendung von Hybridmetallisierung zu sehen, bei der Kupferleitbahnen über Wolfram-Vias kontaktiert werden. Derartige Materialkombinationen zeigten eine erheblich stärkere Anfälligkeit gegenüber Stressmigrationsausfällen.

#### Degradation der Isolation

Mit der Einführung von Kupfer ergab sich neben der Elektromigration und Stressmigration ein neuartiges, potenzielles Zuverlässigkeitsrisiko. Dieses resultiert aus der Tatsache, dass Kupfer durch seine hohe Diffusivität sehr leicht in das umgebende Dielektrikum (Siliziumoxid) eindringen kann. Primär ist die Ausdiffusion von der hermetischen Einkapselung des Kupfers durch den Liner und die Deckschicht abhängig. War beispielsweise der Liner innerhalb des Vias zu dünn, konnte der Leckstrom zwischen benachbarten Strukturen um bis zu zwei Größenordnungen ansteigen. Es wurde jedoch demonstriert, dass bei adäquater Prozessierung die Ausdiffusion von Kupfer vollständig unterdrückt werden kann, so dass dieses Risiko in den meisten Fällen irrelevant für die Produktlebensdauer ist.

#### TCR-Methode

Im Rahmen der Arbeit wurde erstmals eine neuartige Methode zur zerstörungsfreien Vorhersage des Zuverlässigkeitsverhaltens von Kupfermetallisierungen vorgestellt, die auf der Verwendung des Temperaturkoeffizienten (*TCR*) beruht. Grundidee dieser Methode ist die Tatsache, dass der *TCR*-Wert mit der Mikrostruktur und insbesondere der mittleren Korngröße einer Damascene Metallisierung korreliert. Darüberhinaus kann ein niedriger *TCR*-Wert auf Kristalldefekte hindeuten, welche z.B. durch die Verwendung eines Wasserstoff-Plasmas im Metallvolumen induziert werden können. Auf diese Weise lässt sich über eine elektrisch messbare Größe eine Charakterisierung des Gefüges von strukturierten Damascene Leitbahnen vornehmen, ohne die Ergebnisse von Langzeituntersuchungen abwarten zu müssen. Insbesondere eignet sich diese Methode für Splitvergleiche, um Änderungen der Mikrostruktur, die sich aus bestimmten Prozessänderungen ergeben, in einfacher Weise zu überprüfen. Fällt der *TCR*-Wert unterhalb eines kritischen Wertes ab, so kann dies durch eine zu feinkörnige Mikrostruktur oder eine zu hohe Kristalldefektdichte bedingt sein, welche die Ursachen für ein erhöhtes Stressmigrationsrisiko sein können.

#### Einfluss des Metallisierungsdesigns

Die Haupte Erkenntnis der Studien zum Einfluss des Metallisierungsdesigns besteht darin, dass der Übergang eines einzelnen Vias auf eine Leitbahn sowohl für die Elektromigration als auch die Stressmigration das kritischste Element innerhalb eines Verdrahtungssystems darstellt. Bei der Elektromigration ist der Fall der Downstream-Belastung als kritischer gegenüber einer Upstream-Belastung anzusehen, sofern der frühe Via-Voiding-Mechanismus unterdrückt werden kann. Innerhalb der downstream-belasteten Strukturen ist dann noch einmal die Konfiguration eines auf eine breite Leitbahn angeschlossenen Einzel-Vias als besonders

kritisch hervorzuheben. Unter typischen Betriebsbedingungen können schmale Bahnen mit  $100\text{mA}/\mu\text{m}^2$  in Upstream-Richtung belastet werden, downstream jedoch nur mit etwa maximal  $40\text{mA}/\mu\text{m}^2$ . Bei breiteren Bahnen reduziert sich der Wert nochmals auf etwa  $30\text{mA}/\mu\text{m}^2$ . Durch die folgenden Designmaßnahmen können die unter Betriebsbedingungen maximal zulässigen Belastungsströme gesteigert werden:

- Anschluss der verschiedenen Metallebenen über mehrere Vias (bis Faktor 2.5)
- Ausnutzung des Blech-Effekts in kurzen Leitbahnen (Faktor 2 bis 10)
- Ausnutzung des Reservoireffekts durch Vergrößerung des Via-Überlapps (bis 60%).

Durch die Studien zum Einfluss des Metallisierungsdesigns auf die Stressmigration konnten erstmals grundlegende Designregeln und -empfehlungen für die Realisierung von Produkten mit stressmigrationsrobusten Kupfermetallisierungen abgeleitet werden. Das Ausfallrisiko ist besonders hoch, wenn ein einzelnes Via an ein zusammenhängendes Metallvolumen mit einer lateralen Gesamtfläche im  $\mu\text{m}^2$ -Bereich angeschlossen wird. Die Lebensdauern nehmen mit zunehmendem Volumen stetig ab. So kann mit einer Verkürzung um bis zu drei Größenordnungen gerechnet werden, wenn  $4 \times 4 \mu\text{m}^2$  Platten auf  $10 \times 10 \mu\text{m}^2$  vergrößert werden. Darüberhinaus erhöht sich das Ausfallrisiko wenn der Via-Durchmesser oder der Via-Überlapp z.B. prozessbedingt kleiner werden, die Via/Leitbahn-Konstruktion in den unteren Ebenen des Metallisierungstapels liegt oder die kritischen Elemente über schmale Segmente miteinander verbunden sind. Durch folgende Designmaßnahmen lässt sich die Lebensdauer gezielt erhöhen:

- Räumliche Trennung von Einzel-Via und Metallreservoir („Nasen“-Struktur)
- Verwendung redundanter Vias
- Realisierung möglichst großer Via-Durchmesser
- Realisierung möglichst großer Via/Leitbahn-Überlappe
- Vermeidung von Segmenten mit minimaler Breite zum Anschluss kritischer Elemente.

#### Einfluss des Herstellungsprozesses

Durch die Untersuchungen zum Einfluss des Herstellungsprozesses auf die Zuverlässigkeit konnte gezeigt werden, dass bereits kleinste Änderungen in der Prozessführung erhebliche Auswirkungen auf einzelne Ausfall- und Degradationsmechanismen haben können. Dies liegt an der unmittelbaren Beeinflussung der lokalen Mikrostruktur, lokaler Eigenschaften entlang der Kupfer/Deckschicht- und Kupfer/Liner-Grenzfläche sowie der Erzeugung möglicher lokaler Defekte, die potenziell als Zentren bevorzugter Keimbildung agieren können. Demzufolge sind alle Einzelprozesse, welche unmittelbare oder mittelbare Auswirkung auf diese Aspekte haben, als zuverlässigkeitsrelevant einzustufen. Aus der Vielzahl der durchgeführten Experimente haben sich 6 Prozessmodule mit insgesamt 14 verschiedenen Teilprozessen als besonders kritisch herauskristallisiert. Eine wesentliche Schlussfolgerung ist die Beobachtung, dass Prozessänderungen, welche z.B. die Elektromigrationsfestigkeit erhöhen, nicht zwingend eine Verbesserung des Stressmigrations- oder Isolationsverhaltens nach sich ziehen müssen. Aus Sicht der Zuverlässigkeit stellt die Linerabscheidung das kritischste Prozessmodul dar. Nach den Ergebnissen in dieser Arbeit lassen sich die Einzelprozesse hinsichtlich ihrer Auswirkungen auf zuverlässigkeitsrelevante Eigenschaften in drei Kategorien unterteilen:

- *Typ 1:* Prozesse, die lokale Eigenschaften in Via Nähe beeinflussen, z.B. die lokale Mikrostruktur sowie lokale Defekte am Liner und der Grenzschicht
- *Typ 2:* Prozesse mit Auswirkungen auf die globale Kornstruktur des polykristallinen Kupfers wie z.B. der Korngrößen, der Korngrenzenverteilung, Kristalldefekten innerhalb des makroskopischen Metallvolumens
- *Typ 3:* Prozesse mit Einfluss auf die globalen Eigenschaften der Cu/SiN-Grenzfläche wie z.B. der Adhäsion zwischen dem Kupfer und der Deckschicht, der Aktivierungsenergie des Hauptdiffusionspfads sowie dem Leckstromverhalten.

Bei Prozessen vom *Typ 1* wie der Graben- bzw. Via-Ätzung oder dem Liner-Pre-Clean kann es zu Bildung lokal begrenzter Störungen kommen, die sich in Überhängen, Furchen, Mikrorauigkeiten, dem Vorhandensein von Polymerresten oder Plasmaschädigungen der Kupferoberfläche äußern. Bei der dann folgenden Linerabscheidung führen derartige Störungen zu Defekten, Dickenreduktionen und dem vollständigen Fehlen des Liners, was eine bevorzugte Nukleation von Leerstellen bedingen kann. In der Konsequenz werden dann meist Elektromigrations- sowie Stressmigrationverhalten in gleicher Weise beeinträchtigt, wobei die Ausfallzeiten oft um Größenordnungen abfallen können. In einer separaten Studie konnte demonstriert werden, dass bereits vorhandene lokale Störungen durch die Verwendung eines optimierten Linerabscheideverfahrens durch Ausnutzung des Rücksputter-Effekts jedoch kompensiert und die Zuverlässigkeit so verbessert werden kann.

Bei lokal wirkenden Prozesseinflüssen vom *Typ 1* spielt also die resultierende Qualität des Via-Liners die entscheidende Rolle. Eine Prozessoptimierung muss deshalb darauf abzielen, dass zum einen die lokalen Störungen vermieden werden oder zum anderen geeignete Linerabscheideprozesse entwickelt werden, die unvermeidbare Topologien überdecken können. Homogene und gleichmäßig dick abgeschiedene Liner fördern in gleicher Weise die Elektromigrations-, Stressmigrations- sowie Isolationseigenschaften.

Ein Prozess vom *Typ 1*, der nur eine selektive Auswirkung auf einen einzigen Zuverlässigkeitsaspekt hat, ist der Sputter Pre-Clean vor der Linerabscheidung. Die hohe Intensität des Wasserstoffplasmas bewirkt zwar eine lokale mikrostrukturelle Änderung der Kupferoberfläche unter dem Via und das Auftreten früher Elektromigrationsausfälle unter Strombelastung. Das gestörte Kristallvolumen ist aber zu gering, um genügend Leerstellen für Stress-Voids zu generieren. Somit ist mit diesem Prozess kein erhöhtes Stressmigrationsrisiko verbunden.

Die Zusammensetzung des Elektrolyten und die Temperatur beim Post-Plating-Anneal haben einen entscheidenden Einfluss auf die Entwicklung der globalen Kornstruktur des Kupfers. Bei diesen Prozessen vom *Typ 2* ist die Erreichung einer stabilen Mikrostruktur, die sich unter Betriebsbedingungen nicht mehr ändern kann, die essentielle Voraussetzung zur Realisierung hoher Zuverlässigkeitsanforderungen. Dies kann in erster Linie durch eine geeignete Wärmebehandlung nach der Kupferabscheidung sowie der Vermeidung von Kristalldefekten in späteren Prozess-Schritten erreicht werden. Hierbei konnte nachgewiesen werden, dass für eine stabile Mikrostruktur thermische Behandlungen bei mindestens 100°C erforderlich sind. Erst durch diese ausreichende Temperaturbehandlung kann die Stressmigrationsanfälligkeit wirksam unterdrückt und die Elektromigrationslebensdauer erhöht werden. Daneben können durch chemische Additive im Elektrolyten, die ein bevorzugtes Wachstum des Kupfers vom Boden des Grabens nach oben hin („bottom-up“) favorisieren, die mittleren Korngrößen noch weiter vergrößert werden. Dies führt zu einer deutlichen Verbesserung des Elektromigrationsverhaltens insbesondere in den schmalsten Bahnen.

Hinsichtlich des Einflusses auf die Gesamtzuverlässigkeit stellt das Prozessmodul der SiN-Deckschichtabscheidung eine gewisse Ausnahme dar. Hier konnte erstmals nachgewiesen werden, dass die globalen Eigenschaften an der Cu/SiN-Grenzfläche primär durch den Pre-Clean Prozess vor der Deckschichtabscheidung beeinflusst werden (*Typ 3*) und nicht den anschließenden Abscheideprozess. Bei Verwendung eines Pre-Cleans mit intensivem Wasserstoffplasma können die Elektromigrationseigenschaften zwar maßgeblich verbessert werden, gleichzeitig ist jedoch eine dramatische Erhöhung der Stressmigrationsanfälligkeit festzustellen. Mit steigender Intensität des Plasmas verbessern sich stetig die Adhäsionseigenschaften der Deckschicht wodurch auch die Elektromigrationslebensdauer kontinuierlich steigt. Parallel werden aber immer mehr Kristallschäden im Kupfervolumen induziert, die im weiteren Verlauf Leerstellen für die Ausbildung von Stressmigrations-Voids generieren können. Bei diesem Pre-Clean sind die Auswirkungen auf Elektromigration und

Stressmigration also gegenläufig. Es gilt, den besten Kompromiss für einen Gesamtprozess zu finden, der für das spätere Produkt ein Optimum an Gesamtzuverlässigkeit ermöglicht.

Zur Realisierung einer hohen Metallisierungszuverlässigkeit können folgende Anforderungen an die Herstellungsprozesse zusammengefasst werden:

- Homogene Damascene Ätzung ohne Seitenwanddefekte
- Konforme, defektfreie Linerabscheidung
- Optimierte Reinigungsschritte vor der Liner- und Deckschichtabscheidung
- Ausreichende Wärmebehandlung des Kupfers für eine stabile Mikrostruktur.

#### Bedeutung der Ergebnisse für die industrielle Praxis

Durch das Studium der Ausfallstatistik, der Kinetik und der Thermodynamik sämtlicher Degradationsmechanismen konnten Extrapolationsmodelle abgeleitet werden, mit denen erstmals Lebensdauern von Kupfermetallisierungen bestimmt werden konnten. Auf deren Basis gelang es, eine Abschätzung des Zuverlässigkeitsrisikos beim Betrieb in Integrierten Schaltungen vorzunehmen, die sich mit dem Einsatz dieses neuartigen Metallisierungssystems in Produkten für den Massenmarkt ergaben. Es wurde gezeigt, dass Kupfermetallisierungen nur mit geeigneten Prozessierungsverfahren und bei Einhaltung gewisser Design-Richtlinien über eine ausreichende Zuverlässigkeit verfügen, um typische Lebensdaueranforderungen von 10 bis 15 Jahren zu erreichen. Andernfalls wird die Funktionalität des Verdrahtungssystems schon in kurzer Zeit durch die Degradationsmechanismen der Elektromigration, der Stressmigration oder der Ausdiffusion von Kupfer in das Dielektrikum beeinträchtigt.

Viele der durchgeführten Studien bilden heute die Basis für Design-Vorschriften und dienen als Richtlinien für die Optimierung bestimmter Einzelprozesse. Diese müssen jedoch immer mit dem Gesamtkonzept der Technologie, des Designsystems und der Produktion vereinbar sein. So hängt in der industriellen Praxis der finale Herstellungsprozess der Metallisierung neben der Optimierung der Zuverlässigkeit aber auch wesentlich von anderen Einflüssen ab, wie beispielsweise den Produktanforderungen, dem zur Verfügung stehenden Gerätepark, den Durchsatzzeiten sowie den Herstellungskosten.

Die an Metallisierungen der 350nm, 180nm und 130nm Generationen gefundenen Gesetzmäßigkeiten bezüglich Degradation durch Elektromigration und Stressmigration haben im Kern ihre Gültigkeit auch für die folgenden 90nm und 65nm Generationen beibehalten. Bei den neuen Technologien ergibt sich mit der Einführung sogenannter low-*k* Dielektrika jedoch ein weitaus höheres Risiko durch Degradation der Isolationseigenschaften, z.B. dielektrische Durchbrüche. Dadurch hat sich der Umfang von Zuverlässigkeitsuntersuchungen in den letzten Technologiegenerationen deutlich erhöht. Auch zeichnet sich für bestimmte Produktsegmente eine erhebliche Verschärfung der Zuverlässigkeitsanforderungen ab. Diese ergibt sich aus der steigenden Integrationsdichte sowie immer anspruchsvolleren Einsatzbedingungen z.B. durch hohe Temperaturen im Automobil-Bereich. Darüberhinaus werden Konzepte wie „Built-in-Reliability“ oder „Design-for-Reliability“ zur Realisierung einer echten „Zero-Defect“-Strategie an Bedeutung gewinnen, mit denen über bestimmte Designmaßnahmen und Redundanzen die Zuverlässigkeit gezielt erhöht werden kann. Auf jeden Fall ist aber davon auszugehen, dass Kupfer auch bei den 45nm und 32nm Technologien das Material der Wahl für die Realisierung der Metallisierung in Integrierten Halbleiterschaltungen sein wird. „Copper was, is and will be the future“.

## 10. Anhang

### 10.1 Eigene Vorabveröffentlichungen von Teilergebnissen dieser Dissertation

- [A] Huot, Agnes; Fischer, Armin; von Glasow, Alexander; Schwarzer, Robert:  
Quantitative Texture Analysis of Cu Damascene Interconnects  
Proceedings to Stress-Induced Phenomena Workshop 1999
- [B] Fischer, Armin; von Glasow, Alexander; Huot, Agnes; Schwarzer, Robert:  
Crystal Texture of Electroplated Damascene Cu Interconnects  
Proceedings to Advanced Metallization Conference 1999
- [C] Bauer, Jens; Fischer, Armin; von Glasow, Alexander; Körner, Heinrich; Kreupl, Franz; Pamler, Werner;  
Ramminger, Stefan; Scherg, Thomas; Schwerd, Markus; Seidel, Uwe; Unger, E.; Wendt, Hermann:  
Fortschrittliche Kupfer Metallisierung (FOKUM)  
Forschungsberichte des Bundesministeriums für Bildung und Forschung, 11/2000
- [D] Fischer, Armin; Abel, Andreas; Lepper, Marco; Zitzelsberger, Anke; von Glasow, Alexander:  
Experimental data and statistical models for bimodal EM failures  
Proceedings to 38th IEEE International Reliability Physics Symposium, 2000
- [E] Fischer, Armin; Zitzelsberger, Anke; von Glasow, Alexander; Hommel, Martina:  
Stressmigration behavior of multilevel ULSI AlCu Metallizations  
MRS proceedings 2000, vol.612
- [F]\* von Glasow, Alexander; Fischer, Armin:  
A comparison of reliability aspects of a 0.35 $\mu\text{m}$  and 0.18 $\mu\text{m}$  process copper metallization  
Proceedings to Advanced Metallization Conference 2000
- [G] von Glasow, Alexander; Fischer, Armin:  
Electromigration and Stressvoiding Investigations on Copper Dual Damascene Interconnects  
Proceedings to Advanced Metallization Conference 2001
- [H]\* Fischer, Armin; Lepper, Marco; Zitzelsberger, Anke; von Glasow, Alexander; Abel, Andreas:  
Modeling bimodal electromigration failure distributions  
Microelectronics Reliability 2001
- [I] Hommel, Martina; Fischer, Armin; von Glasow, Alexander; Zitzelsberger, Anke:  
Stress-Induced Voiding in Aluminum and Copper Interconnects  
Proceedings to International Workshop on Stress-Induced Phenomena 2001
- [J] Steinlesberger, Gernot; von Glasow, Alexander; Engelhardt, Manfred; Schindler, Günther; Steinhögel,  
Werner; Mosig, Karsten; Bertagnolli, E.:  
Electrical Assessments of Copper Damascene Interconnects down to sub-50nm feature size  
Proceedings to the Materials for Advanced Metallization Conference 2002
- [K]\* Gill, Jason; Sullivan, Timothy; Yankee, Sally; Barth, Hans-Joachim; von Glasow, Alexander:  
Investigation of Via-Dominated Multi-Modal Electromigration Failure Distributions in Dual  
Damascene Cu Interconnects with a Discussion of the Statistical Implications  
Proceedings to the International Reliability Physics Symposium 2002
- [L] Fischer, Armin; von Glasow, Alexander; Penka, Sabine; Ungar, Franz:  
Electromigration Failure Mechanism Studies on Copper Interconnect  
Proceedings to the International Interconnect Technology Conference 2002
- [M] Steinlesberger, Gernot; von Glasow, Alexander; Engelhardt, M.; Schindler, G.; Hönlein, W.; Holz, M.;  
Bertagnolli, E.:  
Copper Damascene Interconnects for the 65nm Technology Node: A First Look at the Reliability  
Properties  
Proceedings to the International Interconnect Technology Conference 2002

- [N] von Glasow, Alexander; Fischer, Armin:  
New Approaches for the Assessment of Stress-Induced Voiding in Cu Interconnects  
Proceedings to the International Interconnect Technology Conference 2002
- [O] von Glasow, Alexander; Fischer, Armin; Penka, Sabine; Ungar, Franz:  
Geometrical Aspects of Stress-Induced Voiding in Copper-Interconnects  
Proceedings to the Advanced Metallization Conference 2002
- [P] Steinlesberger, Gernot; Engelhardt, M.; Schindler, G.; Steinhoegl, W.; von Glasow, Alexander; Mosig, K.; E.Bertagnolli:  
Electrical Assessment of Copper Damascene Interconnects Down to Sub-50nm Feature Size  
Microelectronic Engineering 64, 2002
- [Q]\* Fischer, Armin; von Glasow, Alexander:  
Electromigration and Stressmigration Failure Mechanism Studies in Copper Interconnects  
SEMI Technology Symposium 2002, Semicon Japan
- [R] von Glasow, Alexander; Fischer, Armin; Hommel, Martina; Zitzelsberger, Anke; Hausmann, Andreas; Sperlich, Hans-Peter; Bunel, David; Raffin, Patrick; Robin, Christophe; Heitzsch, Olaf; Kriz, Jacob; Friese, Gerald:  
The Influence of the SiN-cap Process on the Electromigration and Stressvoiding Performance of Dual Damascene Copper Interconnects  
Proceedings to the International Reliability Physics Symposium 2003
- [S] von Glasow, Alexander; Fischer, Armin; Steinlesberger, Gernot:  
Using the Temperature Coefficient of the Resistance (TCR) as Early Reliability Indicator for Stressvoiding Risks in Copper Interconnects  
Proceedings to the International Reliability Physics Symposium 2003
- [T]\* Fischer, Armin; von Glasow, Alexander; Penka, Sabine; Ungar, Franz:  
Process Optimization – The Key to Obtain Highly Reliable Cu Interconnects  
Proceedings the International Interconnect Technology Conference 2003  
and Semiconductor Fabtech – 20<sup>th</sup> edition, October 2003
- [U] Lepper, Marco; von Glasow, Alexander; Schwarzer, Robert:  
Electromigration Damage In Al Interconnect Lines Studied By ACOM With The SEM  
Proceedings to International Conference On Texture And Anisotropy Of Polycrystals 1997  
Materials Science Forum 1998, Vol. 273-275, S.573-578
- [V] von Glasow, Alexander; Hoesler, W.; Jacobs, Werner; Koerner, Heinrich; Werner, C.:  
„Advanced Interconnect Technology (ADIT)“  
Forschungsberichte des Bundesministeriums für Bildung, Wissenschaft, Forschung und Technologie  
1997
- [W] Wetzig, K.; Bürke, Axel; Wendrock, Horst; von Glasow, Alexander:  
REM In-Situ Untersuchungen von Leitbahnschädigungen durch Elektromigration  
Deutscher Verband für Materialforschung und Materialprüfung, November 1998, Tagungs-Thema  
"Bauteilversagen durch Mikrodefekte"
- [X] Lepper, Marco; von Glasow, Alexander; Schwarzer, Robert:  
Untersuchungen der Elektromigration in Al-Leiterbahnen mittels Orientierungsmapping am REM  
Tagung der Deutschen Physikalischen Gesellschaft 1997
- [Y]\* Wetzig, K.; Bürke, Axel; Wendrock, Horst; von Glasow, Alexander:  
Elektromigration schädigt Leitbahnen  
Fachzeitschrift "Materialprüfung", München 1999
- [Z] Bürke, Axel; Wendrock, Horst; Kötter, Thomas; Menzel, S.; Wetzig, K.; von Glasow, Alexander:  
In situ electromigration damage of Al grain interconnect lines and the influence of grain orientation  
Proceedings to MRS Spring Meeting 1999

- [AA]\* Benstetter, Günther; von Glasow, Alexander:  
IC-Ausfälle durch Elektromigration. Zuverlässigkeit metallischer Leitbahnen in ULSI-Technologien  
F + M, Feinwerktechnik, Mikrotechnik, Mikroelektronik
- [AB] Ungar, Franz; von Glasow, Alexander:  
The growth of extrusions at W-terminated AlSiCu-lines and an approach for an extrapolation to use  
conditions  
Proceedings to Advanced Metallization Conference 1999
- [AC] von Glasow, Alexander; Kammer, Hildegund; Kohlhase, Armin:  
"A New Method To Determine The Influence Of Thermomechanical Stress on The Reliability Of Metal  
Lines In Integrated Circuits"  
Proceedings to ESREF 1996
- [AD] Low, Kia Seng; von Glasow, Alexander; Pötzlberger, Hans; O'Neill:  
Evaluation of current ramp test for in-line electromigration test  
Proceedings to MRS Spring Meeting 1999
- \*: Invited Papers

## 10.2 Allgemeines Veröffentlichungsverzeichnis

- [1] Lloyd, J.R.; Clemens, J.; Snede, R.:  
Copper metallization reliability  
in: Microelectronics Reliability, Vol. 39 (1999), S. 1595-1602
- [2] International Technology Roadmap for Semiconductors  
2001 Edition, Internet: <http://public.itrs.net/Files/2001ITRS/Home.htm>
- [3] Andricacos, Panos C.:  
Copper On-Chip Interconnections  
The Electrochemical Society Interface, 1999, S. 32-37
- [4] Besser, Paul; Marathe, Amit; Zhao, Larry; Herrick, Matthew; Capasso, Cristiano; Kawasaki, Hisao:  
Optimizing the Electromigration Performance of Copper Interconnects  
Proceedings of International Electron Device Meeting 2000
- [5] Cho, James S.H.; Kang, Ho-Kyu; Ryu, Changsup; Wong, S. Simon:  
Reliability of CVD Cu Buried Interconnections  
Proceedings of International Electron Device Meeting 1993, Technical Digest, S. 265-268
- [6] Edelstein, D.; Heidenreich, J.; Goldblatt, R.; Cote, W.; Uzoh, C.; Lustig, N.; Roper, P.; McDevitt, T.;  
Motsiff, W.; Simon, A.; Dukovic, J.; Wachnik, R.; Rathore, H.; Schulz, R.; Su, L.; Luce, S.; Slattery, J.:  
Full Copper Wiring in a Sub-0.25 $\mu\text{m}$  CMOS ULSI Technology,  
Proceedings of International Electron Device Meeting 1997
- [7] Frankovic, Richard; Bernstein, Gary H.:  
Electromigration Drift and Threshold in Cu Thin-Film Interconnects,  
in: Transactions on Electron Devices, Vol.43, No. 12 (December 1996), S. 2233-2239
- [8] Fukada, Tetsuo; Mori, Takeshi; Toyoda, Yoshihiko; Hasegawa, Makiko; Namba, Keisuke; Ogata,  
Kazunao:  
Electromigration resistance of TiWN/Cu/TiWN interconnections,  
in: Applied Surface Science Vol. 91 (1995), S. 227-233
- [9] Hu, C.-K.; Harper, J.M.E:  
Copper interconnections and reliability  
in: Materials Chemistry and Physics Vol. 52 (1998), S. 5-16
- [10] Iguchi, M.; Takewaki, T. ; Matsubara, Y.; Kunimune, Y.; Ito, N.; Tsuchiya, Y.; Matsui, T.; Fujii, K.;  
Motoyama, K.; Sugai, K.; Kubo, A.; Suzuki, M.; Tachibana, H.; Nishizawa, A.; Nakabeppu, K.;  
Yamasaki, S.; Yokogawa, S.; Yamamoto, Y.; Kunugi, T.; Nakata, S.; Kagamihara, M.; Shida, A.;  
Nakamoto, S.; Gomi, H.:  
Full-0.56 $\mu\text{m}$  Pitch Copper Interconnects for a High Performance 0.15 $\mu\text{m}$  CMOS Logic Device  
Proceedings to International Electron Device Meeting, 1999, S. 615-618
- [11] Liou, Fu-Tai:  
We See the Future and It's Copper  
Fabless Semiconductor Association, Internet: <http://www.fsa.org/fablessforum/0999/liou.pdf>
- [12] Lloyd, J.R.; Clement, J.J.:  
Electromigration in copper conductors,  
in: Thin Solid Films Vol. 262 (1995), S. 135-141
- [13] McCusker, N.D.; Gamble, H.S.; Armstrong, B.M.:  
Surface electromigration in copper interconnects,  
in: Microelectronics Reliability Vol. 40, No.1 (2000), S. 69-76
- [14] Ohmi, T.; Hoshi, T; Yoshie, T. ; Takewaki, T.; Otsuki, M.; Shibata, T.; Nitta, T.:  
Large-electromigration-resistance copper interconnect technology for sub-half-micron ULSI's  
Proceedings to International Electron Device Meeting 1991, Technical Digest, S. 285-288

- [15] Save, D.; Braud, F. ; Torres, J. ; Binder, F.; Müller, C.; Weidner, J.O.; Hasse, W.:  
Electromigration resistance of copper interconnects  
in: Microelectronic Engineering Vol. 33 (1997), S. 75-84, E-MRS Spring Meeting Conference 1996
- [16] Stamper, Anthony K.:  
Interconnection Scaling to 1GHz and Beyond, in: MicroNews Vol. 4, No.2,  
Internet: [http://www.chips.ibm.com/micronews/vol4\\_no2/interconnection.html](http://www.chips.ibm.com/micronews/vol4_no2/interconnection.html)
- [17] Sun, S.C.:  
Process Technologies for Advanced Metallization and Interconnect Systems,  
Proceedings to International Electron Device Meeting 1997
- [18] Takewaki, T.; Yamada, H.; Shibata, T.; Ohmi, T.; Nitta, T.:  
Excellent Electro/Stress-Migration-Resistance Giant-Grain Copper Interconnect Technology for High-  
Performance Devices  
Proceedings to International Symposium On Power Semiconductors Devices and ICs, ISPSD, 1995, S.  
438-442
- [19] Tao, Jiang; Cheung, Nathan W.; Hu, Chenming:  
Electromigration Characteristics of Copper Interconnects  
IEEE, Electron Device Letters, Vol. 14, No.5 (May 1993), S. 249-251
- [20] Tsai, M.H.; Tsai, W.J.; Shue, S.L.; Yu, C.H.; Liang, M.S.:  
Reliability of Dual Damascene Cu Metallization  
Proceedings to International Interconnect Technology Conference 2000, S. 214-216
- [21] Venkatesan, S.; Gelatos, A.V.; Misra, V.; Smith, B.; Islam, R.; Cope, J.; Wilson, B.; Tuttle, D.;  
Cardwell, R.; Anderson, S.; Angyal, M.; Bajaj, R.; Capasso, C.; Crabtree, P.; Das, S.; Farkas, J.;  
Filipiak, S.; Fiordalice, B.; Freeman, M.; Gilbert, P.V:  
High Performance 1.8V, 0.20 $\mu$ m CMOS Technology with Copper Metallization  
Proceedings to International Electron Device Meeting 1997
- [22] Kuchling, Horst:  
Taschenbuch der Physik  
Harry Deutsch Verlag, Frankfurt 1988
- [23] Ehmer, C.:  
Kupfer in der Halbleiterfertigung  
tecchannel 1.2.2000, Internet: <http://www.tecchannel.de/hardware/259/index.html>
- [24] Ryu, Changsup; Lee, Haebum; Kwon, Kee-Won; Loke, Alvin L.S.; Wong, S. Simon:  
Barriers for copper interconnections  
in: Solid State Technology (4/1999). S. 53-56
- [25] Keithley White Paper:  
New materials – new reliability issues  
Internet: <http://www.keithley.com/>
- [26] Uni Koblenz, Institut für Softwaretechnik, Definitionen  
Internet: <http://www.uni-koblenz.de/~ist/lehre/WS0203/ST1/properties.pdf>
- [27] Black, James R.:  
Electromigration – A Brief Survey and Some Recent Results  
IEEE Transactions on Electron Devices 16/4, 1969, S. 338-347
- [28] D’Heurle, F.M.; Rosenberg:  
Electromigration in Thin Films, Physics of Thin Films  
in: Advances in Research and Development  
Vol. 7 (1973), Academic Press, New York, S. 257-310

- [29] Lloyd, James R.:  
Electromigration for Designer  
White Paper, Internet: [http://www.cadence.com/whitepapers/4095\\_Electromigration\\_WP.pdf](http://www.cadence.com/whitepapers/4095_Electromigration_WP.pdf)
- [30] Fantini, F.; Lloyd, J.R.; de Munari, I.; Scorzoni, A.:  
Electromigration Testing of Integrated Circuit Interconnections  
in: *Microelectronic Engineering* Vol. 40 (1998), S. 207-221
- [31] Setlik, Brian; Bianco, Todd; Taveras, Victor; Heskett, David:  
Measurement of a Variable Current Exponent in Electromigration-Induced Failure in Al-Cu Interconnects,  
Proceedings to American Physical Society Meeting, March 2001  
Internet: <http://www.aps.org/meet/MAR01/baps/abs/S5120005.html>
- [32] Gladkikh, A.; Lereah, Y.; Karpovski, M.; Palevski, A.; Kaganovskii, Yu.S.:  
Activation energy of electromigration in copper thin film conductor lines  
Proceedings to Advanced Metallization for Future ULSI, MRS 1996, S. 121-126
- [33] Hu, C.-K.; Rosenberg, R.; Lee, K.Y.:  
Electromigration path in Cu thin-film lines,  
in: *Applied Physics Letters*, Vol. 74, No. 20 (1999), S. 2945-2947
- [34] Singer, Peter:  
Copper Challenges for the 45 nm Node, *Semiconductor International*, 2004-05-01  
Internet: <http://www.reed-electronics.com/semiconductor/article/CA411433?pubdate=05%2F01%2F2004>
- [35] Hu, C.-K.; Gignac, L.; Liniger, E.; Rosenberg, R.:  
Bimodal Electromigration Mechanisms in Dual-Damascene Cu Line/Via on W  
Proceedings to International Interconnect Technology Conference 2002
- [36] Cunningham, James, A.:  
Improving Copper Interconnect: A Search for Useful Dopants,  
in: *Semiconductor International*, Vol. 23, No. 4 (2000), S. 95-104
- [37] Goldberg, C.; Freeman, M.; Kirksey, S.; Sieloff, D.; Filipiak, S.; Mercado, L.; Braeckelmann, G.; Junker, K.H.; Grove, N.; Pozder, S.; Nguyen, T.; Prindle, C.; Martin, J.; Wang, V.:  
Interface Reliability of High Performance Interconnects  
Proceedings to Advanced Metallization Conference 2002
- [38] Hatano, Masaaki; Usui, Takamasa; Shimooka, Yoshiaki; Kaneko, Hisashi:  
EM lifetime improvement of Cu damascene interconnects by P-SiC cap layer  
Proceedings to International Interconnect Technology Conference 2002
- [39] Hu, C.-K.; Reynolds, S.K.:  
CVD-Cu interconnections and electromigration  
in: *CVD. Proceedings of the 14<sup>th</sup> International Conference 1997*, S. 1514-1523
- [40] Meier, N.E.; Marieb, T.N.; Flinn, P.A.; Gleixner, R.J.; Bravman, J.C.:  
In-situ Studies of Electromigration Voiding in Passivated Copper Interconnects  
Proceedings to Stress-Induced Phenomena in Metallization: Fifth International Workshop 1999, S. 180-185
- [41] Ogawa, E.T.; Lee, K.-D.; Matsushashi, H.; Ko, K.-S.; Justison, P.R.; Ramamurthi, A.N.; Bierwag, A.J.; Ho, P.S.:  
Statistics of Electromigration Early Failures in Cu/Oxide Dual-Damascene Interconnects  
Proceedings to International Reliability Physics Symposium 2001, S. 341-354
- [42] Parikh, Suketu; Educato, James; Wang, Alex; Zhang, Bo; Wijekoon, Kapila; Chen, Jay; Rana, Viren; Cheung, Robin; Dixit, Girish:  
Defect and Electromigration Characterization of Two level Copper Interconnect  
Proceedings to International Interconnect Technology Conference 2001

- [43] Saito, Tatsuyuki; Imai, Toshinori; Noguchi, Junji; Kubo, Maki; Ito, Yuko; Omori, Sohei; Ohashi, Naofumi; Tamaru, Tsuyoshi; Yamaguchi, Hizuru:  
A Novel Copper Interconnection Technology Using Self Aligned Metal Capping Method  
Proceedings to International Interconnect Technology Conference 2001
- [44] Thrasher, S.; Capasso, C.; Zhao L.; Hernandez, R.; Mulski, P.; Rose, S.; Nguyen, T.; Kawasaki, H.:  
Blech Effect in Single-Inlaid Cu Interconnects  
Proceedings to International Interconnect Technology Conference 2001
- [45] Tsai, M.H.; Augur, R.; Blaschke, V.; Havemann, R.H.; Ogawa, E.T.; Ho, P.S.; Yeh, W.K.; Shue, S.L.; Yu, C.H.; Liang, M.S.:  
Electromigration Reliability of Dual Damascene Cu/CVD SiOC Interconnects  
Proceedings to International Interconnect Technology Conference 2001
- [46] Yokogawa, S.; Okada, N. ; Kakuhara, Y.; Takizawa, H.:  
Electromigration performance of Multi-Level Damascene Copper Interconnects  
Proceedings to ESREF 2001
- [47] Zschech, Ehrenfried; Geisler, Holm; Zienert, Inka; Prinz, Hartmut; Langer, Eckhard; Meyer, Andreas M.; Schneider, Gerd:  
Reliability of Copper Inlaid Structures - Geometry and Microstructure Effects  
Proceedings to Advanced Metallization Conference 2002
- [48] Lane, M.; Liniger, E.; Lloyd, J.R.:  
Relationship between interfacial adhesion and electromigration in Cu metallization  
in: Journal of Applied Physics Vol. 93 (3) (02/2003), S. 1417-1421
- [49] Cunningham, James, A.:  
Using Electrochemistry to Improve Copper Interconnects  
Semiconductor International 5/2000
- [50] Lloyd, James R.:  
Electromigration and mechanical stress  
in: Microelectronics Engineering Vol. 49 (1999), S. 51-64
- [51] Blech, Illan A.:  
Electromigration in Thin Aluminum Films on Titanium Nitride,  
in: Vol. Journal of Applied Physics 47/4 (1976), S. 1203-1208
- [52] Witt, Christian:  
Electromigration in Bamboo Aluminum Interconnects  
Dissertation an der Universität Stuttgart, Dezember 2000, S. 12
- [53] Frankovic, R.; Bernstein, G.H.:  
Temperature dependence of electromigration threshold in Cu  
In: Journal of Applied Physics, Vol. 81, No. 3 (1997), S. 1604-1605
- [54] Wang, P.-C.; Filippi, R.G.; Gignac, L.M.:  
Electromigration Threshold in Single-Damascene Copper Interconnects with SiO<sub>2</sub> Dielectrics  
Proceedings to International Interconnect Technology Conference 2001
- [55] Arnaud, Lucile:  
Electromigration Threshold Length Effect in Dual Damascene Copper-Oxide Interconnects  
Proceedings to International Reliability Physics Symposium 2002, S. 433-434
- [56] Yokogawa, S.; Takizawa, H.:  
Electromigration Induced Incubation, Drift and Threshold in Single-Damascene Copper Interconnects  
Proceedings to International Interconnect Technology Conference 2002
- [57] Hau-Riege, Christine S.; Marathe, Amit P.; Pham, Van:  
The Effect of Low-K ILD on the EM Reliability of Cu Interconnects with Different Line Lengths  
IEEE, International Reliability Physics Symposium Proceedings, 41<sup>st</sup> Annual (2003), S. 173-177

- [58] JEDEC Standards, Downloads  
Internet: <http://www.jedec.org/download/search/jesd37.pdf>
- [59] Persson, T.; Rootzen, H.:  
Simple and high efficient estimators for a Type I censored normal sample  
in: *Biometrika* 64 (1977), S. 123
- [60] Ullmann, Jens; Kötter, Thomas; Hasse, Wolfgang:  
Influence of test structure shape and test conditions in high accelerated Cu-electromigration tests  
Proceedings to the Advanced Metallization Conference 1999, S.721-726
- [61] Shapiro-Wilk test for Normality, Engineering Statistic Handbook, NIST, SEMATECH  
Internet: <http://www.itl.nist.gov/div898/handbook/prc/section2/prc213.htm>
- [62] Kolmogrov-Smirnov Goodness-of-Fit Test, Engineering Statistic Handbook, NIST, SEMATECH  
Internet: <http://www.itl.nist.gov/div898/handbook/eda/section3/eda35g.htm>
- [63] Ueno, K.; Suzuki, M.; Matsumoto, A.; Motoyama, K.; Tonegawa, T.; Ito, N.; Arita, K.; Tschiya, Y.;  
Wake, T.; Kubo, A.; Sugai, K.; Oda, N.; Miyamoto, H.; Saito, S.:  
A High Reliability Copper Dual-Damascene Interconnection with Direct-Contact Via Structure  
Proceedings to International Electron Device Meeting 2000
- [64] Giroux, F; Gounelle, C; Vialle, N; Mortini, P; Ghibaud, G.:  
Current and temperature distribution impact on electromigration failure location in SWEAT structure  
Proceedings of IEEE Int. Conf. on Microelectronic Test Structures, Vol. 7 (Mai 1994), S. 214-217
- [65] von Glasow, Alexander:  
Ein Verfahren zur Charakterisierung der thermomechanischen Belastbarkeit von VLSI-  
Metallisierungen  
Diplomarbeit an der Technischen Universität München, 1995
- [66] Zitzelsberger, Anke; Fischer, Armin:  
The influence of stress-induced voiding on the electromigration behaviour of AlCu interconnects,  
Proceedings of the MRS conference (2000)
- [67] Fischer, Armin; Zitzelsberger, Anke:  
The quantitative assessment of stress-induced voiding in process qualification  
Proceedings of the 39<sup>th</sup> International Reliability Physics Symposium 2001
- [68] Ogawa, E.T.; McPherson, J.W.; Rosal, J.A.; Dickerson, K.J.; Chiu, T.-C.; Tsung, L.Y.; Jain, M.K.;  
Bonifield, T.D.; Ondrusek, J.C.; McKee, W.R.:  
Stress-Induced Voiding Under Vias Connected to Wide Cu Metal Leads  
Proceedings to International Reliability Physics Symposium 2002
- [69] Oshima, T.; Tamaru, T.; Ohmori, K.; Aoki, H.; Ashihara, H.; Saito, T.; Yamaguchi, H.; Miyauchi, M.;  
Torii, K.; Murata, J.; Satoh, A.; Miyazaki, H.; Hinode, K.:  
Improvement of Thermal Stability of Via Resistance in Dual Damascene Copper Interconnection  
Proceedings to International Electron Device Meeting 2000
- [70] Okada, Norio; Matsubara, Yoshihisa; Kimura, Hidekazu; Aizawa, Hirokazu; Nakamura, Norio:  
Thermal Stress of 140nm-width Cu damascene interconnects  
Proceedings to International Interconnect Technology Conference 2002
- [71] Nucci, J.A.; Keller, R.R.; Field, D.P.; Shacham-Diamand, Y.:  
Grain boundary misorientation angles and stress-induced voiding in oxide passivated copper  
interconnects,  
in: *Applied Physics Letters* Vol. 70 (3/1997), S. 1242-1244
- [72] Keller, R.R.; Nucci, J.A.; Field, D.P.:  
Local Texture and Grain Boundaries in Voided Copper Interconnects  
in: *Journal of Electronic Materials*, Vol. 26, No. 9 (1997), S. 996-1001

- [73] Park, Byung-Lyul; Hah, Sang-Rok; Park, Chan-Geun; Jeong, Dong-Kwon; Son, Hong-Seong; Oh, Hyeok-Sang; Chung, Ju-Hyuk; Nam, Jeong-Lim; Park, Kwang-Myeon; Byun, Jae-Dong:  
Mechanisms of Stress-Induced Voids in Multi-Level Cu Interconnects  
Proceedings to International Interconnect Technology Conference 2002
- [74] Roussel, C.; Kordic, S.; Sicardy, O.; Ignat, M.; Dumas, L.; Orain, S. ; Barbe, J.:  
Voiding in Cu Dual Damascene Metallization due to Cu Densification During Thermal Stress  
Proceedings of Advanced Metallization Conference 2002, S. 155-160
- [75] Shannon, Victoria:  
An Equipment Supplier Alliance to Accelerate New Technology Time to Market,  
in: future fab Vol. 12 (2/2/2002)
- [76] Stamper, A.K.; Klaasen, W.A.; Wachnik, R.A.:  
Critical Reliability Issues for sub-0.25 micron Generation Copper Wiring  
Proceedings to ULSI XV, 2000, MRS
- [77] Takewaki, T.; Yamada, H.; Shibata, T.; Ohmi, T.; Nitta, T.:  
Excellent Electro/Stress-Migration-Resistance Giant-Grain Copper Interconnect Technology for High-  
Performance Power Devices  
Proceedings to ISPSD International Symposium on Power Semiconductors Devices and ICs, 1995, S.  
438-442
- [78] Wendrock, H.; Brückner, W.; Hecker, M.; Koetter, T.G.; Schloerb, H.:  
Room temperature grain growth in electroplated copper thin films  
in: Microelectronics Reliability Vol. 40, No. 8-10 (2000), S. 1301-1304
- [79] Jiang, Qing.Tang; Tsai, Ming-Hsing; Havemann, R.H.:  
Line Width Dependence of Copper Resistivity  
Proceedings to International Interconnect Technology Conference 2001
- [80] Alers, G.B.; Dornisch, D.; Siri, J.; Kattige, K.; Tam, L.; Broadbent, E.; Ray, G.W.:  
Trade-off between reliability and post-CMP defects during recrystallization anneal for copper  
damascene interconnects  
Proceedings to International Reliability Physics Symposium 2001, S. 350-354
- [81] Chen, Michelle; Shin, Ho Seon; Cheung, Robin; Morad, Ratson; Dordi, Yezdi; Rengarajan, Suraj; Tsai,  
Stan:  
Novel post electroplating in-situ rapid annealing process for advanced copper interconnect application  
Proceedings to International Interconnect Technology Conference 2000, S. 194-196
- [82] Field, D.P.; Dornisch, Dieter; Tong, Huayu H.:  
Investigating the Microstructure-Reliability Relationship in Cu Damascene Lines  
Washington State University, Internet: <http://www.mme.wsu.edu/~field/CuEM2001.PDF>, Conexant  
Internet 2001
- [83] Sullivan, Timothy D.:  
Reliability Considerations for Copper Metallizations in ULSI Circuits,  
Proceedings to Stress Induced Phenomena in Metallization 1999, S. 39-50
- [84] Weihnacht, Volker; Brückner, Winfried:  
Stress and plasticity in Cu thin films  
Proceedings to 5. Stress Induced Phenomena in Metallization 1999, S. 283-288
- [85] Seah, C.H.; Mridha, S.:  
Growth Patterns of Electroplated Copper on Silicon Wafer  
Internet: <http://www.ntu.edu.sg/SCE/Link99/me99-2.pdf>
- [86] McPherson, J.W.; Dunn, C.F.:  
A Model For Stress-Induced Metal Notching And Voiding In VLSI Al-Si(1%) Metallization  
in: Jvst B5 (1987) S. 1321-1325

- [87] Baumann, J.; Markert, M.; Werner, T.; Rennau, M.; Kaufmann, Ch.; Geßner, T.:  
TiN/W double layer as a barrier system for use in Cu metallization  
Proceedings to MAM'97 Abstracts Booklet, S. 128-129
- [88] Baumann, J.; Kaufmann, Ch.; Rennau, M.; Werner, Th.; Gessner, T.:  
Investigation of copper metallization induced failure of diode structures with and without a barrier layer  
in: Microelectronic Engineering Vol. 33 (1997), S. 283-291
- [89] Edelstein, D.; Uzoh, C.; Cabral, C.; DeHaven, P.; Buchwalter, P.; Simon, A.; Cooney, E.; Malhotra, S.;  
Klaus, D.; Rathore, H.; Agarwala, B.; Nguyen, D.:  
A High Performance Liner for Copper Damascene Interconnects  
Proceedings to International Interconnect Technology Conference 2001
- [90] Fantini, F.; Lloyd, J.R.; de Munari, I.; Scorzoni, A.:  
Electromigration Testing of Integrated Circuit Interconnections  
in: Microelectronic Engineering Vol. 40 (1998), S. 207-221
- [91] Kaufmann, C.; Baumann, J.; Gessner, T.; Raschke, T.; Rennau, M.; Zichner, N.:  
Electrical characterization of reactively sputtered TiN diffusion barrier layers for copper metallization  
in: Applied Surface Science Vol. 91 (1995), S. 291-294
- [92] Musaka, K.; Zheng, B.; Wang, H.; Wijekoon, K.; Chen, L.; Lin, J.; Watanabe, K.; Ohira, K.; Hosoda,  
T.; Miyata, K.; Hasegawa, T.; Dixit, G.; Chueng, R.; Yamada, M.; Kadomura, S.:  
Thermal Stress and Reliability Characterization of Barriers for Cu Interconnects  
Proceedings to International Interconnect Technology Conference 2001
- [93] Tsu, R.; McPherson, J.W.; McKee, W.R.:  
Leakage and Breakdown Reliability Issues Associated With Low-k Dielectrics In A Dual-Damascene  
Cu Process  
Proceedings of the International Reliability Physics Symposium 2000, S. 348-353
- [94] Courtney, Thomas H.:  
Mechanical Behavior of Materials, New York, 1990
- [95] Landolt-Börnstein:  
Edition Zahlenwerte und Funktionen aus Physik, Chemie, Astronomie, Geophysik und Technik, Berlin,  
Vol. 4, 1964, S.691-692
- [96] Keller, Rose-Marie:  
Thermomechanisches Verhalten und Mikrostruktur dünner, polykristalliner Kupferschichten  
Dissertation an der Universität Stuttgart
- [97] Murarka, S. P.:  
Metallization: Theory and Practice for VLSI and ULSI  
Stoneham, Butterworth-Heinemann 1993
- [98] Brongsmara, S.H.; Kerr, E.; Vervoort, I.; Maex, K.:  
Limitations to Copper Grain Growth in Narrow Trenches  
Proceedings to International Interconnect Technology Conference 2001
- [99] Gandikota, Srinivas; Padhi, Deenesh; Ramanathan, Sivakami; McGuirk, Chris; Emami, Ramin; Parikh,  
Suketu; Dixit, Girish; Cheung, Robin  
Influence of Plating Parameters on Reliability of Copper Metallization  
Proceedings to International Interconnect Technology Conference 2002
- [100] Gross, M.E.; Link, C.; Brown, W.L.; Drese, R.:  
Implications of damascene topography for electroplated copper interconnects  
in: Solid State Technology, August 1999, S.47-52

- [101] Neves, Hercules, P.; Kudrle, Thomas D.; Chen, Jia-Ming; Adams, Scott G.; Maharbiz, Michel; Lopatin, Sergey; MacDonald, N.C.:  
Conformal Electroless Copper And Nickel Deposition on MEMS Structures  
Proceedings to MRS Symposium, 1999, S. 139-144
- [102] Nguyen, Viet H.; van Kranenburg, Herma; Woerlee, Pierre H.:  
Dishing Behaviour of Copper lines in Copper Chemical Mechanical Polishing  
Proceedings to STW, 1998, S. 409-413
- [103] Gonella, Roberto:  
Cu quality and interconnect environment impact on Cu Dual Damascene electromigration performances  
2002 SEMI, Tutorial at the SEMICON Europe
- [104] Korhonen, M.A.; Brown, D.D.; Li, C.-Y.; Steinwall, J.E.:  
Mechanical properties of plated Cu Electronic Packaging  
Materials Science VII Symposium, MRS 1994, S. 103-104
- [105] Mullins, W.W.:  
The effect of Thermal Grooving on Grain Boundary Motion  
in: Acta Metallurgica, (6/1958) S. 414-417
- [106] Porter, D.A.; Easterling, K.E.:  
Phase Transformations in Metals and Alloys  
Chapman & Hall 122, London, 1992
- [107] Arnaud, Lucile; Tartavel, G. ; Berger, T. ; Mariolle, D.; Gobil, Y.; Touet, I.:  
Microstructure and electromigration in copper damascene lines  
in: Microelectronics, Reliability Vol. 40 (2000), S. 77-86
- [108] Ryu, Changsup; Loke, Alvin L. S.; Nogami, Takeshi; Wong, S. Simon:  
Effects of texture on the electromigration of CVD copper  
Proceedings to International Reliability Physics Symposium 1997, S.201-205
- [109] Jiang, Qing-Tang; Frank, Aaron; Havemann, R.H.; Parihar, Vijay; Nowell, Matt:  
Optimization of Annealing Condition for Dual Damascene Cu Microstructure and Via Chain Yields  
Proceedings to VLSI 2001, Digest
- [110] Steinlesberger, G.; Steinhoegel, W.; Schindler, G.; Traving, M.; Engelhardt, M.; Bertagnolli, E.:  
Microstructure of Cu Damascene Nano-Interconnects  
Proceedings to Advanced Metallization Conference 2002
- [111] Besser, Paul; Marathe, Amit; Zhao, Larry; Herrick, Matthew; Capasso, Cristiano; Kawasaki, Hisao:  
Optimizing the Electromigration Performance of Copper Interconnects  
Proceedings to International Electron Device Meeting 2000
- [112] Mendelson, M.I.:  
J. Am. Ceram. Soc. 53 (1969) 443
- [113] Schultz, Ludwig; Freudenberger, Jens:  
Physikalische Werkstoffeigenschaften  
Internet: <http://www.ifw-dresden.de/imw/lecture/pwe/>
- [114] Standard Method for Measuring and Using the Temperature Coefficient of Resistance to Determine the Temperature of a Metallization Line  
JEDEC Standard JESD33A  
Internet: <http://www.jedec.org/download/search/jesd33B.pdf>
- [115] Mayadas, F.; Schatzkes, M.:  
Electrical-Resistivity Model for Polycrystalline Films: the Case of Arbitrary Reflection at External Surfaces  
in: Phys. Rev. B 1, Issue 4, (1970), S. 1382-1389

- [116] Vaidya, S.; Shinha, A.F.:  
Effect of texture and grain structure on electromigration in Al-0.5% Cu thin films  
Thin Solid Films 75, (1981), S. 253
- [117] Graham, L.; Ritzdorf, T.; Clarke, D.; Thakur, R.:  
Thermally Driven Recrystallisation of Electroplated Copper  
Semiconductor Fabtech – 11th edition, S. 279-282
- [118] Tyagi, S.; Alavi, M.; Bigwood, R.; Bramblett, T.; Brandenburg, J.; Chen, W.; Crew, B.; Hussein, M.; Jacob, P.; Kenyon, C.; Lo, C.; McIntyre, B.; Ma, Z.; Moon, P.; Nguyen, P.; Rumaner, L.; Schweinfurth, R.; Sivakumar, S.; Stettler, M.; Thompson, S.; Tufts, B.; Xu, J.; Yang, S.; Bohr, M.:  
A 130 nm Generation Logic Technology Featuring 70nm Transistors, Dual Vt Transistors and 6 layers of Cu Interconnects  
Internet: [www.intel.com/research/silicon/ieee/130nm.pdf](http://www.intel.com/research/silicon/ieee/130nm.pdf)
- [119] Bratin, Peter; Chalylt, Gene; Kogan, Alex; Pavlov, Michael; Perpich, James:  
Control of Damascene Copper Processes by Cyclic Voltammetric stripping  
Internet: [www.fabtech.org/journals/edition.12/fabtech12.pdfs/ft12\\_pg275.pdf](http://www.fabtech.org/journals/edition.12/fabtech12.pdfs/ft12_pg275.pdf)
- [120] Novellus Technical Paper  
Novellus Extends PVD Use To Sub-0.18 $\mu$ m DEVICES,  
Internet: [http://www.novellus.com/damascus/tec/tec\\_02.asp](http://www.novellus.com/damascus/tec/tec_02.asp)
- [121] Reid, J.; Bhaskaran, V.; Contolini, R.; Patton, E.; Jackson, R.; Broadbent, E.; Walsh, T.; Mayer, S.; Schetty, R.; Martin, J.; Toben, M.; Menard, S.:  
Optimization of Damascene Feature Fill for Copper Electroplating Process  
Novellus Technical Paper, Internet: [http://www.novellus.com/damascus/tec/tec\\_14.asp](http://www.novellus.com/damascus/tec/tec_14.asp)
- [122] Electrochemistry for 0.13  $\mu$ m Cu gap fill  
Novellus Technical Paper, Internet: [http://www.novellus.com/damascus/tec/tec\\_16.asp](http://www.novellus.com/damascus/tec/tec_16.asp)
- [123] Witt, Kevin:  
SEMITOOL Präsentation bei Infineon Technologies München Perlach, 07/2003
- [124] Yang, Yougen:  
The Monte Carlo Simulation of Physical Vapour Deposition  
Ph.D. Dissertation, University of Virginia, 2000, Chapter 9,  
Internet: [http://www.ipm.virginia.edu/research/PVD/Pubs/yang\\_thesis/yang.phd.thesis.pdf](http://www.ipm.virginia.edu/research/PVD/Pubs/yang_thesis/yang.phd.thesis.pdf)
- [125] Tutorial: Materials for Thin Films / Microelectronics: Atomic Layer Deposition  
Internet: [www.sigmaaldrich.com/Area\\_of\\_Interest/Chemistry/Materials\\_Science/Thin\\_Films\\_Microelectronics/Tutorial/Atomic\\_Layer\\_Deposition.html](http://www.sigmaaldrich.com/Area_of_Interest/Chemistry/Materials_Science/Thin_Films_Microelectronics/Tutorial/Atomic_Layer_Deposition.html)
- [126] Tutorial: Materials for Thin Films / Microelectronics: Barrier Materials and Precursors Internet:  
[www.sigmaaldrich.com/Area\\_of\\_Interest/Chemistry/Materials\\_Science/Thin\\_Films\\_Microelectronics/Tutorial/Barrier\\_Materials.html](http://www.sigmaaldrich.com/Area_of_Interest/Chemistry/Materials_Science/Thin_Films_Microelectronics/Tutorial/Barrier_Materials.html)
- [127] Koetter, T.G.; Wendrock, H.; Schuehrer, H.; Wenzel, C.; Wetzig, K.:  
Relationship between microstructure and electromigration damage in unpassivated PVD copper damascene Interconnects  
in: Microelectronics Reliability Vol. 40, No. 8-10 (2000), S. 1295-1299
- [128] Bersuker, G.; Blaschke, V.; Choi, S.; Wick, D.:  
Conduction Processes in Cu/Low-K Interconnection  
Proceedings to International Reliability Physics Symposium 2000, S. 344-347
- [129] Besser, Paul, R.:  
Mechanical Strains and Stresses in Aluminum and Copper Interconnect Lines for 0.18 $\mu$ m Logic Technology  
Proceedings to Stress Induced Phenomena in Metallization 1999, S. 229-239

- [130] Besser, Paul; Joo, Young-Chang; Winter, Delrose; Van Ngo, Minh; Ortega, Richard:  
Mechanical stresses in aluminum and copper interconnect lines for 0.18 $\mu$ m logic technologies  
Proceedings to Material Reliability in Microelectronics IX. Symposium, MRS, 1999, S. 189-199
- [131] Chen, Jay; Parikh, Suketu; Vo, Tram; Rengarajan, Suraj; Mandrekar, Tushar; Ding, Peijun; Chen, Ling;  
Mosely, Rod:  
Barrier Crystallographic Texture Control and its Impact on Copper Interconnect Reliability  
Proceedings to International Interconnect Technology Conference 2002
- [132] Gan, Dongwen; Wang, Guotao; Ho, Paul S.:  
Effects of dielectric material and linewidth on thermal stresses of Cu line structures  
Proceedings to International Interconnect Technology Conference 2002
- [133] Denning, D.; Braeckelmann, G.; Zhang, J.; Fiordalice, B.; Venkatramen, R.:  
An Inlaid CVD Cu Based Integration for Sub 0.25 $\mu$ m Technology  
Proceedings to VLSI 1998
- [134] Moon, P.; Allen, C.; Anand, N.; Austin, D.; Bramblett, T.; Fradkin, M.; Fu, S.; Hussein, M.; Jeong, J.;  
Ott, Smith, A.; Rumaner, L.:  
A Cu interconnect process for the 130nm process technology node, Intel
- [135] Abe, K.; Tokitho, S.; Chen, S.-C.; Kanamori, J.; Onoda, H.:  
Effect of Ti insertion between Cu and TiN layers on electromigration reliability in Cu/(Ti)/TiN/Ti  
layered damascene interconnects  
Proceedings to International Reliability Physics Symposium 2000, S. 333-338
- [136] Arnaud, L.; Gonella, R.; Tartavel, G.; Torres, J.; Gounelle, C.; Gobil, Y. ; Morand, Y. :  
Electromigration failure modes in damascene copper interconnects  
in: Microelectronics Reliability Vol. 38, No. 6-8 (1998), S. 1029-1034
- [137] Hoshino, K.; Yagi, H.; Tsuchikawa, H.:  
Effects of titanium addition to copper interconnect on electromigration open circuit failure,  
Proceedings to 7. Intern. VLSI Multilevel Interconnection Conference 1990, S. 357-359
- [138] Igarashi, Yasushi; Yamanobe, Tomomi; Jinbo, Hideyuki; Ito, Toshio:  
Sub-quarter Micron Copper Interconnects through Dry Etching Process and its Reliability  
Proceedings to Symposium on VLSI Technology 1994, Digest of Technical Papers, S. 57-58
- [139] Riedel, Stephan; Röber, Jürgen; Schulz Stefan E.; Geßner, Thomas:  
Stress in copper films for interconnects  
in: Microelectronic Engineering, Vol. 37-38 (1997), S. 151-156
- [140] Ryu, Changsup:  
Microstructure and Reliability of Copper Interconnects,  
PhD dissertation of materials science and engineering, Stanford University  
Internet: [holst.stanford.edu/~changsup/paper/Thesis.CR.pdf](http://holst.stanford.edu/~changsup/paper/Thesis.CR.pdf)
- [142] Fujii, M.; Koyama, K.; Aoyama, J.:  
Reservoir length dependence of EM lifetime for tungsten via chains under low current stress  
Proceedings to VMIC 1996, S. 312-316
- [143] Dion, Michael J.:  
Reservoir Modelling for Electromigration Improvement of Metal Systems with Refractory Barriers  
Proceedings to International Reliability Physics Symposium 2001, S. 327-333
- [144] Rhee, S.-H.; Du, Y.; Paul S.H.:  
Characterization of thermal stresses of Cu/low k submicron interconnect structures  
Proceedings to International Interconnect Technology Conference 2001
- [145] Su, P.; Rzepka, S.; Korhonen, M.A.; Li, C.-Y.:  
A Finite Element Study of Thermal Stress in Copper Interconnect  
Proceedings to Stress induced Phenomena in Metallization 1999

- [146] Huang, T.C.; Yao, C.H.; Wan, W.K.; Hsia, Chin C.; Liang, M.S.:  
Numerical Modeling and Characterization of the Stress Migration Behavior Upon Various 90  
nanometer Cu/Low k Interconnect  
Proceedings to International Interconnect Technology Conference 2003
- [147] EKC Technologies, Remover Business Unit  
Internet: [http://www.ekctech.com/All other PDFs/Product Lit/EKC265\(tm\) PMS.pdf](http://www.ekctech.com/All%20other%20PDFs/Product%20Lit/EKC265(tm)%20PMS.pdf)
- [148] Baklanov, M.R.; Shamiryman, D.G.; Tökei, Z.; Beyer, G.P.; Conard, T.; Vanhaelemeersch, S.; Maex, K.:  
Characterization of Cu surface cleaning by hydrogen  
in: J. Vac. Sci. Technol. B, Vol. 19, No. 4 (07/08 2001)
- [149] Rzepka, Sven; Lepper, Marco; Böttcher, Mathias; Bauer, Robert; Weber, Stephan:  
Convergence and Interaction of BEOL and BE Reliability Methodology  
Proceedings to International Reliability Physics Symposium 2004
- [150] Fujimura, Aki:  
2004: Die X-Architektur kommt  
Elektronik Net  
Internet: <http://www.elektroniknet.de/topics/designtools/fachthemen/2004/0004/>
- [151] Sigal, L; Warnock, J. D.; Curran, B. W.; Chan, Y. H.; Camporese, P. J.; Mayo, M. D.; Huott, W. V.;  
Knebel, D. R.; Chuang, C. T.; Eckhardt, J. P.; Wu, P. T.:  
Circuit design techniques for the high-performance CMOS IBM S/390 Parallel Enterprise Server G4  
microprocessor  
IBM Journal of Research and Development, Volume 41, Numbers 4/5, 1997  
Internet: <http://www.research.ibm.com/journal/rd/414/sigal.html>
- [152] Rabaey, Jan M.:  
Digital Integrated Circuits - A Design Perspective  
Chapter 8, Coping with Interconnect, Prentice-Hall  
Internet: <http://bwrc.eecs.berkeley.edu/Classes/IcBook/>

### 10.3 Abkürzungen, Symbole und englische Begriffe

<b>Begriff</b>	<b>Erklärung</b>
Anneal	Wärmebehandlung bei hohen Temperaturen
BTS	Bias Temperature Storage: Lagerung bei erhöhter Temperatur und angelegter Spannung
Cap	Obere, die Leitbahn abdeckende, dielektrische Diffusionsbarriere
CMP	Chemisch-mechanisches Polieren
CVD	Chemical Vapor Deposition: chemische Abscheidung aus der Dampfphase
$D$	Mittlere Korngröße
DD	Dual-Damascene
Dishing	Überpolieren von Metallen beim CMP
ds	Downstream: Belastungsart beim Elektromigrationstest
$E_a$	Aktivierungsenergie
ECD	Electro-Chemical Deposition: elektrochemische Abscheidung
Electroplating	Elektrochemische Abscheidung
Extrusion	Metallischer Auswuchs (z.B. aus Leitbahnen)
FIB	Focused Ion Beam, fokussierter Ionen Strahl für Fehleranalysen
HDP	High Density Plasma (CVD)
HTS	High Temperature Storage: Lagerung bei erhöhter Temperatur
$I$	Strom
$I_{DC}$	Gleichstrom oder Gleichstromkomponente eines Wechselstroms
$j$	Stromdichte
$k$	Boltzmann Konstante
Liner	Metallische Diffusionsbarriere und Haftvermittler für Metallisierungsschichten
Low- $k$	Dielektrika mit niedriger Dielektrizitätskonstante
$MTF$	Median time to failure: Median der Ausfallzeiten
$n$	Stromdichteexponent
PECVD	Plasma-Enhanced-Chemical-Vapour-Deposition
Pitch	Maß der geometrischen Periodizität benachbarter Strukturen (z.B. Abstand Via-Mitte zu Via-Mitte)
Post-Plating	Direkt nach der elektrolytischen (Kupfer-) Abscheidung
Pre-Clean	Waferoberflächen-Reinigungsschritt vor der Abscheidung weiterer Schichten
PVD	Physical Vapor Deposition, physikalische Abscheidung aus der Dampfphase, Sputtern
Read-Out	Wafer-Level Messung nach definiertem Zeitintervall
REM	Raster Elektronen Mikroskop
SD	Single-Damascene
Seedlayer	Keimschicht für die elektrolytische (Kupfer-) Abscheidungen
Sigma, $\sigma$	Standardabweichung
$t$	Zeit
$T$	Temperatur
Targets	Anforderungen an die Metallisierung, z.B. Stromdichte, Betriebstemperatur, zulässige Ausfallraten
TEM	Transmissions Elektronen Mikroskop
$TTF$	Time-to-failure: Zeit bis zum Erreichen eines definierten Ausfallkriteriums
Trench	Graben im Oxid, der die damascene-strukturierte Leitbahn definiert
$\bar{UL}$	Überlapp einer Leitbahn an einem Via oder Kontaktloch
us	Upstream: Belastungsart beim Elektromigrationstest
Via	Verbindung zweier Metallisierungsebenen
Void	Pore im Metall, Ansammlung von Leerstellen
Wafer	Siliziumscheibe mit Halbleiterstrukturen
Wafer-Level	Messung direkt auf dem Wafer mit feinen Nadeln zur Kontaktierung

## 10.4 Lebenslauf

### Person

Name: Alexander von Glasow  
Geburtsdatum: 10. Oktober 1970  
Geburtsort: Nürnberg  
Familienstand: Ledig

### Schulbildung

09/75 – 08/76 École Saint Joseph, Brüssel, Belgien  
09/76 – 08/78 École Européenne, Brüssel, Belgien  
09/78 – 08/88 Europäische Schule, München  
Abschluss: „Abitur“

### Studium

10/88 – 06/95 Studium der Elektro- und Informationstechnik an der TU München,  
Abschluss: „Diplom-Ingenieur“  
Diplomarbeit: *„Ein Verfahren zur Charakterisierung der thermomechanischen Belastbarkeit von VLSI – Metallisierungen“*  
in Zusammenarbeit mit der Siemens AG, Bereich Halbleiter, München und dem Fraunhofer Institut für Festkörper-Technologie, München

### Berufserfahrung

10/95 – 02/99 Siemens AG, Bereich Halbleiter  
Mitarbeiter der Abteilung Technologieentwicklung/Zuverlässigkeit  
Aufbau, Betreuung und Hauptverantwortung des Labors für Wafer-Level  
Zuverlässigkeitsuntersuchungen von Metallisierungen

03/99 – 05/02 Infineon Technologies AG  
Mitarbeiter der Abteilung Zuverlässigkeitsmethodik  
Verantwortung für die Qualifikation von Halbleiterprozessen

06/02 – 11/02 Infineon Technologies Corporation North America, Fishkill, NY, USA  
Mitarbeiter der Infineon/IBM Kooperation „Logic and Embedded Alliance  
Development“  
Betreuung und Koordinierung der Zuverlässigkeitsthemen der 90nm Technologie  
Entwicklung

12/02 – 04/03 Infineon Technologies AG  
Mitarbeiter der Abteilung Zuverlässigkeitsmethodik  
Verantwortung für die Qualifikation von Halbleiterprozessen

05/03 – 09/03 Infineon Technologies AG  
Projektleiter einer 130nm Derivattechnologie

Seit 10/03 Infineon Technologies AG  
Stellvertretender Gesamtprojektleiter der 65nm Technologie Plattform Entwicklung

München, 25. Januar 2005

## 10.5 Danksagungen

Zunächst möchte ich mich bei Prof. Dr. Walter Hansch für das Interesse an meiner Arbeit bedanken und für das Engagement, die Promotion an der Technischen Universität München zu ermöglichen.

Die vorliegende Arbeit entstand während meiner Tätigkeit bei der Abteilung für Zuverlässigkeitsmethodik der Firma Infineon Technologies AG. Ich möchte mich deshalb ganz besonders dafür bedanken, dass mir alle Ergebnisse, die ich im Rahmen der unterschiedlichen Technologiequalifikationen sowie der Förderprojekte COIN, ADIT und FOKUM erarbeitet hatte, für meine Promotion zur Verfügung gestellt wurden. Sie bilden die Basis dieser Arbeit. Desweiteren möchte ich mich unter anderem bei den Drs. Erwin Hammerl, Georg Antonin und Andreas Preussger bedanken, dass mir die Freiräume ermöglicht wurden, mich in die Thematik zu vertiefen und neben dem normalen beruflichen Tagesgeschäft auch noch wissenschaftlich arbeiten zu können.

Auch Prof. Dr. Thomas Gessner und Dr. Stefan E. Schulz möchte ich meinen Dank aussprechen - sie hatten meine Idee einer Promotion aufgegriffen und mich dazu weiter ermutigt.

Einen Dank der besonderen Art kommt Herrn Dr.-Ing. Armin Fischer zu. Seine professionelle Unterstützung, Beharrlichkeit, Geduld und Motivation sowie die stundenlangen Diskussionen mit ihm haben mich über die Jahre hinweg geleitet und waren maßgeblich für den Abschluss dieser Arbeit. Auch die zahlreichen Gespräche mit Franz Ungar, Dr. Anke Zitzelsberger, Dr. Sabine Penka und Dr. Martina Hommel waren von großer Hilfe für meine Arbeit.

Für die zahlreichen elektrischen Belastungstests möchte ich dem Infineon RM Stresszentrum danken, hier insbesondere Herrn Jürgen Müller-Weberbeck und seinem Team mit Gönül Malikov, Elisabeth Manz, Veselka Kricka, Bernd Willems, Vladimir Kralik, Razvan Pufuleti, Günther Bauer und Robert Keller.

Von großer Bedeutung für diese Dissertation waren auch die Arbeiten der Infineon Fehleranalyse Abteilung FA5 - hier möchte ich vor allem Rainer Weiland und seinem Team mit Dieter Lesiak, Willi Argyo, Markus Riess und Peter Meis für ihre hervorragenden Analysen danken.

Ganz besonders möchte ich mich auch bei meinen Eltern für die Ermutigung zum Schreiben dieser Arbeit und die Unterstützung bedanken. Ebenso möchte ich das intensive Korrekturlesen der Dissertationsschrift, die Geduld und den Zuspruch von meiner Freundin Monika Widmann anerkennen.

Abschließend danke ich auch herzlichst meinen Freunden Michael Steigenberger und Gundula Richardsen für das Aufmuntern, Stärken und Motivieren während der Dissertation.